

**メモリ内蔵グラフィック
LCD コントローラ
S1D13700F02 テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
- 5) 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1.	はじめに	1
1.1	適用範囲	1
1.2	概要	1
2.	特長	2
2.1	内蔵メモリ	2
2.2	ホスト CPU のインターフェース	2
2.3	ディスプレイのサポート	2
2.4	表示モード	2
2.5	文字の生成	3
2.6	電源	3
2.7	クロックソース	3
2.8	パッケージ	3
3.	システム構成図	4
4.	機能ブロック図	7
5.	端子	8
5.1	端子配置図	8
5.2	端子説明	9
5.2.1	ホストインターフェース	10
5.2.2	LCD インターフェース	13
5.2.3	クロック入力	14
5.2.4	電源およびグラウンド	14
5.3	構成オプションの要約	15
5.4	ホストバスインターフェースの端子マッピング	16
6.	DC 特性	17
6.1	電力推定のガイドライン	19
7.	AC 特性	20
7.1	クロックタイミング	20
7.1.1	入力クロック	20
7.2	リセットタイミング	21
7.3	CPU インターフェースのタイミング	22
7.3.1	Generic Bus ダイレクト/インダイレクトインターフェースのタイミング (WAIT# あり)	22
7.3.2	Generic Bus ダイレクト/インダイレクトインターフェースのタイミング (WAIT# なし)	24
7.3.3	MC68K ファミリのダイレクト/インダイレクトバスインターフェースのタイミング (DTACK# あり)	26

7.3.4	MC68K ファミリのダイレクト/インダイレクトバスインタフェースのタイミング (DTACK# なし) 28	
7.3.5	M6800 ファミリのインダイレクトバスインタフェースのタイミング	30
7.4	パワーセーブモード/表示イネーブルのタイミング	32
7.5	表示インタフェース	33
8.	メモリマッピング	36
9.	クロック	37
9.1	クロック図	37
9.2	クロックの説明	37
9.2.1	システムクロック	37
9.2.2	FPSHIFT クロック	37
9.3	発振回路	38
10.	インダイレクトアドレス指定	39
10.1	システム制御	41
10.1.1	SYSTEM SET	41
10.1.2	POWER SAVE	42
10.1.3	DISP ON/OFF	42
10.1.4	SCROLL	43
10.1.5	CSRFORM	43
10.1.6	CSRDIR	44
10.1.7	OVLAY	44
10.1.8	CGRAM ADR	44
10.1.9	HDOT SCR	45
10.1.10	CSRW	45
10.1.11	CSRR	45
10.1.12	GRAYSCALE	46
10.1.13	メモリ制御	46
11.	レジスタ	47
11.1	電源投入後、リセット入力後のパワーセーブ状態について	47
11.2	パワーセーブモードの解除、設定方法	47
11.3	レジスタセット	48
11.4	レジスタの制限	49
11.5	レジスタの説明	49
11.5.1	システム制御レジスタ	49
11.5.2	表示制御レジスタ	58
11.5.3	描画制御レジスタ	72
11.5.4	グレースケールレジスタ	74
11.6	システム制御	76
11.6.1	SYSTEM SET	76
11.6.2	POWER SAVE	77

11.6.3	DISP ON/OFF	77
11.6.4	SCROLL	78
11.6.5	CSRFORM	78
11.6.6	CSRDIR	79
11.6.7	OVLAY	79
11.6.8	CGRAM ADR	79
11.6.9	HDOT SCR	80
11.6.10	CSRW	80
11.6.11	CSRR	80
11.6.12	GRAYSCALE	81
11.6.13	メモリ制御	81
12.	表示制御機能	82
12.1	文字構成	82
12.2	画面構成	84
12.2.1	画面構成	84
12.2.2	表示アドレスのスキャニング	84
12.2.3	表示スキャンのタイミング	88
12.3	カーソルの制御	89
12.3.1	Cursor Write レジスタの機能	89
12.3.2	カーソルの移動	89
12.3.3	カーソル表示レイヤー	89
12.4	メモリと表示の関係	91
12.5	スクロール	95
12.5.1	ページ内スクロール	95
12.5.2	ページ間スクロール	96
12.5.3	水平折り返しスクロール	97
12.5.4	全方向スクロール	98
12.5.5	スクロール単位	99
12.5.6	水平ピクセルスクロール (HDOTSCR)	100
13.	キャラクタジェネレータ	101
13.1	各 CG の特長	101
13.1.1	内蔵キャラクタジェネレータ	101
13.1.2	キャラクタジェネレータ RAM	101
13.2	キャラクタジェネレータアドレスの設定	102
13.2.1	CGRAM アドレス指定の例	104
13.3	文字コード	105
14.	マイクロプロセッサのインタフェース	106
14.1	システムバスのインタフェース	106
14.1.1	Generic	106
14.1.2	M6800 ファミリ	106

14.1.3 MC68K ファミリ	106
15. アプリケーションノート	107
15.1 レジスタの初期設定 / 初期設定パラメータ	107
15.1.1 SYSTEM SET コマンドとパラメータ	107
15.1.2 初期設定の例	110
15.1.3 表示モードの設定例 1: テキストとグラフィックの重ね合わせ	115
15.1.4 表示モードの設定例 2: グラフィックとグラフィックの重ね合わせ	117
15.1.5 表示モードの設定例 3: 3つのグラフィックレイヤーの重ね合わせ	119
15.2 システムの概要	121
15.3 スムーズな水平スクロール	121
15.4 レイヤード表示のアトリビュート	123
15.4.1 反転表示	123
15.4.2 中間階調表示	124
15.4.3 フラッシングアトリビュート	125
15.5 16×16 ドットのグラフィック表示	126
15.5.1 コマンドの使用法	126
15.5.2 漢字の表示	126
16. 内蔵キャラクタジェネレータのフォント	130
17. パワーセーブモード	131
18. PKG 外形図	133
19. 参考資料	134
• お問い合わせシート	135
• 改訂履歴	136

1. はじめに

1.1 適用範囲

S1D13700F02 のテクニカルマニュアルです。本書には、タイミング図、AC 特性と DC 特性、レジスタの説明、および電力管理の説明が含まれています。本書は、ビデオサブシステム設計者とソフトウェア開発者を対象にしています。

本書は、適宜更新されています。開発を始める前に、本書が最新版であることを Epson Research and Development のウェブサイト www.erd.epson.com で確認してください。

本書に関するご意見をお待ちしております。電子メールで documentation@erd.epson.com までご連絡ください。

1.2 概要

S1D13700F02 は、LCD パネル上にテキストとグラフィックの両方を表示することができます。S1D13700F02 によって、テキストとグラフィックの重ね合わせ、あらゆる方向への表示のスクロール、および複数画面への分割表示が可能となります。S1D13700F02 は、32K バイトの内蔵 SRAM 表示メモリを搭載しており、これを使用することで、テキスト、文字コード、およびビットマップ方式のグラフィックを格納することができます。S1D13700F02 は、制御マイクロプロセッサからバッファメモリへのデータの転送、メモリデータの読み出し、表示ピクセルへのデータの変換、および LCD パネルのタイミング信号の生成など、表示コントローラに機能を備えています。

S1D13700F02 は、内蔵キャラクタジェネレータを装備した設計になっています。この内蔵キャラクタジェネレータは、内蔵マスク ROM (CGROM) にて 5 x 7 ピクセルの 160 文字、およびキャラクタジェネレータ RAM (CGRAM) にて 8 x 8 ピクセルの 64 文字をサポートしています。CGROM を使用しなければ、8 x 16 ピクセルの最大 256 文字が CGRAM でサポートされます。

2. 特長

2. 特長

2.1 内蔵メモリ

- 32K バイトの内蔵 SRAM 表示メモリ

2.2 ホスト CPU のインタフェース

- ダイレクトアドレスバスをサポート：
 - Generic Bus (Z80 ファミリ) のマイクロプロセッサインタフェース
 - MC68K ファミリのマイクロプロセッサインタフェース
- インダイレクトアドレスバスをサポート：
 - Generic Bus (Z80 ファミリ) のマイクロプロセッサインタフェース
 - MC68K ファミリのマイクロプロセッサインタフェース
 - MC6800 ファミリのマイクロプロセッサインタフェース
- 8 ビット CPU のデータバスインタフェース

2.3 ディスプレイのサポート

- 4 ビットモノクロ LCD インタフェース
- サポートされる最大解像度：
 - 640 x 240 (1bpp)
 - 320 x 240 (2bpp)
 - 240 x 160 (4bpp)
- 1/2 ~ 1/256 デューティの LCD 駆動

2.4 表示モード

- 1/2/4 ビット / ピクセルの階調をサポート
- テキスト、グラフィック、およびテキスト / グラフィック重ね合わせの表示モード
- グラフィックモードでの 3 レイヤー重ね合わせ
- プログラム可能なカーソル制御
- 1bpp モードにて、1 ドット単位に水平スクロール
- すべてのモードにて、1 ライン単位の垂直スクロール

2.5 文字の生成

- キャラクタジェネレータ ROM(CGROM) にて 5x7 ピクセルの 160 文字
- キャラクタジェネレータ RAM(CGRAM) にて 8x8 ピクセルの最大 64 文字
- キャラクタジェネレータ ROM にて 8x16 ピクセルの最大 256 文字 (CGROM を使用しないとき)

2.6 電源

- ソフトウェア起動のパワーセーブモード
- 低消費電力
- コア V_{DD} : 3.0 ~ 3.6 ボルト
- IO V_{DD} : 3.0 ~ 5.5 ボルト

2.7 クロックソース

- 2 端子水晶振動子または単一発振器入力
入力クロック (最大 60MHz)
FPSHIFT クロック (最大 15MHz)

2.8 パッケージ

- TQFP13 - 64 端子、Pb フリー (無鉛) パッケージ

3. システム構成図

3. システム構成図

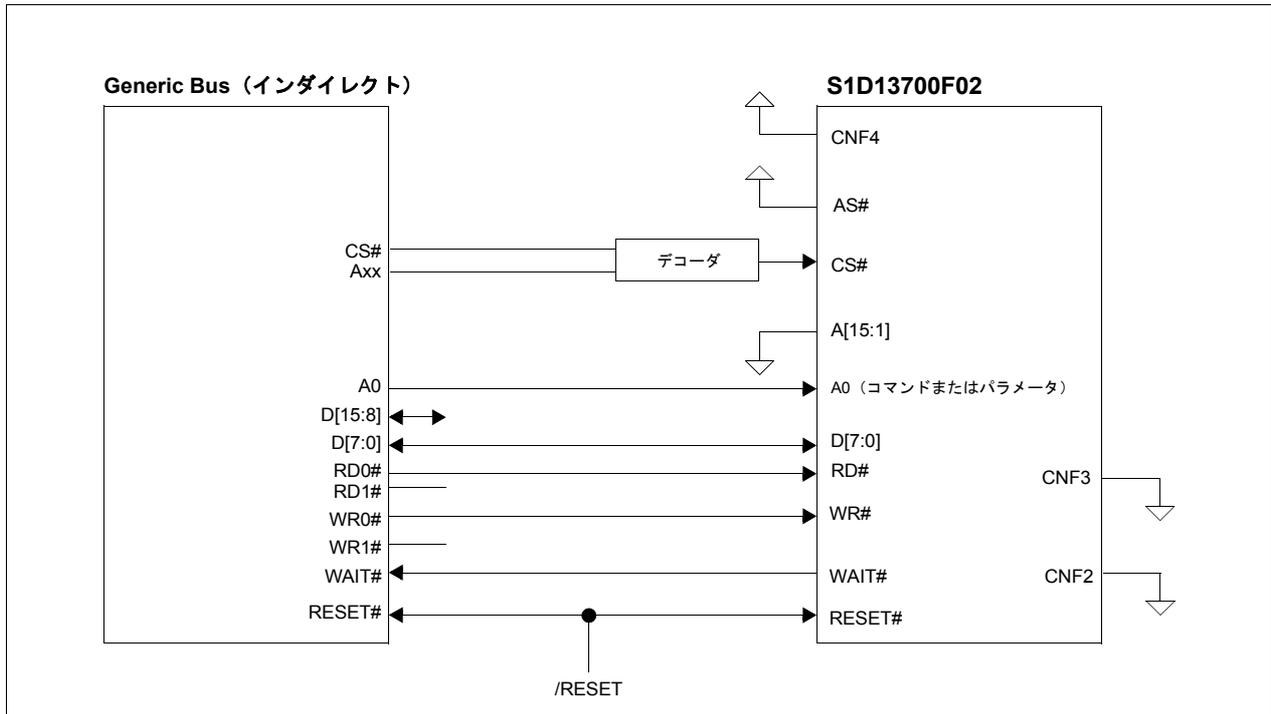


図 3-1: Generic-S1D13700F02 間のインダイレクトインタフェースの例

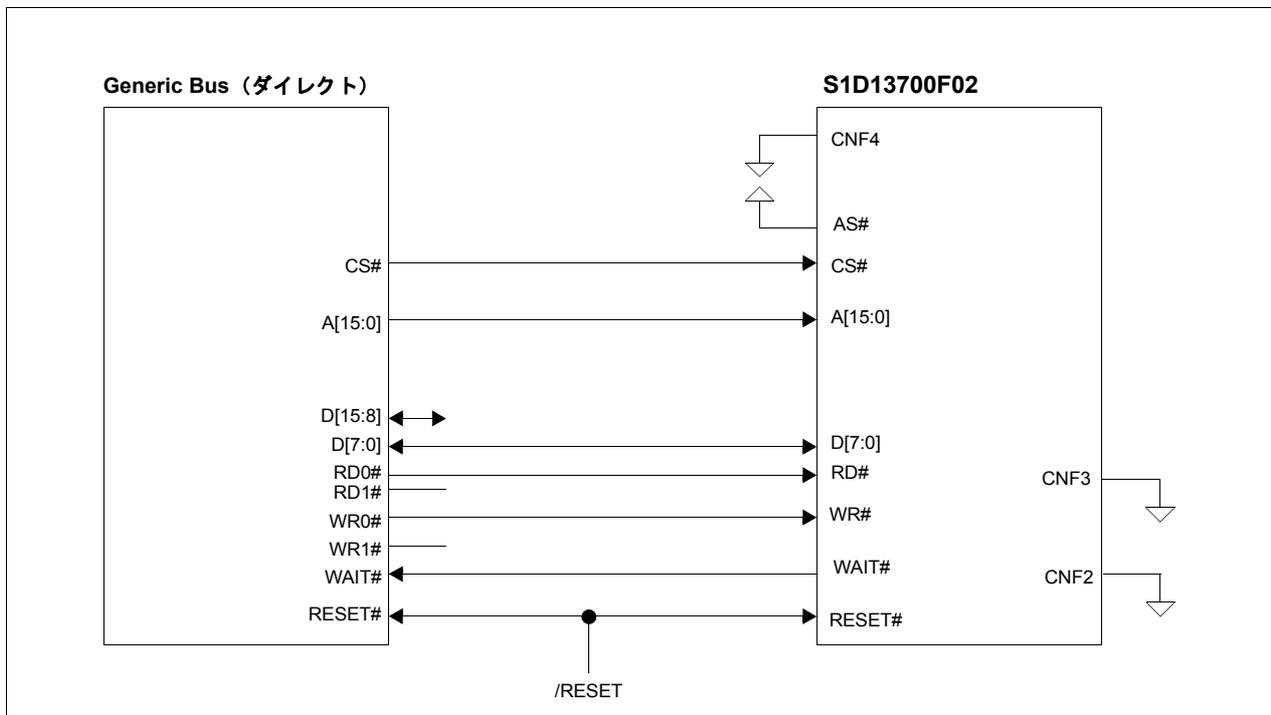


図 3-2: Generic-S1D13700F02 間のダイレクトインタフェースの例

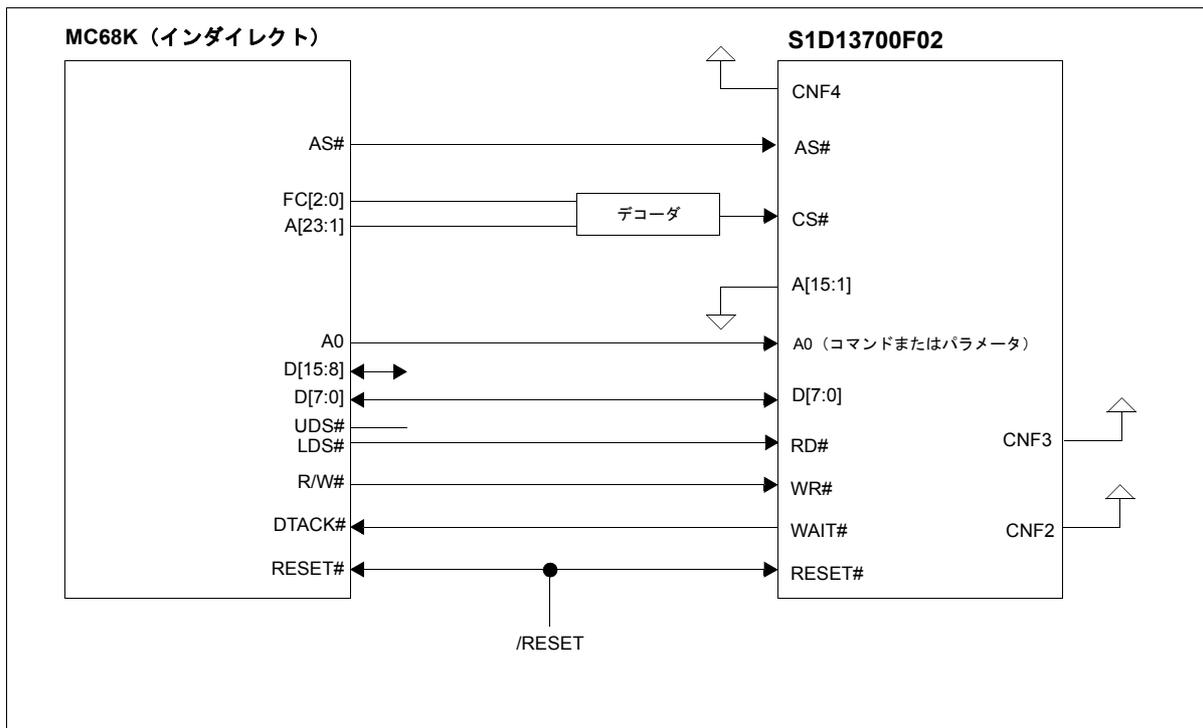


図 3-3: MC68K-S1D13700F02 間のインダイレクトインタフェースの例

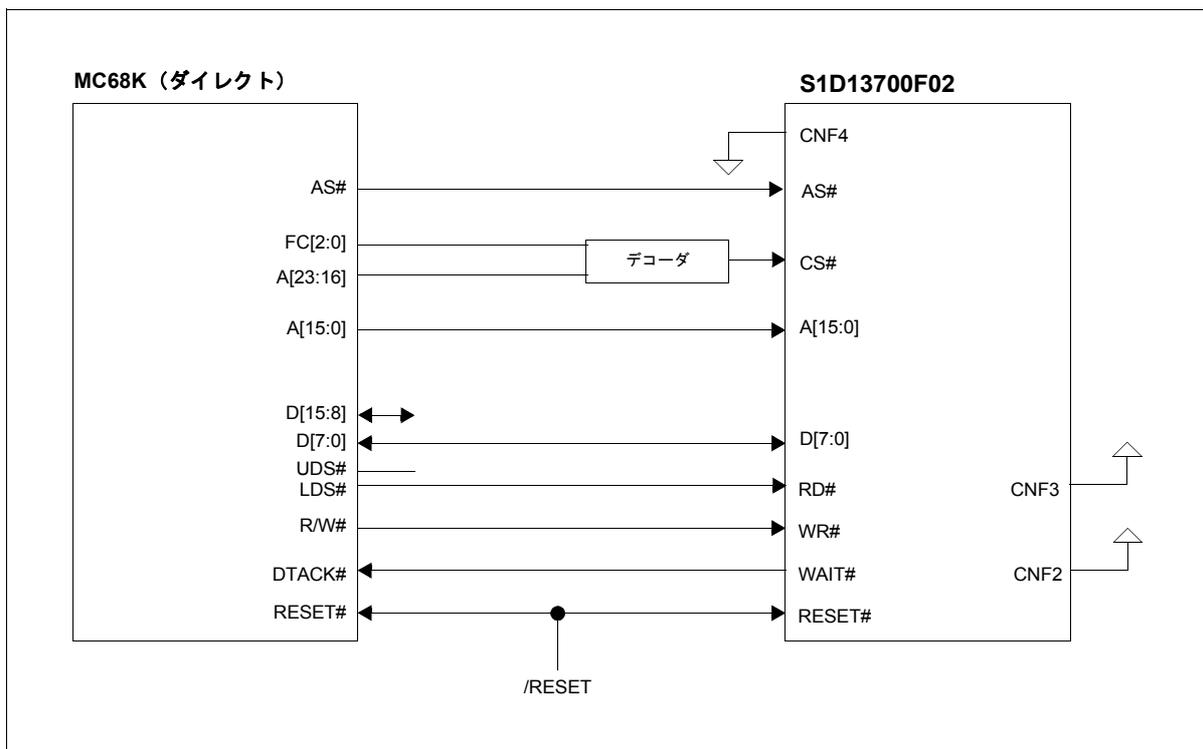


図 3-4: MC68K-S1D13700F02 間のダイレクトインタフェースの例

3. システム構成図

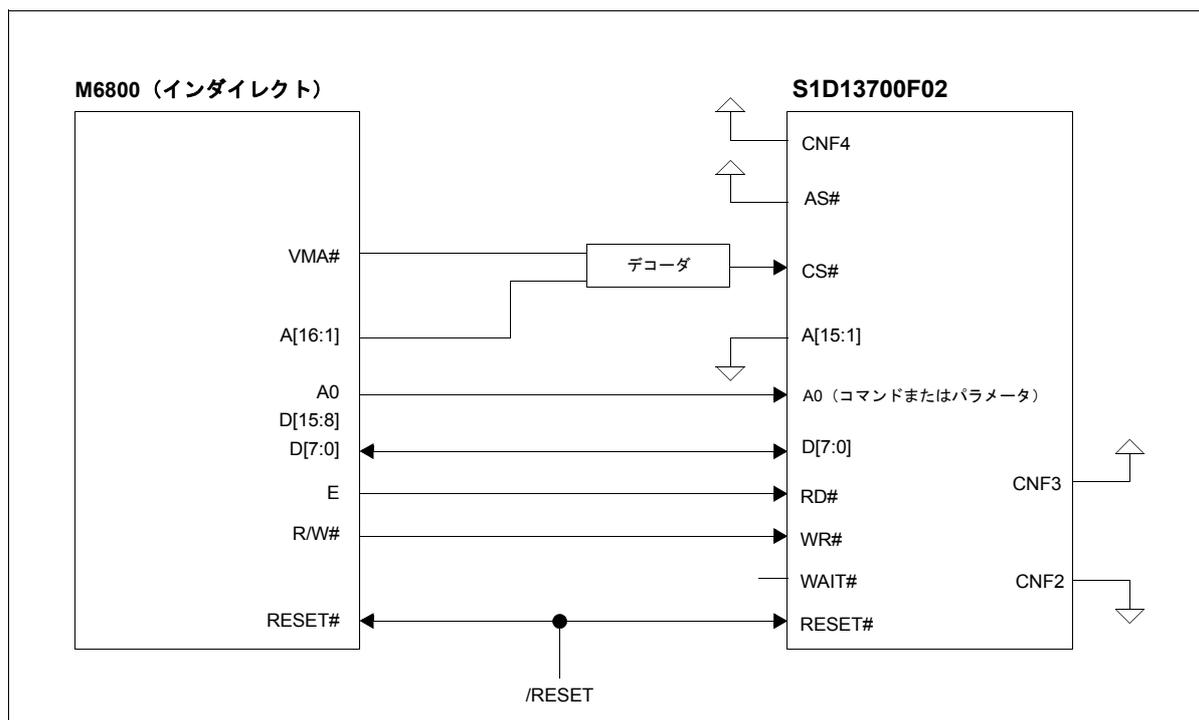


図 3-5: M6800-S1D13700F02 の間のインダイレクトインタフェースの例

4. 機能ブロック図

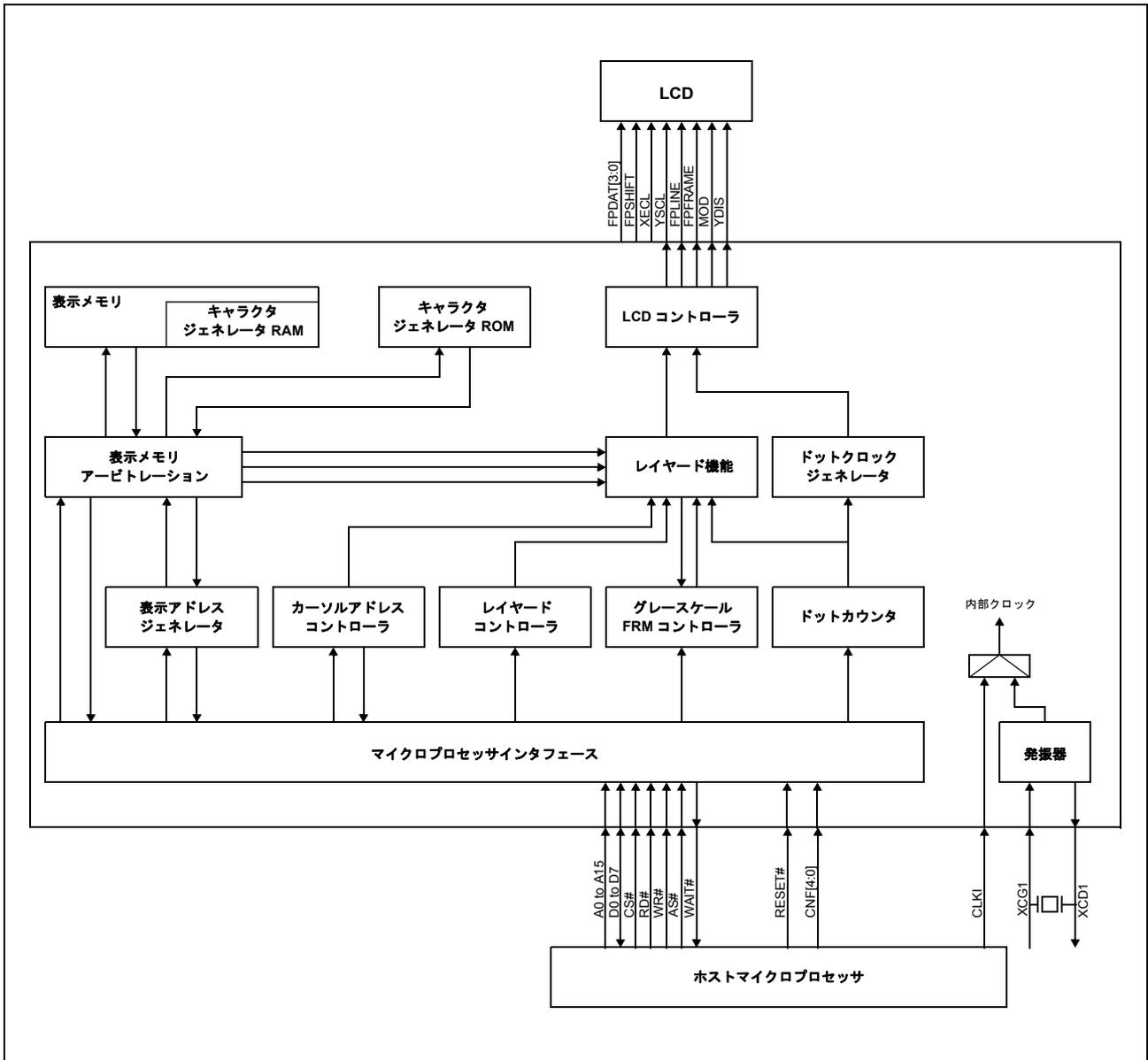


図4-1: 機能ブロック図

5. 端子

5. 端子

5.1 端子配置図

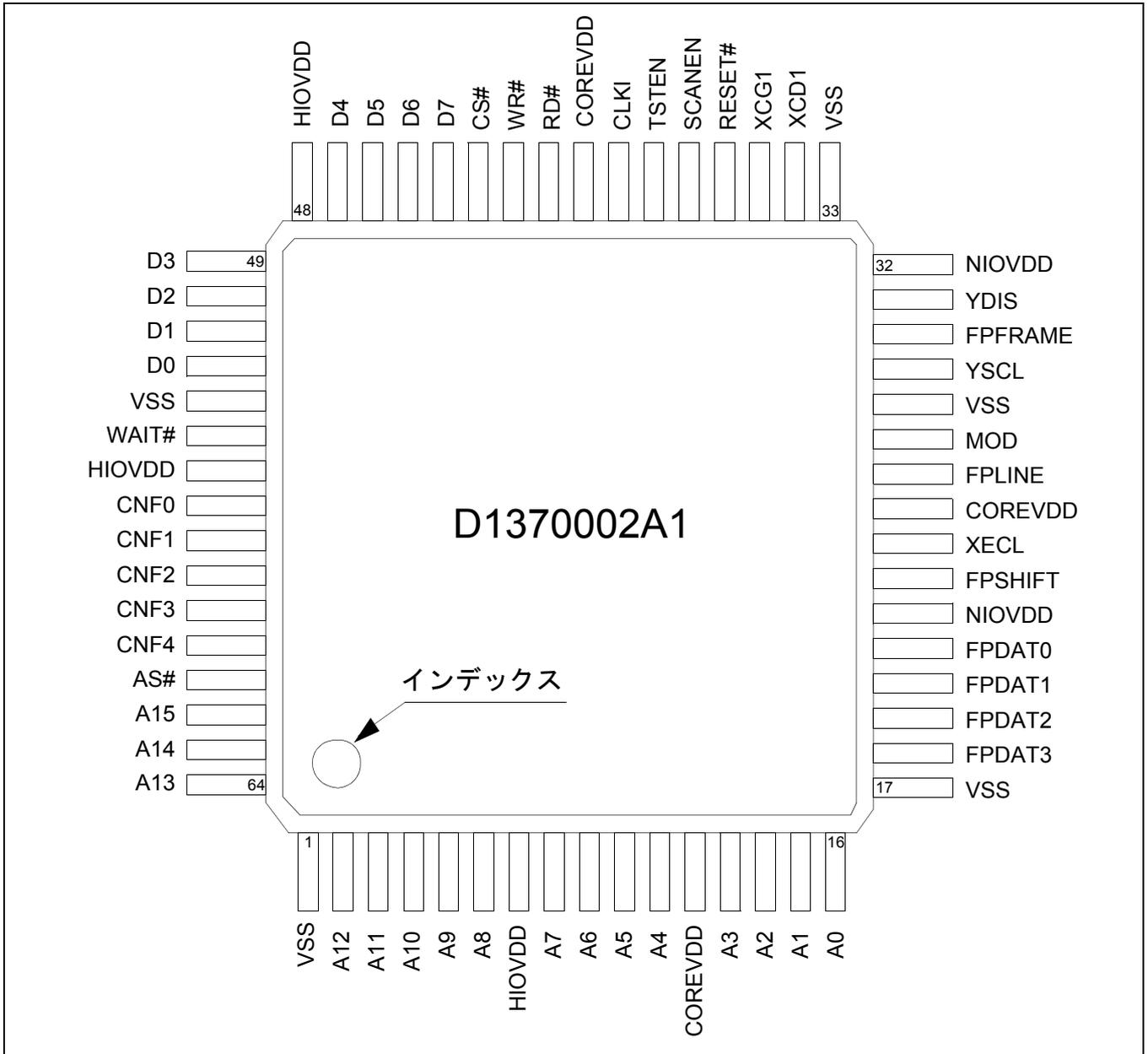


図5-1: 端子配置図 (TQFP13 - 64 端子)

5.2 端子説明

略語の意味：

端子種類

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子

RESET#/Power On 状態

Z	=	ハイインピーダンス（Hi-Z）
L	=	LOW レベル出力
H	=	HIGH レベル出力
0	=	入力のプルダウン制御
1	=	入力のプルアップ制御
X	=	不確定
—	=	適用不可

表 5-1: セルの説明

項目	説明
SI	CMOS レベルシュミット入力
CI	CMOS 入力
CID1	内部プルダウン抵抗付き CMOS 入力（5.0V にて標準値 60k Ω ）
CB2	CMOS IO バッファ（6mA/-6mA（3.3V）、8mA/-8mA（5.0V））
OB2T	テスト対応出力バッファ（6mA/-6mA（3.3V））
LIN	TTL Transparent 入力
LOT	TTL Transparent 出力
T1	プルダウン抵抗付きテストモード制御入力（3.3V にて標準値 50k Ω ）
HTB2T	トライステート出力バッファ（6mA/-6mA（3.3V））

5. 端子

5.2.1 ホストインタフェース

ホストインタフェース端子の多くは、ホストバスインタフェースの選択によって決まるさまざまな機能を備えています（15 ページの表 5-6 「構成オプションの要約」の CNF[4:2] 端子の構成を参照）。ホストインタフェース端子の要約については、16 ページの表 5-7 「ホストインタフェースの端子マッピング」を参照してください。

表 5-2: ホストインタフェースの端子説明

端子名	種類	端子 No.	セル	電源	RESET#/Power On 状態	説明
A[15:1]	I	62-64, 2-6, 8-11, 13-15	CI	HIOVDD	—	システムアドレス端子 15 ~ 1 • ダイレクトアドレス指定モードの場合、これらの端子はシステムアドレスビット 15 ~ 1 に使用します。 • インダイレクトアドレス指定モードの場合、これらの端子はグラウンド (VSS) に接続する必要があります。
A0	I	16	CI	HIOVDD	—	システムアドレス端子 0 • ダイレクトアドレス指定モードの場合、この端子はシステムアドレスビット 0 に使用します。 • インダイレクトアドレス指定モードの場合、この端子は、RD# および WR# とともに、データバス上に存在するデータのタイプを決定します。
D[7:0]	IO	44-47, 49-52	CB2	HIOVDD	Z	システムデータバス端子 7 ~ 0 これらのトリステート入出力データ端子は、マイクロプロセッサのデータバスに接続する必要があります。
CNF[1:0]	I	57, 56	SI	HIOVDD	—	これらの入力端子は、FPSHIFT クロックのサイクルタイムの構成に使用するもので、HIOVDD または VSS のいずれかに接続する必要があります。詳細については、15 ページの 5.3 項「構成オプションの要約」を参照してください。
CNF[3:2]	I	59, 58	SI	HIOVDD	—	これらの入力端子は、ホストバスインタフェース（マイクロプロセッサインタフェース）を選択するもので、HIOVDD または VSS のいずれかに接続する必要があります。S1D13700F02 は、汎用プロセッサ（8085 や Z80® など）、MC68K ファミリのプロセッサ（68000 など）、および M6800 ファミリのプロセッサ（6800 など）をサポートしています。詳細については、15 ページの 5.3 項「構成オプションの要約」を参照してください。
CNF4	I	60	SI	HIOVDD	—	この入力端子は、マイクロプロセッサのアドレス指定モードを選択するもので、HIOVDD または VSS のいずれかに接続する必要があります。S1D13700F02 は、直接と間接の両方のアドレス指定モードをサポートしています。詳細については、15 ページの 5.3 項「構成オプションの要約」を参照してください。

表 5-2: ホストインタフェースの端子説明 (続き)

端子名	種類	端子 No.	セル	電源	RESET#/ Power On 状態	説明
RD#	I	41	SI	HIOVDD	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> Genericホストバスインタフェースが選択されているとき、この端子はアクティブ LOW リードストロープ (RD#) になります。この信号が LOW のとき、S1D13700F02 のデータ出力バッファはイネーブルになります。 M6800 ホストバスインタフェースが選択されているとき、この端子はアクティブ HIGH イネーブルクロック (E) になります。このクロックが HIGH になると、データが S1D13700F02 に読み書きされます。 MC68K ホストバスインタフェースが選択されているとき、この端子はアクティブ LOW 下位データストロープ (LDS#) になります。この信号が LOW になると、データが S1D13700F02 に対して読み書きされます。
WR#	I	42	SI	HIOVDD	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> Genericホストバスインタフェースが選択されているとき、この信号はアクティブ LOW ライトストロープ (WR#) になります。この信号の立ち上がりエッジでバスデータがラッチされます。 M6800 ホストバスインタフェースが選択されているとき、この信号はリード / ライト制御信号 (R/W#) になります。この信号が HIGH の場合、S1D13700F02 からデータが読み出され、この信号が LOW の場合、S1D13700F02 にデータが書き込まれます。 MC68K ホストバスインタフェースが選択されているとき、この信号はリード / ライト制御信号 (RD/WR#) になります。この信号が HIGH の場合、S1D13700F02 からデータが読み出され、この信号が LOW の場合、S1D13700F02 にデータが書き込まれます。
CS#	I	43	SI	HIOVDD	—	<p>チップセレクト このアクティブ LOW 入力により、S1D13700F02 がイネーブルになります。通常、制御マイクロプロセッサのメモリ空間に S1D13700F02 をマッピングするアドレスデコーダ装置の出力に接続されます。</p>
WAIT#	O	54	HTB2T	HIOVDD	Z	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> Genericホストバスインタフェースが選択されているとき、この端子は WAIT# になります。データ転送の間、WAIT# はアクティブ LOW に駆動され、システムは強制的にウェイトを挿入します。WAIT# がインアクティブに駆動されると、データ転送の完了を示します。データ転送の完了後、WAIT# は解放されてハイインピーダンス状態になります。インダイレクトアドレス指定モードの場合、WAIT# 端子はホストとのハンドシェイクに使用することができます。 MC68K ホストバスインタフェースが選択されているとき、この端子は DTACK# です。データ転送の間、DTACK# はアクティブ HIGH に駆動され、システムは強制的にウェイトを挿入します。DTACK# がインアクティブに駆動されると、データ転送の完了を示します。データ転送の完了後、DTACK# は解放されてハイインピーダンス状態になります。インダイレクトアドレス指定モードの場合、DTACK# 端子はホストとのハンドシェイクに使用することができます。 M6800 ホストバスインタフェースが選択されているとき、この端子は未接続のまま浮動状態にしておく必要があります。

5. 端子

表 5-2: ホストインタフェースの端子説明 (続き)

端子名	種類	端子 No.	セル	電源	RESET#/Power On 状態	説明
AS#	I	61	CI	HIOVDD	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> Genericホストバスインタフェースが選択されているとき、この端子はVDDに接続する必要があります (HIGHにプルアップ)。 MC68Kホストバスインタフェースが選択されているとき、この端子はアドレスストローブ (AS#) になります。 M6800ホストバスインタフェースが選択されているとき、この端子はVDDに接続する必要があります (HIGHにプルアップ)。
RESET#	I	36	SI	HIOVDD	—	<p>このアクティブ LOW 入力は、S1D13700F02 のハードウェアリセットを実行し、これによってすべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。</p> <p>注：電源電圧が低下しているときに、RESET# をトリガしないでください。</p>
SCANEN	I	37	CID1	HIOVDD	—	<p>予約済み この端子はグラウンド (VSS) に接続する必要があります。</p>
TSTEN	I	38	T1	HIOVDD	—	<p>予約済み この端子はグラウンド (VSS) に接続する必要があります。</p>

5.2.2 LCD インタフェース

LCD を低電力で効果的に駆動できるようにするため、S1D13700F02 は、イネーブルチェーンを使用して、X と Y の両方のドライバを直接制御することができます。

表 5-3: LCD インタフェースの端子説明

端子名	種類	端子 No.	セル	電源	RESET#/Power On 状態	説明
FPDAT[3:0] (XD[3:0])	O	18-21	OB2T	NIOVDD	X	これらの出力端子は、4 ビットの X ドライバ（カラムドライバ）データ出力で、X ドライバチップの入力に接続する必要があります。
FPSHIFT (XSCL)	O	23	OB2T	NIOVDD	X	FPSHIFT の立下がりエッジが、FPDAT[3:0] 上のデータをラッチし、X ドライバの入カシフトレジスタに渡します。FPSHIFT は XECL に同期して生成されるため、1 ラインあたりの FPSHIFT 総クロック数は 16 の倍数になります。節電のため、このクロックは、FPLINE の出力後、次の表示ラインの開始まで停止されます。
XECL	O	24	OB2T	NIOVDD	X	XECL の立下がりエッジが、X ドライバのイネーブルチェーンのカスケード接続をトリガします。各 16 番目のクロックパルスは、次の X ドライバに出力されます。
FPLINE (LP)	O	26	OB2T	NIOVDD	X	FPLINE は、X ドライバのシフトレジスタの信号をラッチして出力データのラッチに渡します。FPLINE は立下がりエッジでトリガされる信号であり、表示ラインごとに 1 つのパルスが出力されます。FPLINE は、LCD モジュールの Y ドライバのシフトクロックに接続する必要があります。
MOD (WF)	O	27	OB2T	NIOVDD	X	この出力端子は、LCD パネルのバックプレーンのバイアス信号です。MOD 期間は、SYSTEM SET コマンドを使用して選択します。
YSCL	O	29	OB2T	NIOVDD	X	YSCL の立下がりエッジが、FPFRAME 上のデータをラッチして Y ドライバの入カシフトレジスタに渡します。YSCL は、ドライバ IC では使用されません。ドライバ IC は、FPLINE を Y ドライバのシフトクロックとして使用します。
FPFRAME (YD)	O	30	OB2T	NIOVDD	X	この出力端子は、Y ドライバ用のデータのパルス出力です。各フレームの最後のラインの間にアクティブになり、Y ドライバを経由して 1 つずつ (YSCL によって) シフトされ、ディスプレイのコモン接続部がスキャンされます。
YDIS	O	31	OB2T	NIOVDD	L	この出力端子は、パワーダウンの出力信号です。ディスプレイ駆動出力がアクティブの間、YDIS は HIGH になります。パワーセーブコマンドを S1D13700F02 に書き込んでから 1～2 フレームの後、YDIS は LOW になります。すべての Y ドライバ出力は、表示をブランクにするため強制的に中間レベル（表示セグメントの選択を解除）になります。LCD ユニットでパワーダウン動作を実現するためには、表示が YDIS によってディセーブルのときに LCD パワー駆動電源もディセーブルにする必要があります。

5. 端子

5.2.3 クロック入力

表 5-4: クロック入力の端子説明

端子名	種類	端子 No.	セル	電源	RESET#/Power On 状態	説明
XCG1	I	35	LIN	COREVDD	—	この入力端子は、内部発振器用で、外部水晶振動子と接続されず。外部クロックソース (CLKI) を使用するとき、この端子はプルダウンする必要があります。内部発振器の使用の詳細については、38 ページの 9.3 項「発振回路」を参照してください。
XCD1	O	34	LOT	COREVDD	—	この出力端子は、内部発振器用で、外部水晶振動子と接続されず。外部クロックソース (CLKI) を使用するときには、この端子は未接続のままにしておく必要があります。内部発振器の使用の詳細については、38 ページの 9.3 項「発振回路」を参照してください。
CLKI	I	39	CI	HIOVDD	—	これは外部クロック入力です。内部発振器を使用するとき、この端子はプルダウンする必要があります。クロックの詳細については、37 ページの 9. 項「クロック」を参照してください。

5.2.4 電源およびグラウンド

表 5-5: 電源およびグラウンドの端子説明

端子名	種類	端子 No.	セル	電源	RESET#/Power On 状態	説明
HIOVDD	P	55, 48, 7	P	—	—	ホスト (MPU) インタフェース用の IO 電源、3.3/5.0 ボルト
NIOVDD	P	32, 22	P	—	—	LCD インタフェース用の IO 電源、3.3/5.0 ボルト
COREVDD	P	40, 25, 12	P	—	—	コア電源、3.3 ボルト
VSS	P	53, 33, 28, 17, 1	P	—	—	HIOVDD、NIOVDD、および COREVDD 用のグラウンド

5.3 構成オプションの要約

これらの端子は、チップの構成に使用され、HIOVDD または VSS に直接接続する必要があります。

注

CNF[4:0] の状態は、S1D13700F02 の動作前または動作中のいつでも設定することができます。

表 5-6: 構成オプションの要約

構成入力	構成状態	
	1 (HIOVDD に接続)	0 (VSS に接続)
CNF4	インダイレクトアドレス指定モード: 1 ビットアドレスバス 8 ビットデータバス 9 端子を使用	ダイレクトアドレス指定モード: 16 ビットアドレスバス 8 ビットデータバス 24 端子を使用
CNF[3:2]	以下のとおりにホストバスインタフェースを選択します。	
	CNF3	CNF2 ホストバス
	0	0 Generic Bus
	0	1 予約済み
	1	0 M6800 ファミリのバスインタフェース
	1	1 MC68K ファミリのバスインタフェース
CNF[1:0]	以下のとおりに FPSHIFT サイクルタイム (FPSHIFT: クロック入力) を選択します。	
	CNF1	CNF0 FPSHIFT サイクルタイム
	0	0 4:1
	0	1 8:1
	1	0 16:1
	1	1 予約済み

5. 端子

5.4 ホストバスインタフェースの端子マッピング

表 5-7: ホストインタフェースの端子マッピング

端子名	Generic ダイレクト	Generic インダイレクト	MC68K ダイレクト	MC68K インダイレクト	M6800 ダイレクト	M6800 インダイレクト
A[15:1]	A[15:1]	VSS に接続	A[15:1]	VSS に接続	サポートされて いません	VSS に接続
A0	A0	A0	A0	A0		A0
D[7:0]	D[7:0]	D[7:0]	D[7:0]	D[7:0]		D[7:0]
CS#	CS#	CS#	外部デコード	外部デコード		外部デコード
AS#	HIOVDD に 接続	HIOVDD に 接続	AS#	AS#		HIOVDD に 接続
RD#	RD#	RD#	LDS#	LDS#		E
WR#	WR#	WR#	RD/WR#	RD/WR#		R/W#
WAIT#	WAIT# または未接続		DTACK# または未接続			未接続
RESET#	RESET#	RESET#	RESET#	RESET#		RESET#
CNF4	VSS に接続	HIOVDD に 接続	VSS に接続	HIOVDD に 接続		HIOVDD に 接続
CNF3	VSS に接続	VSS に接続	HIOVDD に 接続	HIOVDD に 接続		HIOVDD に 接続
CNF2	VSS に接続	VSS に接続	HIOVDD に 接続	HIOVDD に 接続		VSS に接続
CNF[1:0]	注を参照	注を参照	注を参照	注を参照		注を参照

注

CNF[1:0] は、FPSHIFT サイクルタイムの設定に使用され、特定の実装の要件に従って設定する必要があります。

6. DC 特性

表 6-1: 絶対最大定格

記号	項目	規格値	単位
CORE V _{DD}	電源電圧	V _{SS} - 0.3 ~ 4.0	V
IO V _{DD}	電源電圧	V _{SS} - 0.3 ~ 7.0	V
V _{IN}	入力電圧	V _{SS} - 0.3 ~ IO V _{DD} + 0.5	V
V _{OUT}	出力電圧	V _{SS} - 0.3 ~ IO V _{DD} + 0.5	V
T _{STG}	保存温度	-65 ~ 150	°C
T _{SOL}	半田付け温度 / 時間	最大 260 °C/10sec (鉛)	°C

表 6-2: 推奨動作条件

記号	項目	条件	Min	Typ	Max	単位
Core V _{DD}	電源電圧	V _{SS} = 0 V	3.0	3.3	3.6	V
HIO V _{DD}	ホストバス IO 電源電圧	V _{SS} = 0 V	3.0	3.3	3.6	V
			4.5	5.0	5.5	V
NIO V _{DD}	パネル IO 電源電圧	V _{SS} = 0 V	3.0	3.3	3.6	V
			4.5	5.0	5.5	V
HIO V _{IN}	ホスト入力電圧		V _{SS}		HIO V _{DD}	V
NIO V _{IN}	非ホスト入力電圧		V _{SS}		NIO V _{DD}	V
T _{OPR}	動作温度		-40	25	85	°C

表 6-3: 電気的特性 (V_{DD}=3.3V)

記号	項目	条件	Min	Typ	Max	単位
I _{QH}	コア静止電流	パワーセーブモードがイネーブル	—	—	35	μA
	IO 静止電流	パワーセーブモードがイネーブル	—	—	30	μA
I _{LZ}	入力リーク電流		-1	—	1	μA
I _{OZ}	出力リーク電流		-1	—	1	μA
V _{OH}	高レベル出力電圧	V _{DD} = min. I _{OH} = -6mA	V _{DD} -0.4	—	—	V
V _{OL}	低レベル出力電圧	V _{DD} = min. I _{OL} = 6mA	—	—	0.4	V
V _{IH1}	高レベル入力電圧	LVTTTL レベル、V _{DD} = max	2.0	—	—	V
V _{IL1}	低レベル入力電圧	LVTTTL レベル、V _{DD} = min	—	—	0.8	V
V _{T+}	高レベル入力電圧	LVTTTL シュミット	1.1	—	2.4	V
V _{T-}	低レベル入力電圧	LVTTTL シュミット	0.6	—	1.8	V
V _{H1}	ヒステリシス電圧	LVTTTL シュミット	0.1	—	—	V
R _{PD}	プルダウン抵抗	V _I = V _{DD}	20	50	120	kΩ

6.DC 特性

表 6-4: 電気的特性 (VDD=5.0V)

記号	項目	条件	Min	Typ	Max	単位
I _{QH}	コア静止電流	パワーセーブモードがイネーブル	—	—	35	μA
	入出力静止電流	パワーセーブモードがイネーブル	—	—	30	μA
I _{LZ}	入力リーク電流		-1	—	1	μA
I _{OZ}	出力リーク電流		-1	—	1	μA
V _{OH}	高レベル出力電圧	VDD = min. I _{OH} = -8mA	V _{DD} -0.4	—	—	V
V _{OL}	低レベル出力電圧	VDD = min. I _{OL} = 8mA	—	—	0.4	V
V _{IH}	高レベル入力電圧	CMOS レベル、V _{DD} = max	3.5	—	—	V
V _{IL}	低レベル入力電圧	CMOS レベル、V _{DD} = min	—	—	1.0	V
V _{T+}	高レベル入力電圧	CMOS シュミット	2.0	—	4.0	V
V _{T-}	低レベル入力電圧	CMOS シュミット	0.8	—	3.1	V
V _H	ヒステリシス電圧	CMOS シュミット	0.3	—	—	V
R _{PD}	ブルダウン抵抗	V _I = V _{DD}	30	60	144	kΩ

17 ページの表 6-3 「電気的特性 (VDD=3.3V)」および 18 ページの表 6-4 「電気的特性 (VDD=5.0V)」の電気的特性は、以下のセルタイプに適用されます。

表 6-5: セルタイプの基準

電気的特性	セルタイプ
V _{OH} / V _{OL}	OB2T
	CB2
	HTB2T
V _{IH} / V _{IL}	CI
	CID1
	CB2
V _{T+} / V _{T-}	SI
V _H	SI
R _{PD}	CID1

6.1 電力推定のガイドライン

以下の表は、さまざまな色深度と構成における標準的な消費電流の値を示しています。消費電流は、 $I_{\text{COREVDD}} + I_{\text{HIOVDD}} + I_{\text{NIOVDD}}$ と定義されています。以下の測定値は、 $\text{COREVDD} = 3.3\text{V}$ 、 $\text{HIOVDD} = 3.3\text{V}$ 、 $\text{NIOVDD} = 5.0\text{V}$ の場合です。

表 6-6: 標準的な消費電流の測定値

パネル サイズ	クロック入力		FPSHIFT/ クロック 比	4 bpp	2 bpp	1 bpp	メモリ 動作状態	パワー セーブ	クロック 接地	COREVDD (μA)	HIOVDD (μA)	NIOVDD (μA)	
	CLK1 (Mhz)	水晶振動子 (Mhz)											
160 x 64	1	—	1/4	—	—	X	—	—	—	386.3	0.0	44.8	
				—	—	X	X	—	—	455.0	133.7	48.2	
				—	—	X	—	X	—	22.3	0.0	0.1	
				—	—	X	—	X	X	0.9	0.0	0.1	
	2	—	1/4	—	X	—	—	—	—	779.0	0.8	42.5	
				—	X	—	X	—	—	916.7	206.7	45.6	
				—	X	—	—	X	—	43.9	0.8	0.1	
				—	X	—	—	X	X	1.1	0.0	0.1	
	4	—	1/4	X	—	—	—	—	—	1517.0	4.0	42.4	
				X	—	—	X	—	—	1794.7	370.0	45.4	
				X	—	—	—	X	—	87.1	3.9	0.1	
				X	—	—	—	X	X	1.6	0.0	0.1	
320 x 240	8	—	1/4	—	—	X	—	—	—	3135.7	9.3	319.1	
				—	—	X	X	—	—	3629.3	490.0	350.0	
				—	—	X	—	X	—	173.0	9.3	0.1	
				—	—	X	—	X	X	2.4	0.0	0.1	
	16	—	1/8	—	—	X	—	—	—	5411.3	22.1	318.7	
				—	—	X	X	—	—	6162.7	588.7	350.0	
				—	—	X	—	X	—	340.9	22.2	0.1	
				—	—	X	—	X	X	2.4	0.0	0.1	
	—	16	1/8	—	—	X	—	—	—	3574.7	3.1	319.0	
				—	—	X	X	—	—	7327.0	564.3	350.0	
				—	—	X	—	X	—	2.4	3.2	0.1	
				—	—	X	—	X	X	2.4	3.3	0.1	
	32	—	1/16	—	X	—	—	—	—	10014.0	46.8	206.5	
				—	X	—	X	—	—	11018.3	648.3	223.2	
				—	X	—	—	X	—	680.1	46.0	0.1	
				—	X	—	—	X	X	2.4	0.0	0.1	
		60	—	1/16	—	X	—	—	—	—	18562.3	91.3	312.6
					—	X	—	X	—	—	19770.0	718.7	337.7
					—	X	—	—	X	—	1286.0	90.8	0.1
					—	X	—	—	X	X	2.4	0.0	0.1

7.AC 特性

7. AC 特性

条件： Core $V_{DD} = 3.3V \pm 10\%$
IO $V_{DD} = 3.3V \pm 10\%$ or $5.0V \pm 10\%$

$T_{OPR} = -40^{\circ}C$ to $85^{\circ}C$

すべての入力について T_{rise} と T_{fall} は、 $\leq 5ns$ (10% ~ 90%)
でなければなりません。

$C_L = 30pF$ (バス /MPU インタフェース)

$C_L = 30pF$ (LCD パネルインタフェース)

注

C_L には、5pF の最大端子静電容量が含まれます。

7.1 クロックタイミング

7.1.1 入力クロック

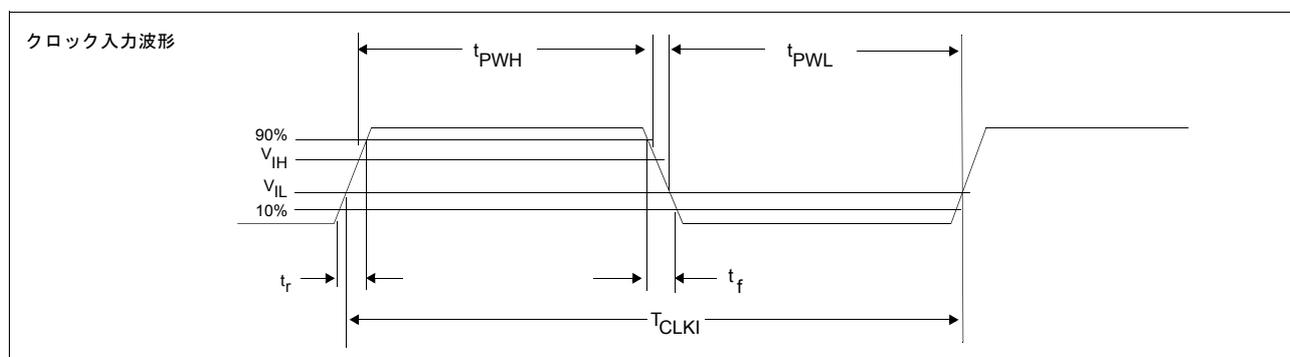


図 7-1: クロック入力要件

表 7-1: クロック入力要件

記号	項目	3.0V		5.0V		単位
		Min	Max	Min	Max	
f_{CLKI}	入力クロックの周波数 (CLKI)	—	60	—	60	MHz
T_{CLKI}	入力クロックの周期 (CLKI)	$1/f_{OSC}$	—	$1/f_{OSC}$	—	ns
t_{PWH}	入力クロックの HIGH パルス幅 (CLKI)	$0.4T_{CLKI}$	—	$0.4T_{CLKI}$	—	ns
t_{PWL}	入力クロックの LOW パルス幅 (CLKI)	$0.4T_{CLKI}$	—	$0.4T_{CLKI}$	—	ns
t_f	入力クロック立下がり時間 (10% ~ 90%)	—	2	—	2	ns
t_r	入力クロック立ち上がり時間 (10% ~ 90%)	—	2	—	2	ns

注

CLKI の周波数を決定するときには、CLKI から生成されるクロックに対する最大内部要件を考慮する必要があります。内部クロックの詳細については、37 ページの 9. 項「クロック」を参照してください。

7.2 リセットタイミグ

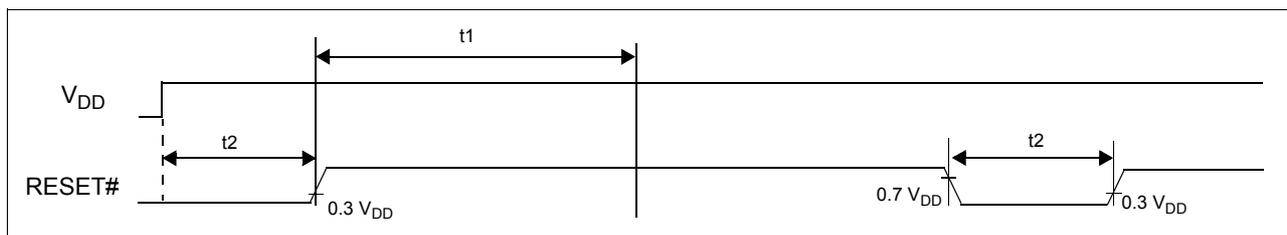


図7-2: 外部発振器を使用したときのリセットタイミグ

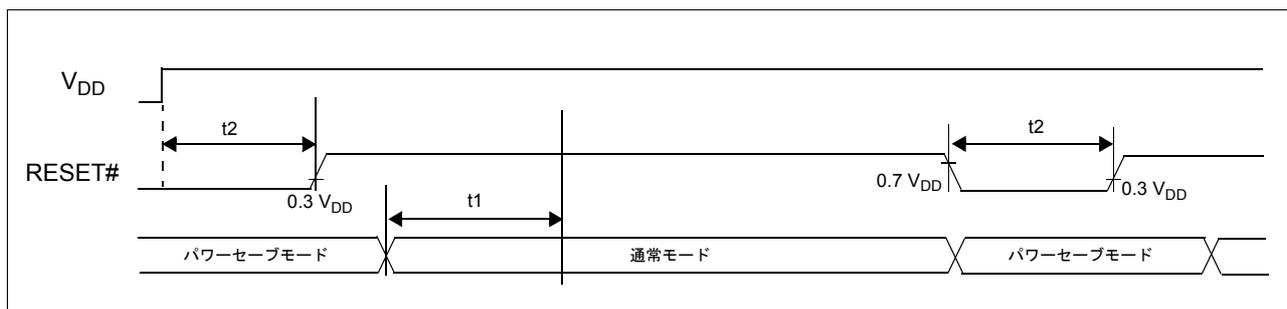


図7-3: 内部発振器を外部水晶振動子とともに使用したときのリセットタイミグ

表7-2: リセットタイミグ

記号	項目	Min	Max	単位
t1	発振器の安定ディレイ (注1)	3	—	ms
t2	リセットパルス期間 (注2)	1	—	ms

1. 外部の発振器を使用するとき、システムを安定させるため、RESET#とVDDの両方の立ち上がりエッジの後、ディレイが必要です。このディレイによって、内部発振回路の入クロックは安定します。発振回路が安定するまで、LCDCにアクセスしないでください。

内部発振器を外部水晶振動子とともに使用するときには、パワーセーブモードを終了した後、ディレイが必要です。ダイレクトモードの場合、REG[08h]ビット0を書き込むことで、パワーセーブモードが解除され、内部発振器が発振を開始します。

インダイレクトモードの場合、SYSTEM SET コマンドを書き込むことで、パワーセーブモードが解除され、内部発振器が発振を開始します。

- 2) S1D13700F02 は、パワーオン後に内部ステートを再初期化するために、1ms 以上のリセットパルスを必要とします。S1D13700F02をリセットしている間は、LCDパネルにDC電圧を供給することは信頼性上、推奨されません。リセットパルスの開始後、少なくとも1フレーム期間、LCDの電源をオフにしてください。

S1D13700F02 は、リセット期間中はコマンドを受け取ることができません。リセット後は速やかに内部レジスタの初期化のコマンドを発行するようにしてください。リセット期間中は、LCD 駆動信号 (FPDAT、FPLINE、FR) は停止しています。

7.AC 特性

7.3 CPU インタフェースのタイミング

7.3.1 Generic Bus ダイレクト/インダイレクトインタフェースのタイミング (WAIT# あり)

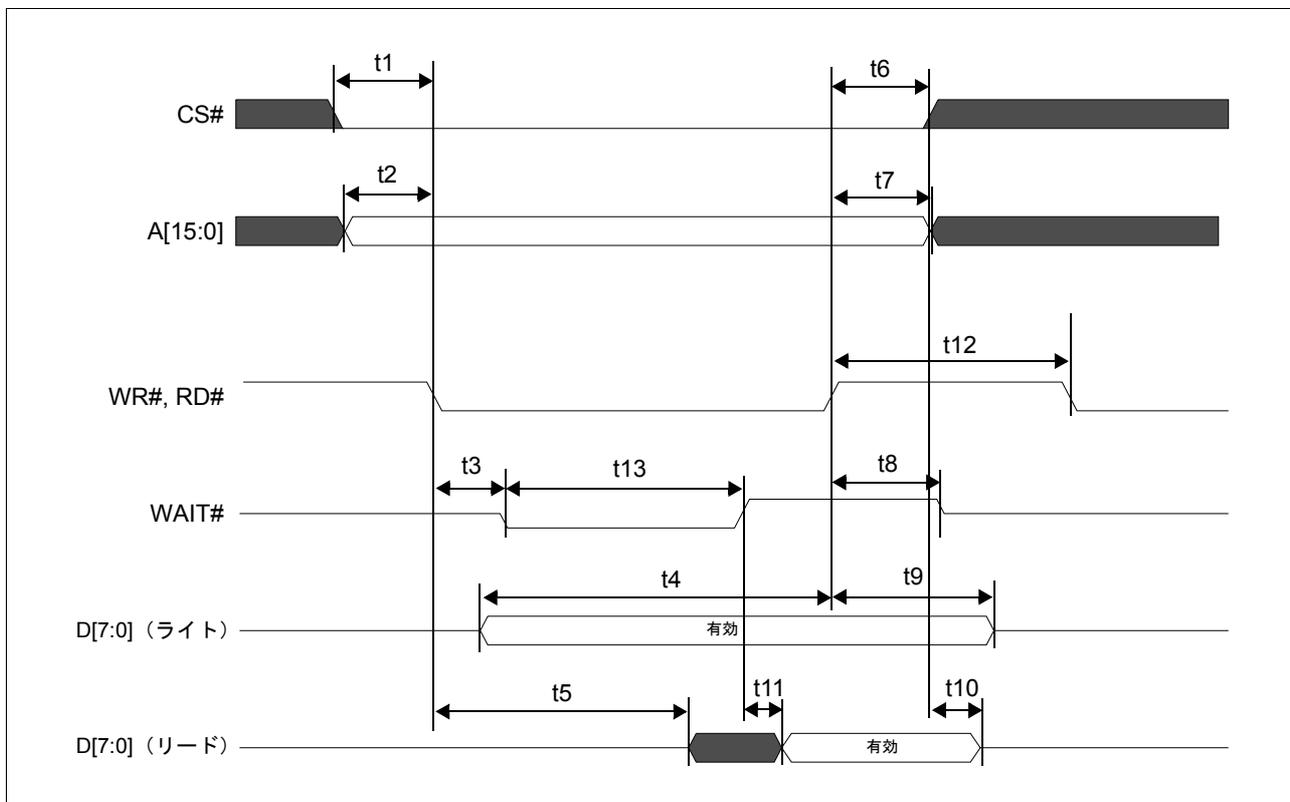


図 7-4: Generic Bus ダイレクト/インダイレクトインタフェースのタイミング (WAIT# あり)

表7-3: Generic Bus ダイレクト/インダイレクトインタフェースのタイミング (WAIT# あり)

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	WR#、RD# の立下がりエッジ→ WAIT# が LOW に駆動	2	15	2	15	ns
t4	WR# の立ち上がりエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	注 2	—	注 2	—	ns
t5	RD# の立下がりエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t6	CS# のホールド時間	7	—	7	—	ns
t7	A[15:0] のホールド時間	7	—	7	—	ns
t8	RD#、WR# の立ち上がりエッジ→ WAIT# がハイインピーダンス	2	10	2	10	ns
t9	WR# の立ち上がりエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t10	CS# の立ち上がりエッジからの D[7:0] のホールド時間 (リードサイクル)	3	14	3	14	ns
t11	WAIT# の立ち上がりエッジ→有効データ	—	注 3	—	注 3	ns
t12	RD#、WR# のパルスインアクティブ時間	注 4	—	注 4	—	ns
t13	WAIT# のパルスアクティブ時間	—	注 5	—	注 5	ns

1. T_s = システムクロックの周期
2. t_{4min} = $2T_s + 5$
3. t_{11max} = $1T_s + 5$ (3.3V の場合)
= $1T_s + 7$ (5.0V の場合)
4. t_{12min} = $1T_s$ (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= $2T_s + 2$ (ライトサイクルの後にライトサイクルが続く場合)
= $5T_s + 2$ (ライトサイクルの後にリードサイクルが続く場合)
5. t_{13max} = $4T_s + 2$

7.AC 特性

7.3.2 Generic Bus ダイレクト/インダイレクトインタフェースのタイミング (WAIT# なし)

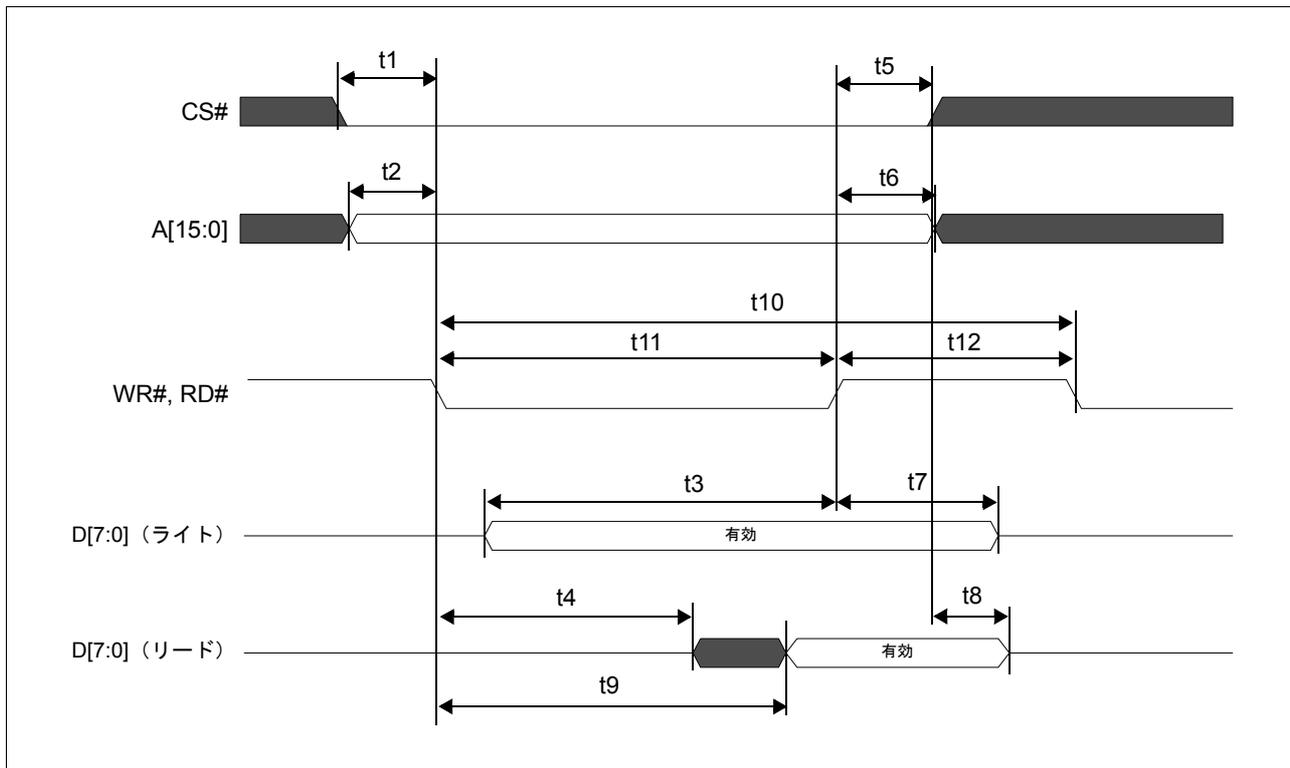


図 7-5: Generic Bus ダイレクト/インダイレクトインタフェースのタイミング (WAIT# なし)

表7-4: Generic Bus ダイレクト/インダイレクトインタフェースのタイミング (WAIT# なし)

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	WR# の立ち上がりエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	注 2	—	注 2	—	ns
t4	RD# の立下がりエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[15:0] のホールド時間	7	—	7	—	ns
t7	WR# の立ち上がりエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	CS# の立ち上がりエッジからの D[7:0] のホールド時間 (リードサイクル)	3	14	3	14	ns
t9	RD# の立下がりエッジ→有効データ (リードサイクル)	—	注 3	—	注 3	ns
t10	RD#、WR# のサイクルタイム	注 4	—	注 4	—	ns
t11	RD#、WR# のパルスアクティブ時間	5	—	5	—	Ts
t12	RD#、WR# のパルスインアクティブ時間	注 5	—	注 5	—	ns

1. Ts = システムクロックの周期
2. t3min = 2Ts + 5
3. t9max = 4Ts + 18 (3.3V の場合)
= 4Ts + 20 (5.0V の場合)
4. t10min = 6Ts (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= 7Ts + 2 (ライトサイクルの後にライトサイクルが続く場合)
= 10Ts + 2 (ライトサイクルの後にリードサイクルが続く場合)
5. t12min = 1Ts (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= 2Ts + 2 (ライトサイクルの後にライトサイクルが続く場合)
= 5Ts + 2 (ライトサイクルの後にリードサイクルが続く場合)

7.AC 特性

7.3.3 MC68K ファミリのダイレクト/インダイレクトバスインタフェースのタイミング (DTACK# あり)

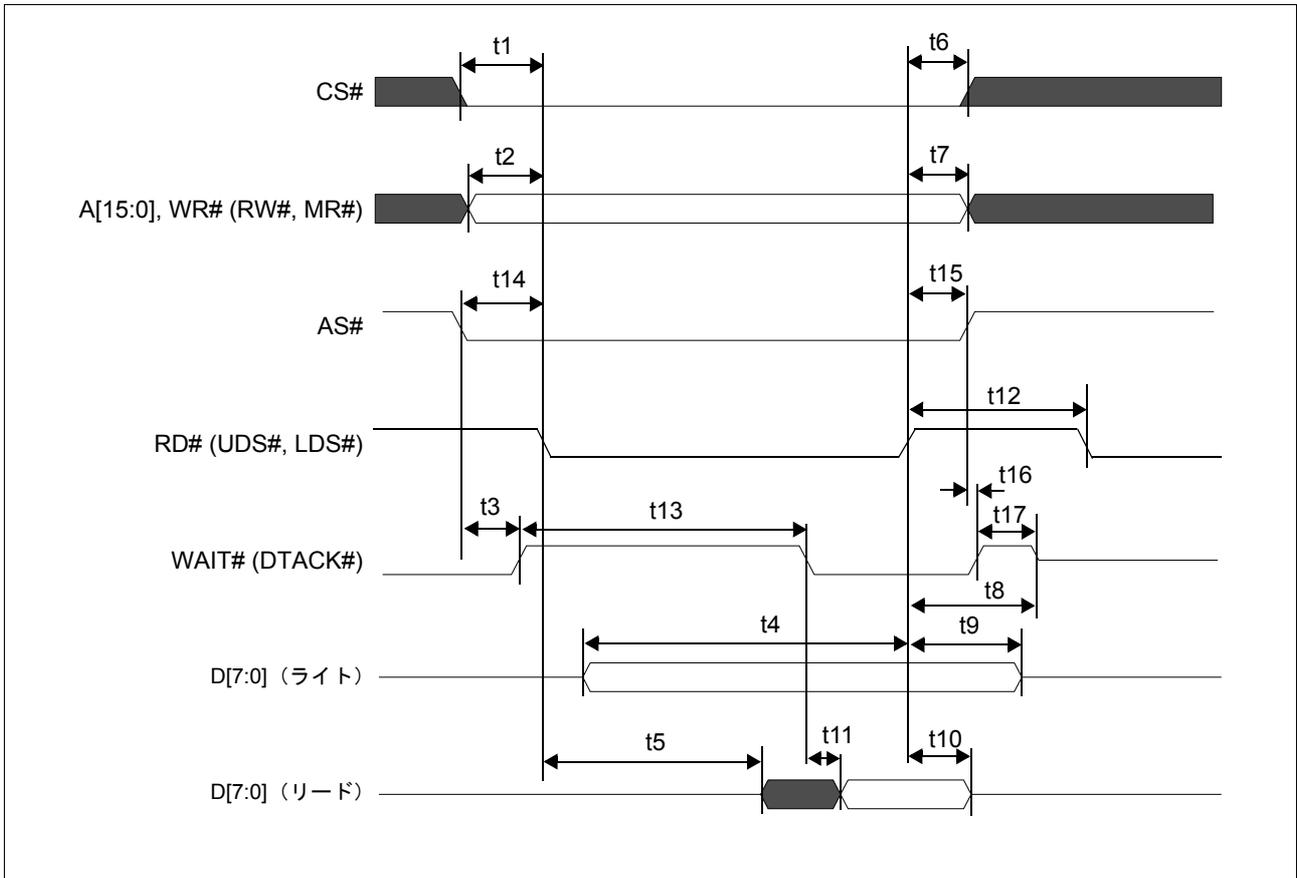


図 7-6: MC68K ファミリのダイレクト/インダイレクトバスインタフェースのタイミング (DTACK# あり)

表 7-5: MC68K ファミリのダイレクト/インダイレクトバスインタフェースのタイミング (DTACK# あり)

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	AS# の立下がりエッジ→ DTACK# の駆動	2	15	2	15	ns
t4	RD# の立ち上がりエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	注 2	—	注 2	—	ns
t5	RD# の立下がりエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t6	CS# のホールド時間	7	—	7	—	ns
t7	A[15:0] のホールド時間	7	—	7	—	ns
t8	RD# の立ち上がりエッジ→ DTACK# がハイインピーダンス (ダイレクトインタフェースでパワーセーブモードの場合)	2	10	2	10	ns
t9	RD# の立ち上がりエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t10	RD# の立ち上がりエッジからの D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t11	DTACK# の立下がりエッジ→有効データ	—	注 3	—	注 3	ns
t12	RD# のパルスインアクティブ時間	注 4	—	注 4	—	ns
t13	DTACK# の駆動からの DTACK# のパルスインアクティブ時間	—	注 5	—	注 5	ns
t14	AS# のセットアップ時間	0	—	0	—	ns
t15	AS# のホールド時間	0	—	0	—	ns
t16	AS# の立ち上がりエッジ→ DTACK# が HIGH にディアサート (ダイレクトインタフェースでなくパワーセーブモードでない場合)	—	10	—	10	ns
t17	DTACK# のパルスインアクティブ時間	0	注 6	0	注 6	ns

1. T_s = システムクロックの周期
2. t_{4min} = $2T_s + 5$
3. t_{11max} = $1T_s + 5$ (3.3V の場合)
= $1T_s + 7$ (5.0V の場合)
4. t_{12min} = $1T_s$ (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= $2T_s + 2$ (ライトサイクルの後にライトサイクルが続く場合)
= $5T_s + 2$ (ライトサイクルの後にリードサイクルが続く場合)
5. t_{13max} = $4T_s + 2$
6. t_{17max} = $1T_s - 15$

7.AC 特性

7.3.4 MC68K ファミリのダイレクト/インダイレクトバスインタフェースのタイミング (DTACK# なし)

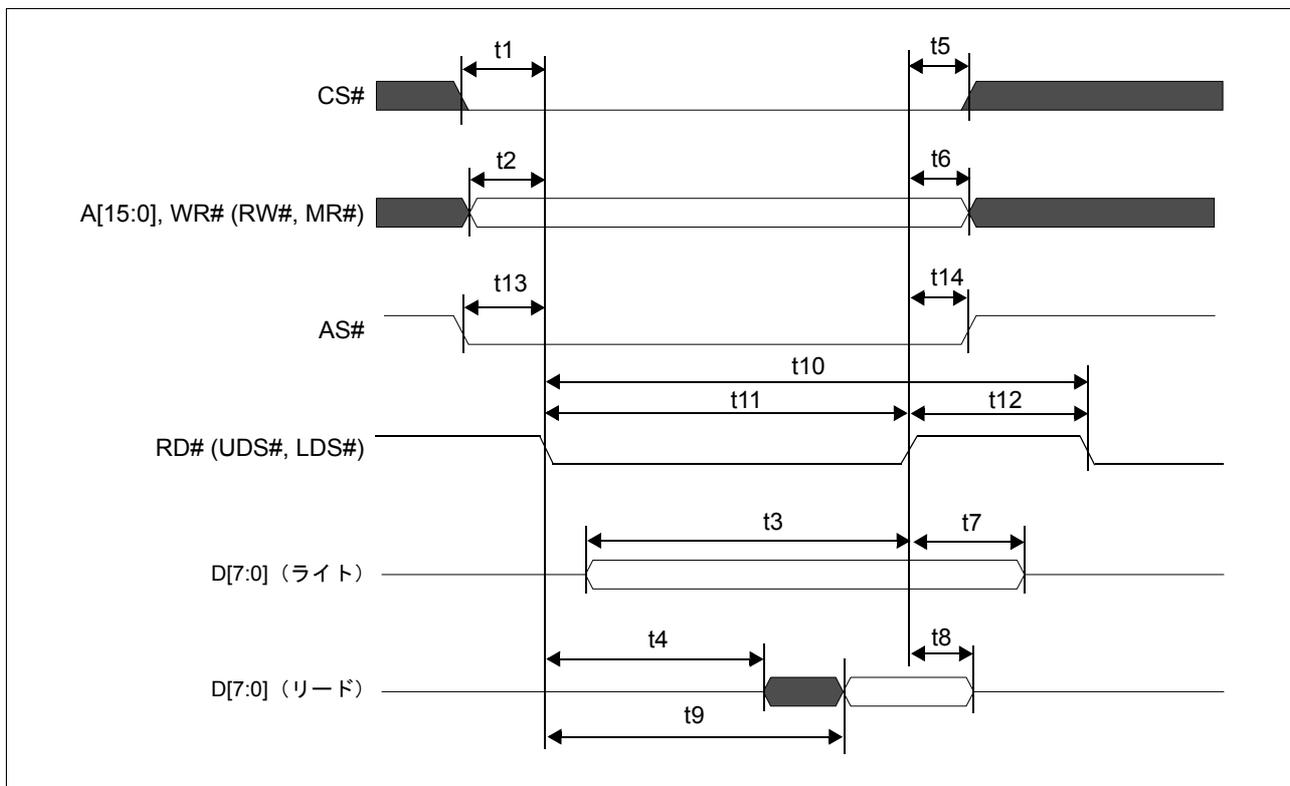


図 7-7: MC68K ファミリのダイレクト/インダイレクトバスインタフェースのタイミング (DTACK# なし)

表 7-6: MC68K ファミリのダイレクト/インダイレクトバスインタフェースのタイミング (DTACK# なし)

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	RD# の立ち上がりエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	注 2	—	注 2	—	ns
t4	RD# の立下がりエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[15:0] のホールド時間	7	—	7	—	ns
t7	RD# の立ち上がりエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	RD# の立ち上がりエッジからの D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t9	RD# の立下がりエッジ→有効データ	—	注 3	—	注 3	ns
t10	RD# のサイクルタイム	注 4	—	注 4	—	ns
t11	RD# のパルスアクティブ時間	5	—	5	—	Ts
t12	RD# のパルスインアクティブ時間	注 5	—	注 5	—	ns
t13	AS# のセットアップ時間	0	—	0	—	ns
t14	AS# のホールド時間	0	—	0	—	ns

1. Ts = システムクロックの周期
2. t3min = 2Ts + 5
3. t9max = 4Ts + 18 (3.3V の場合)
= 4Ts + 20 (5.0V の場合)
4. t10min = 6Ts (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= 7Ts + 2 (ライトサイクルの後にライトサイクルが続く場合)
= 10Ts + 2 (ライトサイクルの後にリードサイクルが続く場合)
5. t12min = 1Ts (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= 2Ts + 2 (ライトサイクルの後にライトサイクルが続く場合)
= 5Ts + 2 (ライトサイクルの後にリードサイクルが続く場合)

7.AC 特性

7.3.5 M6800 ファミリのインダイレクトバスインタフェースのタイミング

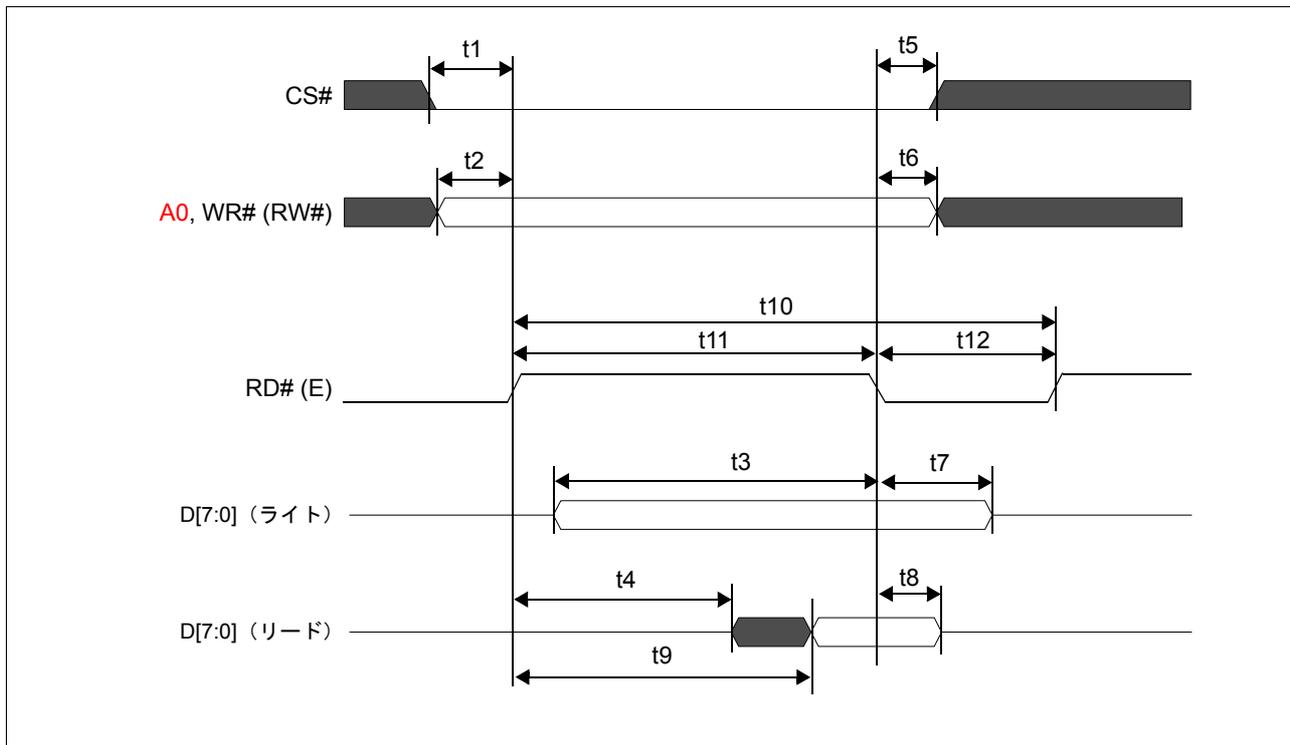


図7-8: M6800 ファミリのインダイレクトバスインタフェースのタイミング

表 7-7: M6800 ファミリのバスインダイレクトインタフェースのタイミング

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	RD# の立下がりエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	注 2	—	注 2	—	ns
t4	RD# の立ち上がりエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[15:0] のホールド時間	7	—	7	—	ns
t7	RD# の立下がりエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	RD# の立下がりエッジからの D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t9	RD# の立ち上がりエッジ→有効データ	—	注 3	—	注 3	ns
t10	RD# のサイクルタイム	注 4	—	注 4	—	ns
t11	RD# のパルスアクティブ時間	5	—	5	—	Ts
t12	RD# のパルスインアクティブ時間	注 5	—	注 5	—	ns

1. Ts = システムクロックの周期
2. t3min = $2Ts + 5$
3. t9max = $4Ts + 18$ (3.3V の場合)
= $4Ts + 20$ (5.0V の場合)
4. t10min = $6Ts$ (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= $7Ts + 2$ (ライトサイクルの後にライトサイクルが続く場合)
= $10Ts + 2$ (ライトサイクルの後にリードサイクルが続く場合)
5. t12min = $1Ts$ (リードサイクルの後にリードサイクルまたはライトサイクルが続く場合)
= $2Ts + 2$ (ライトサイクルの後にライトサイクルが続く場合)
= $5Ts + 2$ (ライトサイクルの後にリードサイクルが続く場合)

7.AC 特性

7.4 パワーセーブモード / 表示イネーブルのタイミング

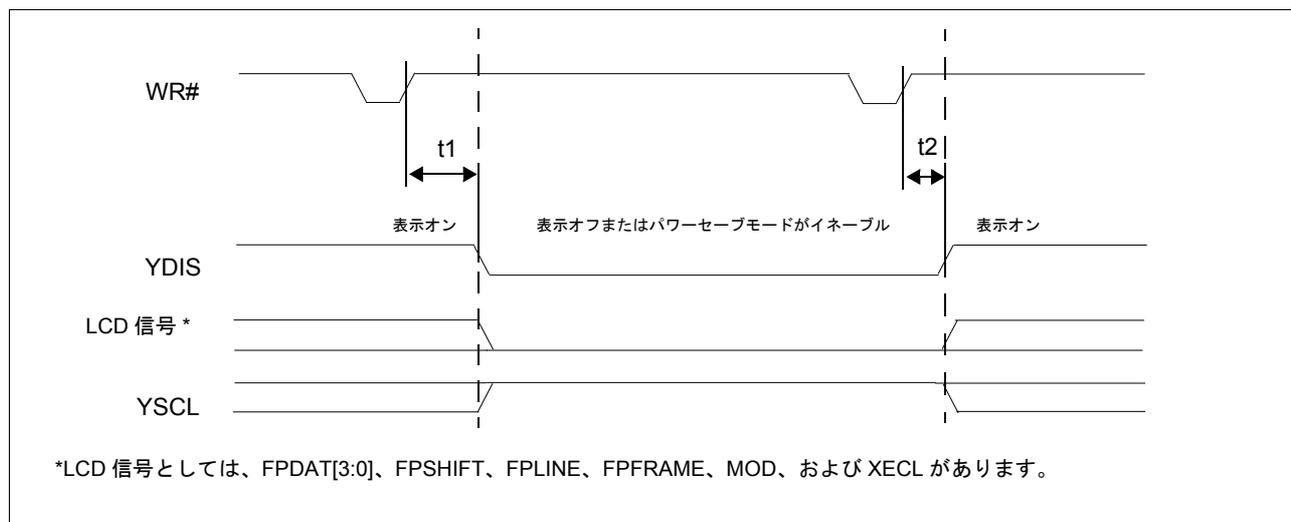


図 7-9: パワーセーブモード / 表示イネーブルのタイミング

注

外部水晶振動子を内部発振器とともに使用するときには、システムの安定化のためパワーセーブモードの終了後にディレイが必要です。詳細については、21 ページの 7.2 項「リセットタイミング」を参照してください。

表 7-8: パワーセーブモード / 表示イネーブルのタイミング

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1a	インダイレクトモードでパワーセーブモードがイネーブルの場合の YDIS の立下がりエッジのディレイ (注 2 を参照)	—	2	—	2	フレーム
t1b	インダイレクトモードで表示オフの場合の YDIS の立下がりエッジのディレイ (58h)	—	1Ts + 10	—	1Ts + 10	ns
t1c	ダイレクトモードで表示オフの場合の YDIS の立下がりエッジのディレイ (注 3 を参照)	—	2Ts + 10	—	2Ts + 10	ns
t2	表示オンの場合の YDIS の立ち上がりエッジのディレイ (注 3 を参照)	—	2Ts + 10	—	2Ts + 10	ns

1. Ts = システムクロックの周期
2. パワーセーブモードは、パワーセーブモードイネーブルビット (REG[08h] ビット 0) によって制御されています。
3. 表示オン / オフは、表示イネーブルビット (REG[09h] ビット 0) によって制御されています。

7.5 表示インターフェース

フラットパネルディスプレイの駆動に必要なタイミングパラメータを以下に示します。

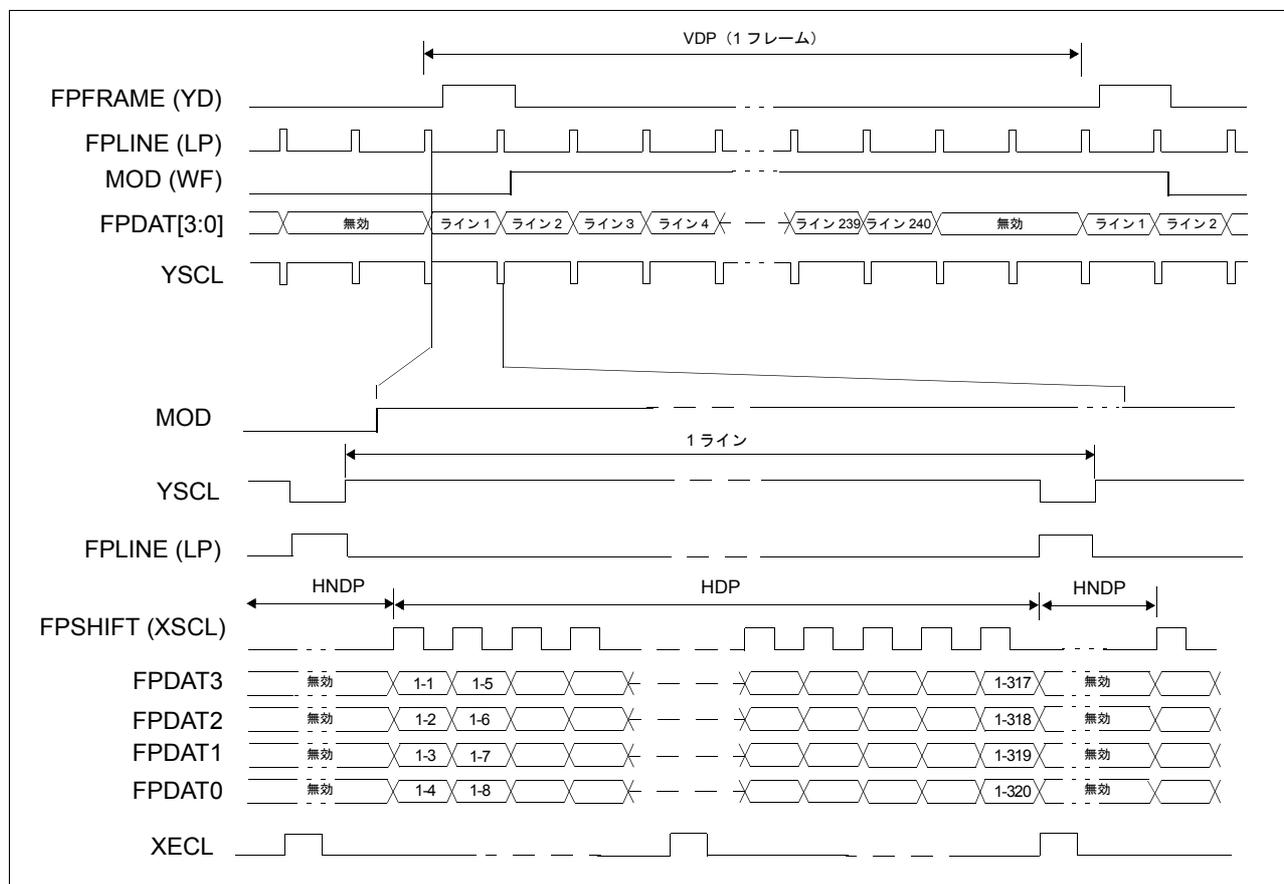


図7-10: 4ビットモノクロパネルのタイミング

7.AC 特性

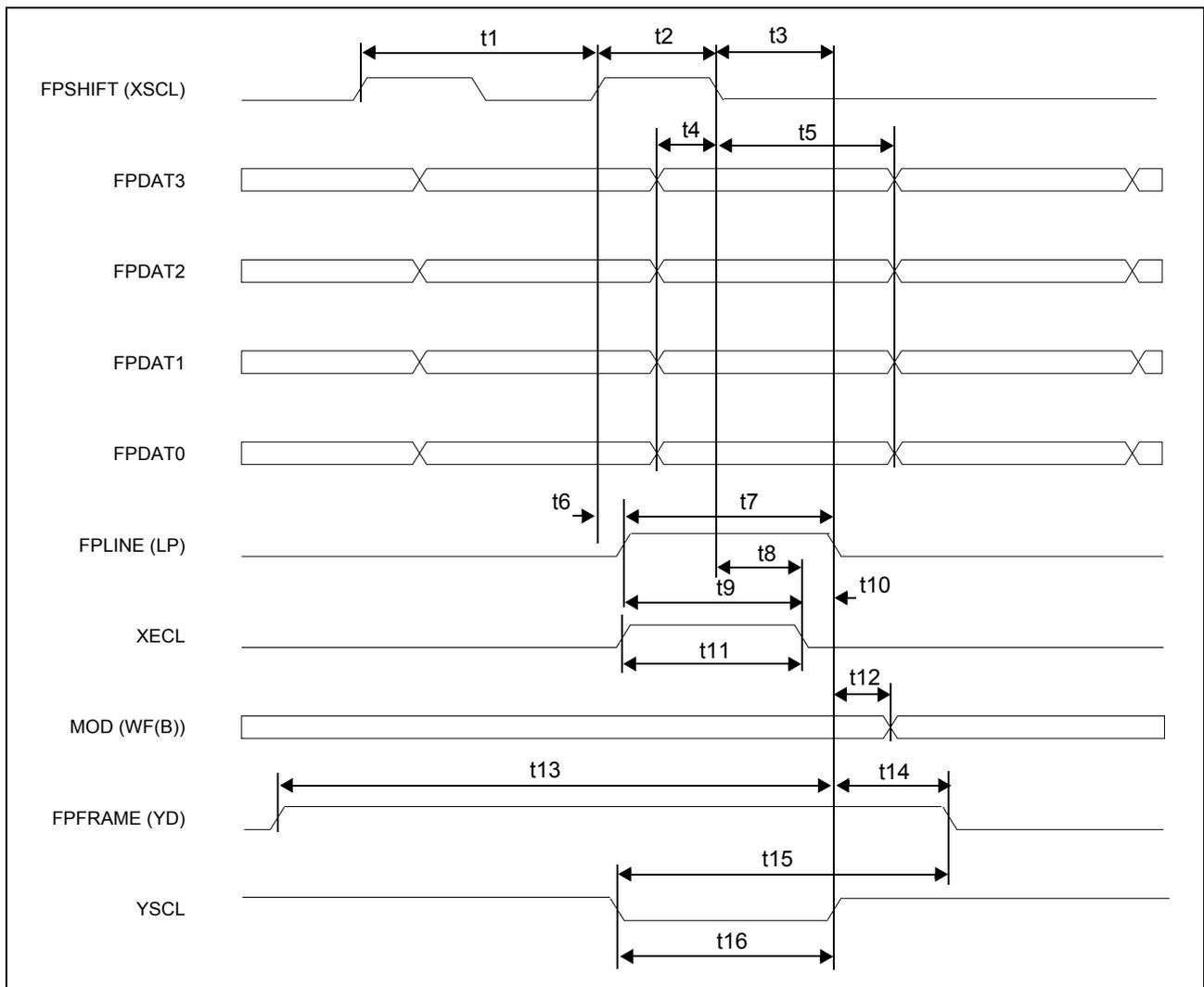


表 7-9: 4 ビットモノクロシングルパネルの AC タイミング

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1	FPSHIFT のサイクルタイム	1	—	1	—	Tc (注 1)
t2	FPSHIFT のパルス幅	0.5Tc - 5	—	0.5Tc - 4	—	ns
t3	FPSHIFT の立下がりエッジからのラッチデータのセットアップ時間	0.5Tc - 5	—	0.5Tc - 4	—	ns
t4	FPSHIFT の立下がりエッジまでの FPDAT[3:0] のセットアップ	0.5Tc - 5	—	0.5Tc - 4	—	ns
t5	FPSHIFT の立下がりエッジからの FPDAT[3:0] のホールド	0.5Tc - 5	—	0.5Tc - 4	—	ns
t6	FPSHIFT の立ち上がりエッジから FPLINE の立ち上がりエッジまでのディレイ	0	4	0	4	ns
t7	ラッチのパルス幅	Tc - 5	—	Tc - 4	—	ns
t8	FPSHIFT の立下がりエッジから XECL の立下がりエッジまでのセットアップ時間	0.25Tc - 5	—	0.25Tc - 4	—	ns
t9	FPLINE の立ち上がりエッジから XECL の立下がりエッジまでのセットアップ時間	0.75Tc - 5	—	0.75Tc - 4	—	ns
t10	XECL の立下がりエッジから FPLINE の立下がりエッジまでのホールド時間	注 2	—	注 2	—	ns
t11	XECL のパルス幅	0.75Tc - 5	—	0.75Tc - 4	—	ns
t12	MOD の許容ディレイ時間	—	4	—	4	ns
t13	FPFRAME の立ち上がりエッジ→FPLINE の立下がりエッジ	2Tc - 10	—	2Tc - 10	—	ns
t14	FPLINE の立下がりエッジ→FPFRAME の立下がりエッジ	2Tc	—	2Tc	—	ns
t15	YSCL の立下がりエッジから FPFRAME の立下がりエッジまでのホールド時間	3Tc - 10	—	3Tc - 10	—	ns
t16	YSCL のパルス幅	Tc - 5	—	Tc - 4	—	ns

1. Tc = FPSHIFT のサイクルタイム
 = 4Ts (CNF[1:0] = 00 のとき)
 = 8Ts (CNF[1:0] = 01 のとき)
 = 16Ts (CNF[1:0] = 10 のとき)
2. t10min = 0.25Tc - 8

8. メモリマッピング

8. メモリマッピング

S1D13700F02 は、32K バイトの内蔵 SRAM を搭載しています。メモリは、表示データ、レジスタ、および CGROM に使用されます。

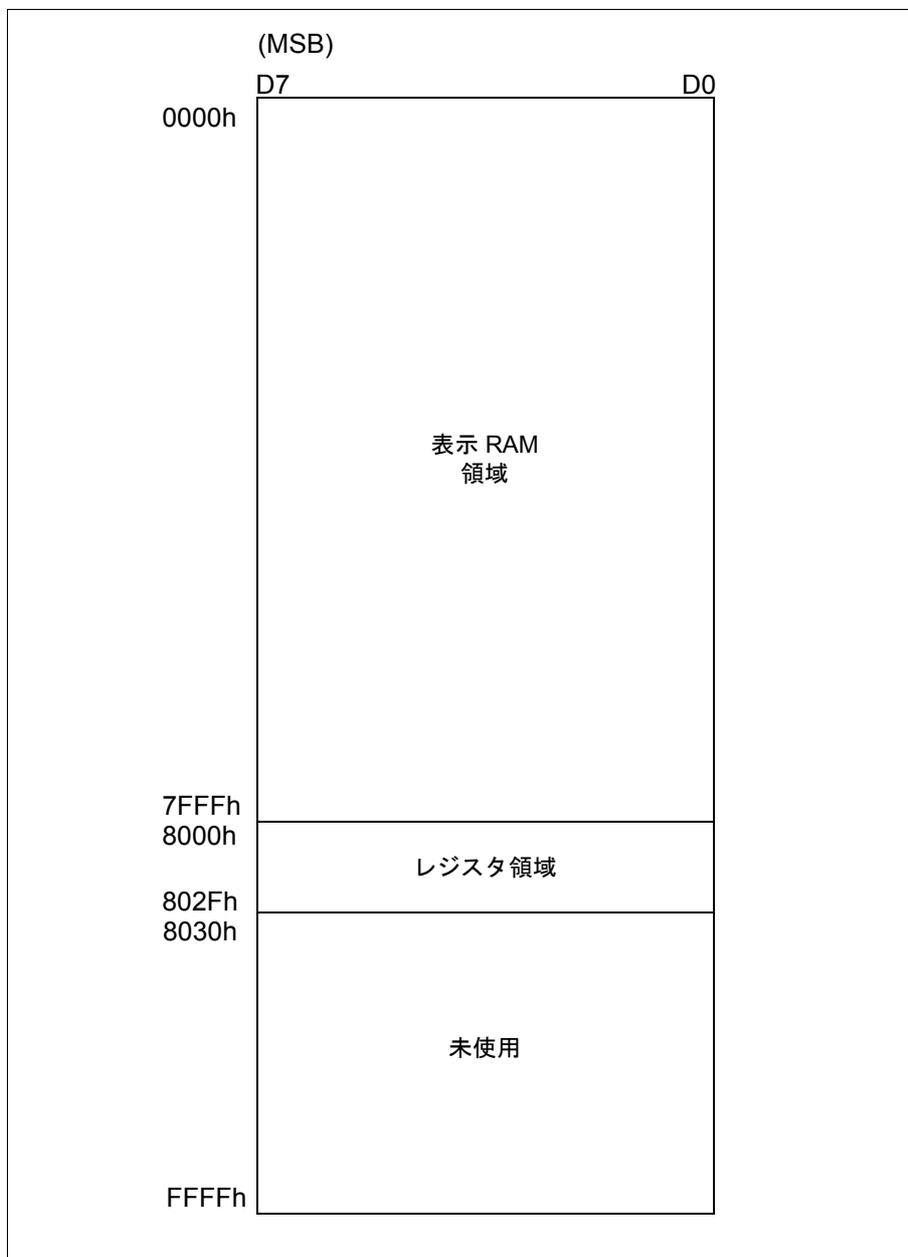


図 8-1: S1D13700F02 のメモリマッピング

9. クロック

9.1 クロック図

以下の図は、S1D13700F02 のクロックツリーを示しています。

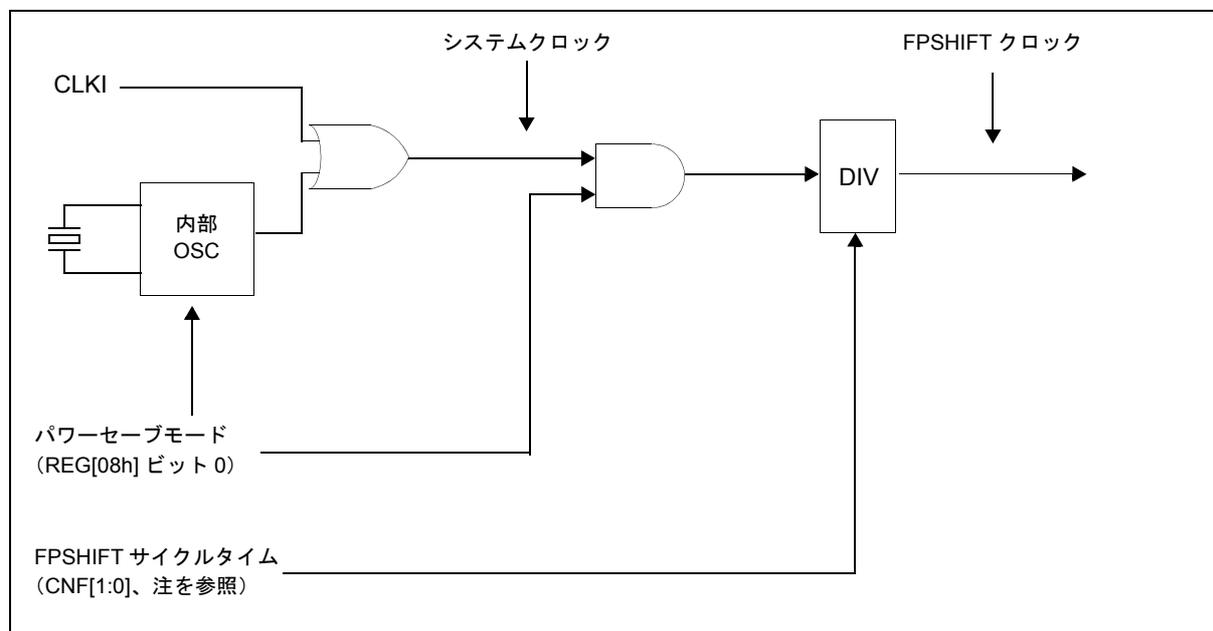


図9-1: クロック図

注

FPSHIFT のサイクルタイムは、CNF[1:0] 端子を使用して設定されます。詳細については、15 ページの 5.3 項「構成オプションの要約」を参照してください。

9.2 クロックの説明

9.2.1 システムクロック

システムクロックの最大周波数は 60MHz です。システムクロックソースは、外部クロックソース (すなわち発振器)、または内部発振器 (外部水晶振動子を使用) のいずれでも可能です。外部クロックソースを使用する場合は、水晶振動子入力 (XCG1) をプルダウンし、水晶振動子出力 (XCD1) を未接続のままにしておく必要があります。内部発振器 (外部水晶振動子を使用) を使用する場合は、CLKI 端子をプルダウンする必要があります。

9.2.2 FPSHIFT クロック

FPSHIFT クロックは、37 ページの図 9-1「クロック図」に示したように内部システムクロックから生成されます。FPSHIFT クロックの最大可能周波数は 15MHz です。

9. クロック

FPSHIF は XECL に同期して生成されるため、1 ラインあたりの FPSHIFT 総クロック数は 16 の倍数になります。

9.3 発振回路

S1D13700F02 は、発振回路が搭載された設計になっています。安定した発振器は、以下の図に示すように、AT カットの水晶振動子、2つのコンデンサ、および2つの抵抗を XCG1 と XCD1 に接続することによって構成することができます。発振器の周波数が増大した場合、それに比例して Cd と Cg を減少させる必要があります。

注

XCG1 と XCD1 への回路基板のラインは、できるだけ短くする必要があります。配線の静電容量によって発振器の周波数が変化したり消費電力が増大したりするのを防ぐためです。

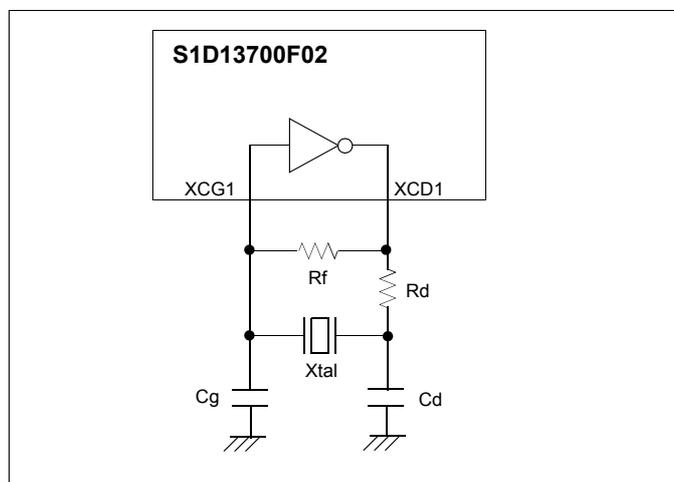


図9-2: 水晶発振器

表9-1: 水晶発振回路のパラメータ

記号	Min	Typ	Max	単位
f_{osc}	—	40	—	MHz
T_{osc}	—	$1/f_{osc}$	—	ns
Rf	—	1	—	M Ω
Rd	—	100	—	Ω
Cg	2	10	18	pF
Cd	3	10	20	pF

10. インダイレクトアドレス指定

インダイレクトモード			ダイレクトモード	内容																
Command	Code	Parameter	Address	7	6	5	4	3	2	1	0									
MWRITE	42	P1	0000h	Display RAM area																
		P2																		
		.																		
MREAD	43	P1	~																	
		P2																		
		.																		
SYSTEMSET	40	P1	8000h									0	0	IV	1	WS	M2	0	M0	
		P2	8001h									WF	0	0	0					FX
		P3	8002h									0	0	0	0					FY
		P4	8003h									CR								
		P5	8004h	TCR																
		P6	8005h	LF																
		P7	8006h	APL																
		P8	8007h	APH																
SLEEP IN	53	-	8008h	0	0	0	0	0	0	0	Sleep									
DISP ON/OFF	58	-	8009h	0	0	0	0	0	0	0	Display									
	59	P1	800Ah	FP5	FP4	FP3	FP2	FP1	FP0	FC1	FC0									
SCROLL	44	P1	800Bh	SAD1L																
		P2	800Ch	SAD1H																
		P3	800Dh	SL1																
		P4	800Eh	SAD2L																
		P5	800Fh	SAD2H																
		P6	8010h	SL2																
		P7	8011h	SAD3L																
		P8	8012h	SAD3H																
		P9	8013h	SAD4L																
		P10	8014h	SAD4H																
		CSRFORM	5D	P1	8015h	0	0	0	0	CSRX										
P2	8016h			CM	0	0	0	CSRY												
CSRDIR	4C	-	8017h	0	1	0	0	1	1	0	0									
	4D	-	8017h	0	1	0	0	1	1	0	1									
	4E	-	8017h	0	1	0	0	1	1	1	0									
	4F	-	8017h	0	1	0	0	1	1	1	1									
OVLAY	5B	P1	8018h	0	0	0	OV	DM		MX										
CGRAM ADR	5C	P1	8019h	SAGL																
		P2	801Ah	SAGH																
HDOT SCR	5A	P1	801Bh	0	0	0	0	0	HSR											
CSRW	46	P1	801Ch	CSRWR L																
		P2	801Dh	CSRWR H																
CSRR	47	P1	801Eh	CSRRD L																
		P2	801Fh	CSRRD H																
GRAY SCALE	60	P1	8020h	0	0	0	0	0	0	GrayScale										
			8021h	Reserved																
~	Not use																			
802Fh																				
8030h																				
~																				
FFFFh																				

図10-1: インダイレクト/ダイレクト対応表

10. インダイレクトアドレス指定

表 10-1: インダイレクトアドレス指定のコマンドセット

クラス	レジスタアドレス	コマンド	レジスタの説明	制御バイト値	バイトの数
システム制御	8000h - 8007h	SYSTEM SET	デバイスと表示を初期化します。	40h	8
	8008h	POWER SAVE	スタンバイモードに移行します。	53h	0
表示制御	8009h - 800A	DISP ON/OFF	表示および表示アトリビュートをイネーブル/ディセーブルにします。	58h 59h	1
	800Bh - 8014h	SCROLL	ブロック画面の開始アドレスとサイズを設定します。	44h	10
	8015h - 8016h	CSRFORM	カーソルタイプを設定します。	5Dh	2
	8017h	CSRDIR	カーソルの移動方向を設定します。	4Ch - 4Fh	0
	8018h	OVLAY	表示の合成形式を設定します。	5Bh	1
	8019h - 801Ah	CGRAM ADR	キャラクタジェネレータ RAM の開始アドレスを設定します。	5Ch	2
	801Bh	HDOT SCR	水平スクロール位置を設定します。	5A	1
描画制御	801Ch - 801Dh	CSRW	カーソルアドレスを設定します。	46h	2
	801Eh - 801Fh	CSRR	カーソルアドレスを読み出します。	47h	2
	8020h	GRAYSCALE	グレースケール階調 (bpp) を設定します。	60h	1
メモリ制御		MEMWRITE	メモリに書き込みます。	42h	n/a
		MEMREAD	メモリから読み出します。	43h	

表 10-2: Generic のインダイレクトアドレス指定のコマンド/ライト/リード

A0	\overline{WR}	\overline{RD}	
1	0	1	コマンド [C]
1	1	0	パラメータリード [P#]
0	0	1	パラメータライト [P#]

表 10-3: M6800 のインダイレクトアドレス指定のコマンド/ライト/リード

A0	$\overline{R/W}$	E	
1	0	1	コマンドライト
1	1	1	表示データとカーソルアドレスのリード
0	0	1	表示データとパラメータのライト

表 10-4: M68K のインダイレクトアドレス指定コマンド/ライト/リード

A0	$\overline{R/W}$	LDS#	
1	0	0	コマンドライト
1	1	0	表示データとカーソルアドレスのリード
0	0	0	表示データとパラメータのライト

10.1 システム制御

初期化シーケンスについては、110 ページの 15.1.2 項「初期設定の例」を参照してください。

10.1.1 SYSTEM SET

詳細については、49 ページの「SYSTEM SET」を参照してください。

注

S1D13700F02 がパワーセーブモードの場合（起動時または POWER SAVE コマンドの後）、SYSTEM SET コマンドによって、パワーセーブモードは解除されます。SYSTEM SET コマンドとその 8 つのパラメータを書き込むと、S1D13700F02 は通常動作になります。

注

水晶振動子を使用する場合は、SYSTEM SET コマンドを発行後に 8 つのパラメータを書き込む前に、内部クロックが安定するまで 3ms 以上待ってください。

表 10-5: SYSTEM SET コマンドとパラメータ

MSB				LSB				インダイレクト	
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
0	1	0	0	0	0	0	0	C	
0	0	IV ¹	1	W/S ²	M2 ³	0	M0 ⁴	P1	
MOD ⁵	0	0	0	REG[01h] ビット 3 ~ 0				P2	
0	0	0	0	REG[02h] ビット 3 ~ 0				P3	
				REG[03h] ビット 7 ~ 0					P4
				REG[04h] ビット 7 ~ 0					P5
				REG[05h] ビット 7 ~ 0					P6
				REG[06h] ビット 7 ~ 0					P7
				REG[07h] ビット 7 ~ 0					P8

注

- ¹ IV は、画面の原点補正ビット（REG[00h] ビット 5）です。
- ² W/S は、パネル駆動セレクトビット（REG[00h] ビット 3）です。
- ³ M2 は、文字の高さビット（REG[00h] ビット 2）です。
- ⁴ M0 は、キャラクタジェネレータセレクトビット（REG[00h] ビット 0）です。
- ⁵ MOD は、REG[01h] ビット 7 によって定義されています。

10. インダイレクトアドレス指定

10.1.2 POWER SAVE

詳細については、57 ページの「POWER SAVE」を参照してください。

表 10-6: POWER SAVE コマンド

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	1	0	0	1	1	C

10.1.3 DISP ON/OFF

以下は、DISP ON コマンドで使用するパラメータです。詳細については、58 ページの「DISP ON/OFF」を参照してください。

表 10-7: DISP ON コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	1	1	0	0	1	C
REG[0Ah] ビット 7 ~ 0								P1

以下は、DISP OFF コマンドで使用するパラメータです。詳細については、58 ページの「DISP ON/OFF」を参照してください。

表 10-8: DISP OFF コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	1	1	0	0	0	C
REG[0Ah] ビット 7 ~ 0								P1

10.1.4 SCROLL

詳細については、60 ページの「SCROLL」を参照してください。

表 10-9: SCROLL コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	0	0	1	0	0	C
A7	A6	A5	A4	A3	A2	A1	A0	REG[0Bh] ビット 7～0
A15	A14	A13	A12	A11	A10	A9	A8	REG[0Ch] ビット 7～0
L7	L6	L5	L4	L3	L2	L1	L0	REG[0Dh] ビット 7～0
A7	A6	A5	A4	A3	A2	A1	A0	REG[0Eh] ビット 7～0
A15	A14	A13	A12	A11	A10	A9	A8	REG[0Fh] ビット 7～0
L7	L6	L5	L4	L3	L2	L1	L0	REG[10h] ビット 7～0
A7	A6	A5	A4	A3	A2	A1	A0	REG[11h] ビット 7～0
A15	A14	A13	A12	A11	A10	A9	A8	REG[12h] ビット 7～0
A7	A6	A5	A4	A3	A2	A1	A0	REG[13h] ビット 7～0
A15	A14	A13	A12	A11	A10	A9	A8	REG[14h] ビット 7～0

注

デュアルパネル (REG[00h] ビット 3 = 1) および 2 レイヤー構成の両方を選択している場合にのみ、パラメータ P9 と P10 を設定します。SAD4 は、第 4 ブロック画面の表示開始アドレスです。

10.1.5 CSRFORM

詳細については、65 ページの「CSRFORM」を参照してください。

表 10-10: CSRFORM コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	1	1	1	0	1	C
0	0	0	0	REG[15h] ビット 3～0			X0	P1
CM ¹	0	0	0	REG[16h] ビット 3～0			Y0	P2

注

¹ CM は、カーソルのモードビット (REG[16h] ビット 7) です。

10. インダイレクトアドレス指定

10.1.6 CSRDIR

詳細については、67 ページの「CSRDIR」を参照してください。

表 10-11: CSRDIR コマンド

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	0	1	1	REG[17h] ビット1~0		C
						CD1	CD0	

10.1.7 OVLAY

詳細については、68 ページの「OVLAY」を参照してください。

表 10-12: OVLAY コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	1	1	0	1	1	C
0	0	0	OV ¹	DM2 ²	DM1 ²	MX1 ³	MX0 ³	P1

注

- ¹ OV は、3 レイヤー合成セレクトビット (REG[18h] ビット 4) です。
- ² DM2 および DM1 は、第 3/ 第 1 ブロック画面表示モードビット (REG[18h] ビット 3 ~ 2) です。
- ³ MX1 および MX0 は、レイヤー合成方法ビット (REG[18h] ビット 1 ~ 0) です。

10.1.8 CGRAM ADR

詳細については、70 ページの「CGRAM ADR」を参照してください。

表 10-13: CGRAM ADR コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	1	1	1	0	0	C
A7	A6	A5	A4	A3	A2	A1	A0	(SAGL) P1
A15	A14	A13	A12	A11	A10	A9	A8	(SAGH) P2

10.1.9 HDOT SCR

詳細については、71 ページの「HDOT SCR」を参照してください。

表 10-14: HDOT SCR コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	1	1	0	1	0	C
0	0	0	0	0	D2	D1	D0	P1

10.1.10 CSRW

詳細については、72 ページの「CSRW」を参照してください。

表 10-15: CSRW コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	0	0	1	1	0	C
A7	A6	A5	A4	A3	A2	A1	A0	(CSRL) P1
A15	A14	A13	A12	A11	A10	A9	A8	(CSRH) P2

10.1.11 CSRR

詳細については、73 ページの「CSRR」を参照してください。

表 10-16: CSRR コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	0	0	1	1	1	C
A7	A6	A5	A4	A3	A2	A1	A0	(CSRL) P1
A15	A14	A13	A12	A11	A10	A9	A8	(CSRH) P2

10. インダイレクトアドレス指定

10.1.12 GRAYSCALE

詳細については、74 ページの「GRAYSCALE」を参照してください。

表 10-17: GRAYSCALE コマンドとパラメータ

MSB			LSB					インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	1	0	0	0	0	0	C
0	0	0	0	0	0	BPP1	BPP0	P1

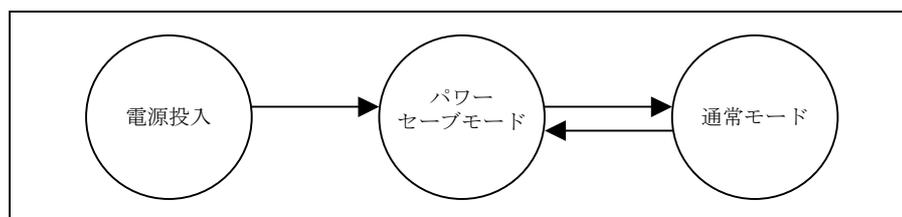
10.1.13 メモリ制御

詳細については、72 ページの「描画制御レジスタ」を参照してください。

11. レジスタ

11.1 電源投入後、リセット入力後のパワーセーブ状態について

S1D13700 は、電源投入後、リセット (RESET#) 入力後、自動的にパワーセーブモードへ遷移します。
 コマンドを設定する前に、パワーセーブモードを解除し、通常モードへ遷移させる必要があります。



パワーセーブモードとは、内部回路へのクロック供給を止めている状態 (*1) で、内部動作は全て止まっています。このため設定コマンドの受け付けはできず、ドライバへの出力端子は、YDIS(LCD パワーダウン出力、パワーセーブモード時 =L 固定)を除き、不定状態のままです。

通常モードとは、内部回路へ、クロックが供給された状態です。このとき、初めて各種設定コマンドの受付が可能になります。各種設定コマンド設定後、DISPON(0x8009, C=59) コマンド投入で、ディスプレイ表示が開始されます。

(*1: 発振回路使用時、発振自体はされますが、内部回路への伝播を止めています。)

11.2 パワーセーブモードの解除、設定方法

- パワーセーブモード解除 (パワーセーブモード → 通常モード)

ダイレクトモードの場合： 0x8008 bit0(SleepIn) へ '0' ライト。

インダイレクトモードの場合： SYSTEM SET C=40 へアクセス。

SYSTEM SET P1 へアクセス。(*2)

(*2: 必ず P1 までのアクセスを行なって下さい)

- パワーセーブモード設定 (通常モード → パワーセーブモード)

ダイレクトモードの場合： 0x8008 bit0(SleepIn) へ '1' ライト。

インダイレクトモードの場合： SLEEPIN C=53 へアクセス。

- パワーセーブモード解除からディスプレイ表示

電源投入後、リセット (RESET#) 入力後は、以下のシーケンスでディスプレイ表示が開始されます。

1. 通常モードへ遷移
2. 各種コマンド設定
3. DISPON(0x8009, C=59) コマンド投入

11. レジスタ

11.3 レジスタセット

S1D13700F02 のレジスタを以下の表に示します。

表 11-1: S1D13700F02 のレジスタセット

レジスタ	ページ	レジスタ	ページ
LCD レジスタの説明 (オフセット = 8000h)			
システム制御レジスタ			
REG[00h] Memory Configuration Register	49	REG[01h] Horizontal Character Size Register	53
REG[02h] Vertical Character Size Register	54	REG[03h] Character Bytes Per Row Register	54
REG[04h] Total Character Bytes Per Row Register	54	REG[05h] Frame Height Register	55
REG[06h] Horizontal Address Range Register 0	55	REG[07h] Horizontal Address Range Register 1	55
REG[08h] Power Save Mode Register	57		
表示制御レジスタ			
REG[09h] Display Enable Register	58	REG[0Ah] Display Attribute Register	58
REG[0Bh] Screen Block 1 Start Address Register 0	60	REG[0Ch] Screen Block 1 Start Address Register 1	60
REG[0Dh] Screen Block 1 Size Register	60	REG[0Eh] Screen Block 2 Start Address Register 0	61
REG[0Fh] Screen Block 2 Start Address Register 1	61	REG[10h] Screen Block 2 Size Register	61
REG[11h] Screen Block 3 Start Address Register 0	62	REG[12h] Screen Block 3 Start Address Register 1	62
REG[13h] Screen Block 4 Start Address Register 0	62	REG[14h] Screen Block 4 Start Address Register 1	62
REG[15h] Cursor Width Register	66	REG[16h] Cursor Height Register	66
REG[17h] Cursor Shift Direction Register	67	REG[18h] Overlay Register	68
REG[19h] Character Generator RAM Start Address Register 0	70	REG[1Ah] Character Generator RAM Start Address Register 1	70
REG[1Bh] Horizontal Pixel Scroll Register	71		
描画制御レジスタ			
REG[1Ch] Cursor Write Register 0	72	REG[1Dh] Cursor Write Register 1	72
REG[1Eh] Cursor Read Register 0	73	REG[1Fh] Cursor Read Register 1	73
グレースケールレジスタ			
REG[20h] Bit-Per-Pixel Select Register	74		

11.4 レジスタの制限

すべての予約済みビットは、特に指定されない限り、0 に設定する必要があります。予約済みビットに値を書き込むと、誤動作する場合があります。n/a という印の付いているビットは、ハードウェアに影響を与えません。

11.5 レジスタの説明

11.5.1 システム制御レジスタ

以下のレジスタは、S1D13700F02 の初期設定、ウィンドウサイズの設定、および LCD のインタフェース形式の選択を行います。これらのレジスタを誤って設定すると、他のコマンドが誤って動作するおそれがあります。S1D13700F02 の初期設定の例については、110 ページの 15.1.2 項「初期設定の例」を参照してください。

SYSTEM SET

SYSTEM SET コマンドは、使用するディスプレイに合わせて、S1D13700F02 を設定します。また、インダイレクトアドレス指定を使用するときに、パワーセーブモードを終了するのにも使用します。SYSTEM SET コマンドを発行するときには、REG[00h] ~ REG[07h] の値がパラメータとして渡されます。SYSTEM SET コマンドの詳細については、41 ページの 10.1.1 項「SYSTEM SET」を参照してください。

REG[00h] Memory Configuration Register						
アドレス = 8000h		デフォルト = 10h			読み出し / 書き込み	
n/a		画面の原点補正	予約済み	パネル駆動セレクト	文字の高さ	予約済み
7	6	5	4	3	2	1
						キャラクタジェネレータセレクト
						0

注

REG[00h] に書き込むとき、S1D13700F02 は、自動的に以下の機能を実行します。

1. 内部タイミングジェネレータをリセットする
2. 表示をディセーブルにする
3. インダイレクトアドレス指定モードを選択しているとき、パワーセーブモードを完了して終了する

11. レジスタ

ビット 5

画面の原点補正 (IV)

このビットは、反転表示に使用する画面の原点補正を制御するもので、通常は、1に設定します。白ぬき文字を表示する一般的な方法は、グラフィック背景レイヤーとテキストレイヤーの Exclusive-OR 機能を使用します。ただしこれを実行すると、画面の上部や左側の白ぬき文字は読みにくくなります。これは、文字の原点がそのビットマップの左上にあるため、これらの文字の上側や左側に背景ピクセルがなくなってしまうからです。

このビットにより、S1D13700F02 は、背景レイヤーに対して、テキスト画面に 1 ラインだけオフセットを付加します。テキスト画面を水平にシフトするには、水平ピクセルスクロール機能 (インダイレクトアドレス指定の場合、REG[1Bh] または HDOT SCR コマンド) を使用して、テキスト画面の 1 ~ 7 ピクセルを右にシフトすることができます。これらの機能の両方をイネーブルにすれば、すべての文字の周囲に適切な背景ピクセルが設けられ、白ぬき文字が読みやすくなります。

このビットが 0 の場合、画面の原点補正が行われます。

このビットが 1 の場合、画面の原点補正は行われません。

以下の図は、画面の原点補正の例と HDOT SCR コマンドの使用例を示しています。

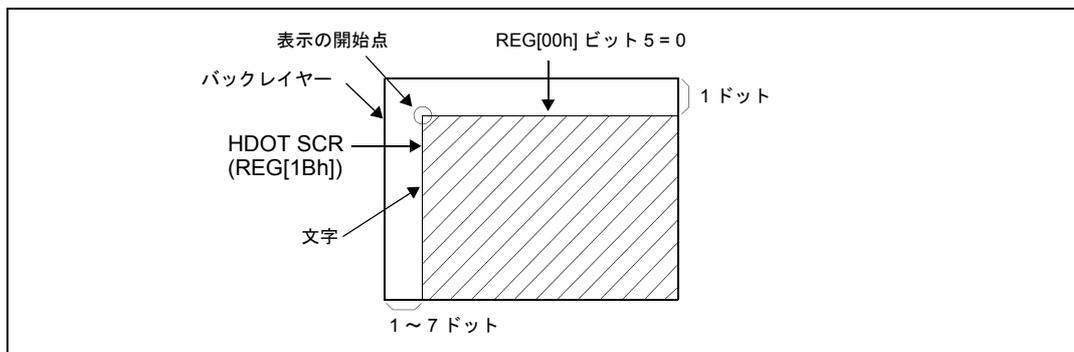


図 11-1: 画面の原点補正と HDOT SCR の調整

注

画像の原点補正は CGRAM キャラクタ上では効果はありません。CGRAM キャラクタ画像の原点補正を行う場合は、画像の残りで CGRAM キャラクタを整列させるためには再プログラミングしなければなりません。

ビット 4

予約済み

このビットのデフォルト値は 1 です。

ビット 3

パネル駆動セレクト (W/S)

このビットは、LCD パネルの駆動方式を指定します。

このビットが 0 の場合、シングルパネル駆動を選択します。

このビットが 1 の場合、デュアルパネル駆動を選択します。

以下の図は、可能な駆動方式の例を示しています。

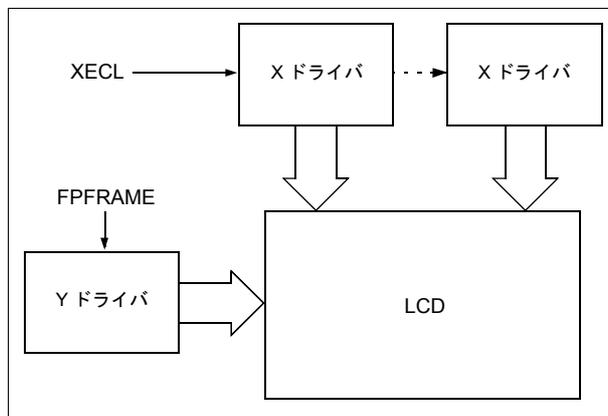


図 11-2: シングルパネル駆動表示

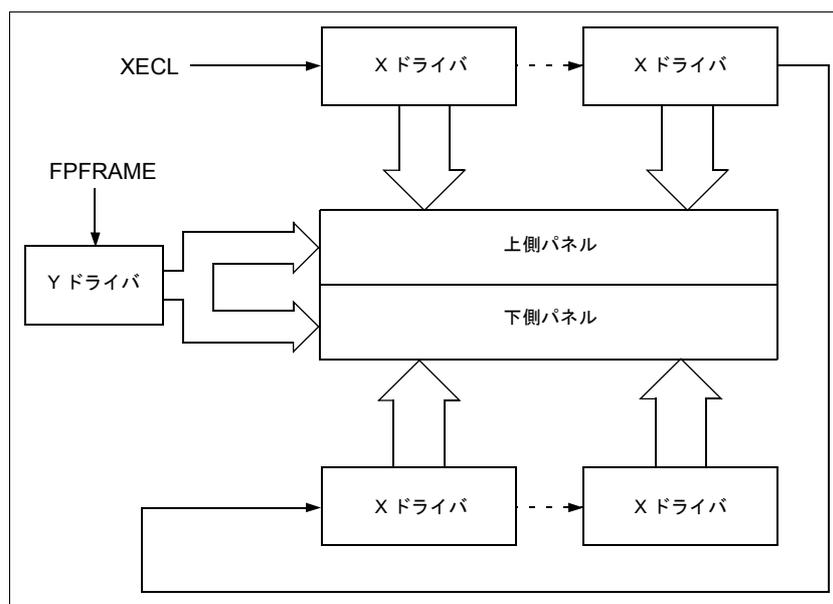


図 11-3: デュアルパネル駆動表示

11. レジスタ

以下の表は、LCD パネルの正常な動作を確保するために設定しなければならないパラメータの一覧です。

表 11-2: LCD パラメータの一覧

パラメータ	シングルパネル (REG[00h] ビット 3 = 0)		デュアルパネル (REG[00h] ビット 3 = 1)	
	REG[00h] ビット 5 = 1 (IV)	REG[00h] ビット 5 = 1 (IV)	REG[00h] ビット 5 = 1 (IV)	REG[00h] ビット 5 = 1 (IV)
C/R	REG[03h] ビット 7 ~ 0	REG[03h] ビット 7 ~ 0	REG[03h] ビット 7 ~ 0	REG[03h] ビット 7 ~ 0
TC/R	REG[04h] ビット 7 ~ 0	REG[04h] ビット 7 ~ 0	REG[04h] ビット 7 ~ 0	REG[04h] ビット 7 ~ 0
L/F	REG[05h] ビット 7 ~ 0	REG[05h] ビット 7 ~ 0	REG[05h] ビット 7 ~ 0	REG[05h] ビット 7 ~ 0
SL1	00h ~ REG[05h] ビット 7 ~ 0	00h ~ REG[05h] ビット 7 ~ 0 (注を参照)	[REG[05h] ビット 7 ~ 0 + 1] ÷ 2 - 1	[REG[05h] ビット 7 ~ 0 + 1] ÷ 2 - 1
SL2	00h ~ REG[05h] ビット 7 ~ 0	00h ~ REG[05h] ビット 7 ~ 0 (注を参照)	[REG[05h] ビット 7 ~ 0 + 1] ÷ 2 - 1	[REG[05h] ビット 7 ~ 0 + 1] ÷ 2 - 1
SAD1	第 1 ブロック画面 (開始アドレス = REG[0Bh]、REG[0Ch])			
SAD2	第 2 ブロック画面 (開始アドレス = REG[0Eh]、REG[0Fh])			
SAD3	第 3 ブロック画面 (開始アドレス = REG[11h]、REG[12h])			
SAD4	無効		第 4 ブロック画面 (開始アドレス = REG[13h]、REG[14h])	
カーソルの移動範囲	全画面に対して連続移動可能		上下画面構成: 全画面に対して連続移動可能	

注

画面の原点補正は、文字フォントを 1 ピクセル行だけ下側にシフトします。フォントの一番下のピクセル行がブロック画面の一番下にある場合、その行は、REG[00h] ビット 5 = 0 のときに見えなくなります。この不具合を補正するため、SL を 1 つだけ増やすことができます。

ビット 2

文字の高さ (M2)

このビットは、文字ビットマップの高さを選択します。各文字の各部分ごとにビットマップを作成し、グラフィックモードを使用してこれを再配置することにより、16 ピクセルを超える高さの文字を表示することが可能です。

このビットが 0 の場合、文字の高さは 8 ピクセルです。

このビットが 1 の場合、文字の高さは 16 ピクセルです。

ビット 1

予約済み

このビットのデフォルト値は 0 です。

ビット 0

キャラクタジェネレータセレクト (M0)

このビットは、内蔵キャラクタジェネレータ ROM (CGROM) によって文字を生成するのか、あるいはキャラクタジェネレータ RAM (CGRAM) によって文字を生成するのかを決定します。CGROM は、5 x 7 ピクセルの 160 文字で構成されています (製造時に固定されます)。CGRAM は、最大 256 のユーザー定義文字で構成されており、CG 開始アドレス (REG[1Ah] ~ REG[19h]) でマッピングされます。ただし CGROM を使用するとき、CGRAM は、最大 8 x 8 ピクセルの 64 文字でのみ構成することができます。

このビットが 0 の場合、内蔵 CGROM を選択します。

このビットが 1 の場合、内蔵 CGRAM を選択します。

注

CGRAM を使用する場合 (CGRAM1 や CGRAM2 など)、1bpp だけがサポートされます。

REG[01h] Horizontal Character Size Register							
アドレス = 8001h		デフォルト = 00h				読み出し / 書き込み	
MOD	n/a			水平文字サイズビット 3 ~ 0			
7	6	5	4	3	2	1	0

ビット 7

MOD

このビットは、フレーム交流駆動の波形周期を選択します。MOD は通常、1 に設定します。

このビットが 0 の場合、16 ライン交流駆動が選択されます。

このビットが 1 の場合、2 フレーム交流駆動が選択されます。

2 フレーム交流駆動では、MOD 期間はフレーム期間の 2 倍です。16 ライン交流駆動では、MOD は 16 ラインごとに反転します。16 ライン交流駆動の方が読みやすい表示ですが、使用する LCD 駆動電圧が高いときや視野角が高いときには、水平ラインが現れることがあります。

ビット 3 ~ 0

水平文字サイズ (FX) ビット [3:0]

これらのビットは、各文字の水平サイズすなわち幅をピクセル単位で定義します。

REG[01h] ビット 3 ~ 0 = 水平文字サイズ (ピクセル単位) - 1

S1D13700F02 は、8 ビット単位で表示データを処理するため、8 ピクセルを超える文字は、2 つのセグメントから形成する必要があります。以下の図は、2 つの 8 ピクセルのセグメントを必要とする文字の例を示しています。この 2 番目の 8 ビットの残りは表示されません。これは、2 番目の画面レイヤーにも適用されます。グラフィックモードでも、標準の文字フィールドは 8 ピクセルです。これより広い文字フィールドを使用する場合、2 番目の 8 ビットの残りは表示されません。

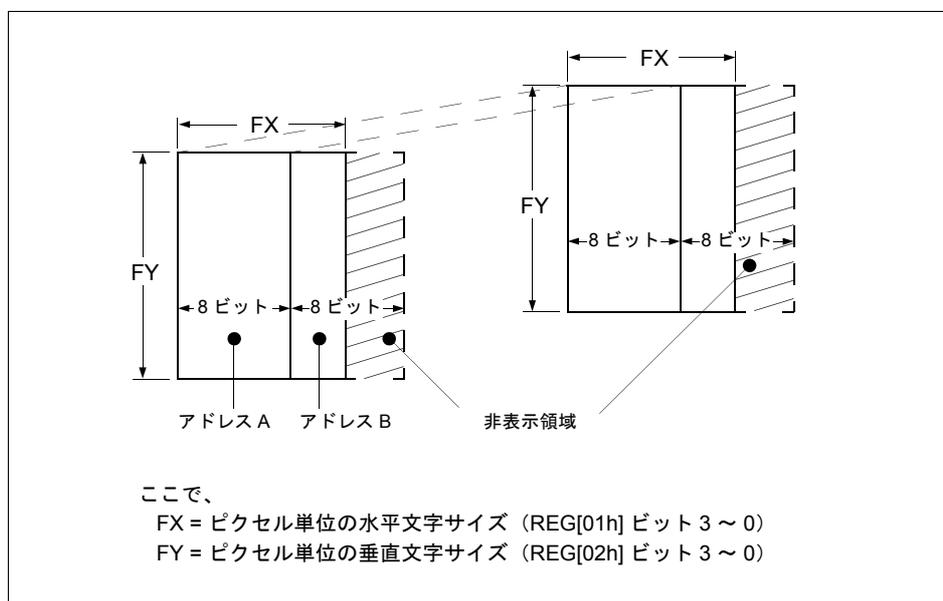


図 11-4: 水平および垂直文字サイズの例

11. レジスタ

REG[02h] Vertical Character Size Register								
アドレス = 8002h				デフォルト = 00h				読み出し / 書き込み
n/a				垂直文字サイズビット 3～0				
7	6	5	4	3	2	1	0	

ビット 3～0 垂直文字サイズ (FY) ビット [3:0]
 これらのビットは、各文字の垂直サイズすなわち高さをピクセル単位で定義します。
 REG[02h] ビット 3～0 = 垂直文字サイズ (ピクセル単位) - 1

REG[03h] Character Bytes Per Row Register								
アドレス = 8003h				デフォルト = 00h				読み出し / 書き込み
行当たりの文字バイトビット 7～0								
7	6	5	4	3	2	1	0	

ビット 7～0 行当たりの文字バイト (C/R) ビット [7:0]
 これらのビットは、各文字行 (すなわち表示ライン) のサイズ (最大 253) をバイト単位で定義します。これらのビットの値は、C/R の項で定義されます。C/R の項は、107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」で計算されます。
 REG[03h] ビット 7～0 = $[(C/R) \times \text{bpp}] - 1$

REG[04h] Total Character Bytes Per Row Register								
アドレス = 8004h				デフォルト = 00h				読み出し / 書き込み
行当たりの総文字バイトビット 7～0								
7	6	5	4	3	2	1	0	

ビット 7～0 行当たりの総文字バイト (TC/R) ビット [7:0]
 これらのビットは、水平ブランクを含む 1 ラインの長さ (最大 255) をバイト単位で設定します。これらのビットの値は、TC/R の項で定義されます。TC/R の項は、107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」で計算されます。TC/R を調整することにより、フレーム期間を一定に保つことができ、また特定の基本発振周波数 (fosc) のジッタを最小限に抑えることができます。
 REG[04h] ビット 7～0 = $[TC/R] - 1$

注

TC/R は、以下の式が成立するようにプログラミングする必要があります。
 $[TC/R] \geq [C/R] + 2$
 $2 \leq TC/R \leq 255$

REG[05h] Frame Height Register							
アドレス = 8005h				デフォルト = 00h		読み出し / 書き込み	
フレームの高さビット7~0							
7	6	5	4	3	2	1	0

ビット7~0 フレームの高さ (L/F) ビット [7:0]
 これらのビットは、フレームの高さをライン単位で決定します。最大フレーム高さは256ラインです。
 REG[05h] ビット7~0 = フレームの高さ (ライン単位) - 1

注

パネル駆動セレクトビットがデュアルパネル駆動 (REG[00h] ビット3=1) 用に設定されている場合、フレームの高さは、REG[05h] ビット7~0 が奇数値になるようなラインの偶数にする必要があります。

REG[06h] Horizontal Address Range Register 0							
アドレス = 8006h				デフォルト = 00h		読み出し / 書き込み	
水平アドレス範囲ビット7~0							
7	6	5	4	3	2	1	0

REG[07h] Horizontal Address Range Register 1							
アドレス = 8007h				デフォルト = 00h		読み出し / 書き込み	
水平アドレス範囲ビット15~8							
7	6	5	4	3	2	1	0

ビット15~0 水平アドレス範囲 (AP) ビット [15:0]
 これらのビットは、仮想画面の水平アドレス範囲を定義します。このレジスタの最大値は7FFFhです。
 REG[07h] ビット7~0、REG[06h] ビット7~0 = ライン当たりのアドレス

11. レジスタ

以下の図は、「水平アドレス範囲」と「行当たりの文字バイト値」の関係を示しています。

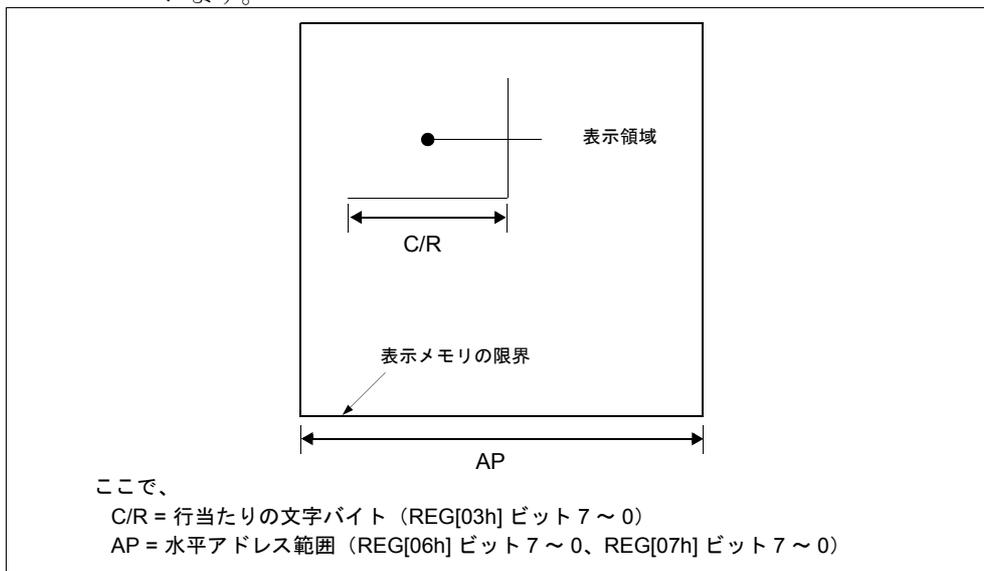


図 11-5: 水平アドレス範囲と行当たりの文字バイトの関係

POWER SAVE

POWER SAVE コマンドは、インダイレクトアドレス指定を使用するときに、S1D13700F02 のパワーセーブモードに移行するのに使用します。POWER SAVE コマンドの詳細については、42ページの10.1.2項「POWER SAVE」を参照してください。

注

SYSTEM SET コマンドは、インダイレクトアドレス指定を使用するときに、パワーセーブモードを終了するのに使用します。SYSTEM SET コマンドの詳細については、41ページの10.1.1項「SYSTEM SET」を参照してください。

REG[08h] Power Save Mode Register							読み出し / 書き込み
アドレス = 8008h			デフォルト = 01h				
n/a							パワーセーブモード イネーブル
7	6	5	4	3	2	1	0

ビット 0

パワーセーブモードイネーブル

このビットは、ソフトウェアで開始されるパワーセーブモードの状態を制御します。パワーセーブモードがディセーブルのとき、S1D13700F02 は通常どおり動作しています。パワーセーブモードがイネーブルのとき、S1D13700F02 は、電力が効率化された状態であり、発振器などのすべての内部動作は停止します。パワーセーブモード時の S1D13700F02 の状況の詳細については、131ページの17.項「パワーセーブモード」を参照してください。

このビットが 0 の場合、パワーセーブモードはディセーブルです（注を参照）。
このビットが 1 の場合、パワーセーブモードはイネーブルです（デフォルト）。

注

ダイレクトモードでパワーセーブモードを完全にディセーブルにするには、REG[08h] ビット 0 = 0 を設定した後、任意のレジスタにダミーライトを実行する必要があります。

注

パワーセーブモードをイネーブルにすると、表示イネーブルビット (REG[09h] ビット 0) が自動的にクリアされます。パワーセーブモードをディセーブルにすると、その後、表示を再度オンにするためには表示イネーブルビットを設定 (REG[09h] ビット 0 = 1) する必要があります。

11. レジスタ

11.5.2 表示制御レジスタ

これらのレジスタは、表示をイネーブル/ディセーブルにし、カーソルとレイヤード画面を制御します。

DISP ON/OFF

DISP ON/OFF コマンドは、インダイレクトアドレス指定を使用するとき、表示や表示アトリビュートをイネーブル/ディセーブルするのに使用します。DISP ON/OFF コマンドを発行するときには、REG[0Ah] の値がパラメータとして渡されます。DISP ON/OFF コマンドの詳細については、42 ページの 10.1.3 項「DISP ON/OFF」を参照してください。

REG[09h] Display Enable Register							読み出し / 書き込み
アドレス = 8009h デフォルト = 00h							
			n/a				表示イネーブル
7	6	5	4	3	2	1	0

ビット 0

表示イネーブル

このビットは、カーソルおよびすべてのレイヤード画面を含む LCD ディスプレイを制御します。表示イネーブルビットは、Display Attribute レジスタ (REG[0Ah]) の各アトリビュートビットよりも優先します。表示がオフ (REG[09h] ビット 0 = 0) のときの LCD 端子の状態の詳細については、131 ページの表 17-1「パワーセーブモード時の LCD 端子の状態」を参照してください。

このビットが 0 の場合、表示はオフです。

このビットが 1 の場合、表示はオンです。

REG[0Ah] Display Attribute Register								読み出し / 書き込み
アドレス = 800Ah デフォルト = 00h								
SAD3 アトリビュートビット 1~0		SAD2 アトリビュートビット 1~0		SAD1 アトリビュートビット 1~0		カーソルアトリビュートビット 1~0		
7	6	5	4	3	2	1	0	

ビット 7~6

SAD3 アトリビュート (FP5 ~ 4) ビット [1:0]

これらのビットは、以下に示すように第 3 ブロック画面 (SAD3) のアトリビュートを制御します。

表 11-3: 第 3 ブロック画面のアトリビュートの選択

第 3 ブロック画面 (SAD3)			
REG[0Ah] ビット 7	REG[0Ah] ビット 6	アトリビュート	
0	0	OFF (ブランク)	
0	1	ON	
1	0		フラッシングなし
1	1		f _{FR} /32Hz でフラッシング (約 2Hz)
		f _{FR} /4Hz でフラッシング (約 16Hz)	

ビット 5～4

SAD2 アトリビュート (FP3～2) ビット [1:0]

これらのビットは、第2ブロック画面 (SAD2) のアトリビュートを制御します。またこれらのビットは、パネル駆動セレクトビットをデュアルパネルモード (REG[00h] ビット 3=1) に設定して第4ブロック画面 (SAD4) をイネーブルにしているときの第4ブロック画面 (SAD4) のアトリビュートを制御します。このモードでは、第2ブロック画面 (SAD2) と第4ブロック画面 (SAD4) のアトリビュートは同じ設定値を共有しており、単独で設定することはできません。

表 11-4: 第2/4 ブロック画面のアトリビュートの選択

第2ブロック画面 (SAD2, SAD4)			
REG[0Ah] ビット 5	REG[0Ah] ビット 4	アトリビュート	
0	0	OFF (ブランク)	
0	1	ON	
1	0		フラッシングなし
1	1		f _{FR} /32Hz でフラッシング (約 2Hz)
			f _{FR} /4Hz でフラッシング (約 16Hz)

ビット 3～2

SAD1 アトリビュート (FP1～0) ビット [1:0]

これらのビットは、以下に示すように第1ブロック画面 (SAD1) のアトリビュートを制御します。

表 11-5: ブロック画面のアトリビュートの選択

第1ブロック画面 (SAD1)			
REG[0Ah] ビット 3	REG[0Ah] ビット 2	アトリビュート	
0	0	OFF (ブランク)	
0	1	ON	
1	0		フラッシングなし
1	1		f _{FR} /32Hz でフラッシング (約 2Hz)
			f _{FR} /4Hz でフラッシング (約 16Hz)

ビット 1～0

カーソルアトリビュート (FC) ビット [1:0]

これらのビットは、カーソルを制御し、フラッシングレートを設定します。

表 11-6: カーソルフラッシングレートの選択

ビット 1	ビット 0	カーソル表示	
0	0	OFF (ブランク)	
0	1	ON	フラッシングなし
1	0	ON	f _{FR} /32 Hz でフラッシング (約 2 Hz)
1	1	ON	f _{FR} /64 Hz でフラッシング (約 1 Hz)

注

カーソルがディセーブルのとき、メモリに書き込むことにより、カーソルは自動的にイネーブルになり、次のメモリ位置に配置されます。メモリから読み出す場合には、カーソルはイネーブルになりませんが、次のメモリ位置にカーソルが配置されます。

11. レジスタ

SCROLL

SCROLL コマンドは、インダイレクトアドレス指定を使用するときに、各ブロック画面の表示開始アドレスを設定するのに使用します。SCROLL コマンドを発行する際には、REG[0Bh] ~ REG[14h] の値がパラメータとして渡されます。SCROLL コマンドの詳細については、43 ページの 10.1.4 項「SCROLL」を参照してください。

REG[0Bh] Screen Block 1 Start Address Register 0							
アドレス = 800Bh		デフォルト = 00h				読み出し / 書き込み	
第 1 ブロック画面開始アドレスビット 7 ~ 0 (LSB)							
7	6	5	4	3	2	1	0

REG[0Ch] Screen Block 1 Start Address Register 1							
アドレス = 800Ch		デフォルト = 00h				読み出し / 書き込み	
第 1 ブロック画面開始アドレスビット 15 ~ 8 (MSB)							
7	6	5	4	3	2	1	0

ビット 15 ~ 0

第 1 ブロック画面開始アドレス (SAD1) ビット [15:0]

これらのビットは、第 1 ブロック画面のメモリ開始アドレスを決定します。

注

開始アドレスを変更するとき、MSB の前に LSB をプログラムする必要があります。開始アドレスは、MSB が書き込まれるまで変更されません。

REG[0Dh] Screen Block 1 Size Register							
アドレス = 800Dh		デフォルト = 00h				読み出し / 書き込み	
第 1 ブロック画面サイズビット 7 ~ 0							
7	6	5	4	3	2	1	0

ビット 7 ~ 0

第 1 ブロック画面サイズ (SL1) ビット [7:0]

これらのビットは、第 1 ブロック画面のサイズをライン単位で決定します。

REG[0Dh] ビット 7 ~ 0 = 第 1 ブロック画面サイズ (ライン数) - 1

注

ブロック画面開始アドレス (SADx)、ブロック画面サイズ (SLx)、および表示モードの関係は、63 ページの表 11-7「表示モード」に記載されています。

REG[0Eh] Screen Block 2 Start Address Register 0

アドレス = 800Eh デフォルト = 00h

読み出し / 書き込み

第2ブロック画面開始アドレスビット7～0 (LSB)							
7	6	5	4	3	2	1	0

REG[0Fh] Screen Block 2 Start Address Register 1

アドレス = 800Fh デフォルト = 00h

読み出し / 書き込み

第2ブロック画面開始アドレスビット15～8 (MSB)							
7	6	5	4	3	2	1	0

ビット15～0

第2ブロック画面開始アドレス (SAD2) ビット [15:0]

これらのビットは、第2ブロック画面のメモリ開始アドレスを決定します。

注

開始アドレスを変更するとき、MSBの前にLSBをプログラムする必要があります。
開始アドレスは、MSBが書き込まれるまで変更されません。

REG[10h] Screen Block 2 Size Register

アドレス = 8010h デフォルト = 00h

読み出し / 書き込み

第2ブロック画面サイズビット7～0							
7	6	5	4	3	2	1	0

ビット7～0

第2ブロック画面サイズ (SL2) ビット [7:0]

これらのビットは、第2ブロック画面のサイズをライン単位で決定します。

REG[10h] ビット7～0 = 第2ブロック画面サイズ (ライン数) - 1

注

ブロック画面開始アドレス (SAD_x)、ブロック画面サイズ (SL_x)、および表示モードの関係は、63ページの表 11-7 「表示モード」に記載されています。

11. レジスタ

REG[11h] Screen Block 3 Start Address Register 0								
アドレス = 8011h				デフォルト = 00h				読み出し / 書き込み
第3ブロック画面開始アドレスビット7～0 (LSB)								
7	6	5	4	3	2	1	0	

REG[12h] Screen Block 3 Start Address Register 1								
アドレス = 8012h				デフォルト = 00h				読み出し / 書き込み
第3ブロック画面開始アドレスビット15～8 (MSB)								
7	6	5	4	3	2	1	0	

ビット 15～0 第3ブロック画面開始アドレス (SAD3) ビット [15:0]
これらのビットは、第3ブロック画面のメモリ開始アドレスを決定します。

注

開始アドレスを変更するとき、MSBの前にLSBをプログラムする必要があります。
開始アドレスは、MSBが書き込まれるまで変更されません。

REG[13h] Screen Block 4 Start Address Register 0								
アドレス = 8013h				デフォルト = 00h				読み出し / 書き込み
第4ブロック画面開始アドレスビット7～0 (LSB)								
7	6	5	4	3	2	1	0	

REG[14h] Screen Block 4 Start Address Register 1								
アドレス = 8014h				デフォルト = 00h				読み出し / 書き込み
第4ブロック画面開始アドレスビット15～8 (MSB)								
7	6	5	4	3	2	1	0	

ビット 15～0 第4ブロック画面開始アドレス (SAD4) ビット [15:0]
これらのビットは、第4ブロック画面のメモリ開始アドレスを決定します。

注

開始アドレスを変更するとき、MSBの前にLSBをプログラムする必要があります。
開始アドレスは、MSBが書き込まれるまで変更されません。

以下の表は、可能な各表示モードに必要な設定を一覧にしたものです。

表 11-7: 表示モード

REG[00h] ビット 3 (W/S)	画面	第 1 レイヤー	第 2 レイヤー	
0	第 1 ブロック画面	SAD1	SAD2	
	第 2 ブロック画面	SL1	SL2	
	第 3 ブロック画面 (分割画面)	SAD3 (注 1 を参照) 分割画面を使用しない場合、SL1 と SL2 の両方を L/F + 1 に設定します。		
	<p>画面構成例</p>			
1	第 1 ブロック画面	SAD1, SL1	SAD2, SL2	
	第 2 ブロック画面	SAD3 (注 2 を参照)	SAD4 (注 2 を参照)	
	SL1 と SL2 の両方を $([L/F] \div 2 + 1)$ に設定します。			
	<p>画面構成例</p>			

11. レジスタ

表 11-7: 表示モード (続き)

REG[00h] ビット 3 (W/S)	画面	第 1 レイヤー	第 2 レイヤー	
0	第 1 ブロック画面	SAD1, SL1	SAD2, SL2	
	第 2 ブロック画面	—	SAD3 (注 2 を参照)	
	SL1 > SL2 に設定			
画面構成例				
REG[00h] ビット 3 (W/S)	画面	第 1 レイヤー	第 2 レイヤー	第 3 レイヤー
0	3 レイヤー構成	SAD1, SL1 = L/F + 1	SAD2, SL2 = L/F + 1	SAD3
	画面構成例			

注

- ¹ 第 3 ブロック画面のサイズ(ライン単位)は、最小ライン数のブロック画面のサイズ (SL1 または SL2 のいずれか) に自動的に設定されます。
- ² SL3 と SL4 に対応するパラメータは、REG[05h] ビット 7~0 (L/F) によって固定されており、設定する必要はありません。
- ³ デュアルパネルを選択した場合 (REG[00h] ビット 3 = 1)、SL1 と $(L/F + 1) \div 2$ の差、および SL2 と $(L/F + 1) \div 2$ の差は、ブランクとなります。

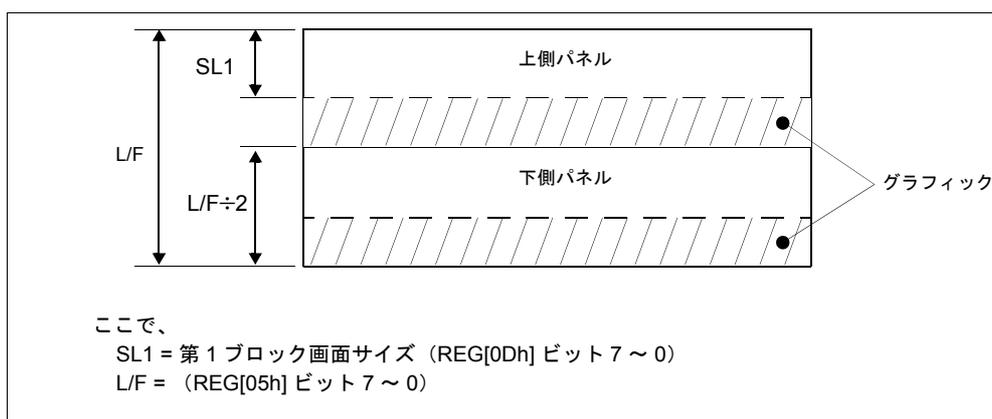


図11-6: デュアルパネルの表示の高さ

CSRFORM

CSRFORM コマンドは、インダイレクトアドレス指定を使用するときに、S1D13700F02 のカーソルを設定するのに使用します。CSRFORM コマンドを発行するときには、REG[15h] ~ REG[16h] の値がパラメータとして渡されます。CSRFORM コマンドの詳細については、43 ページの 10.1.5 項「CSRFORM」を参照してください。

カーソルのレジスタは、カーソルのサイズ、形状、および位置を設定するのに使用します。カーソルは通常、テキスト表示にのみ使用しますが、特殊文字を表示するときに、グラフィック表示に使用できます。

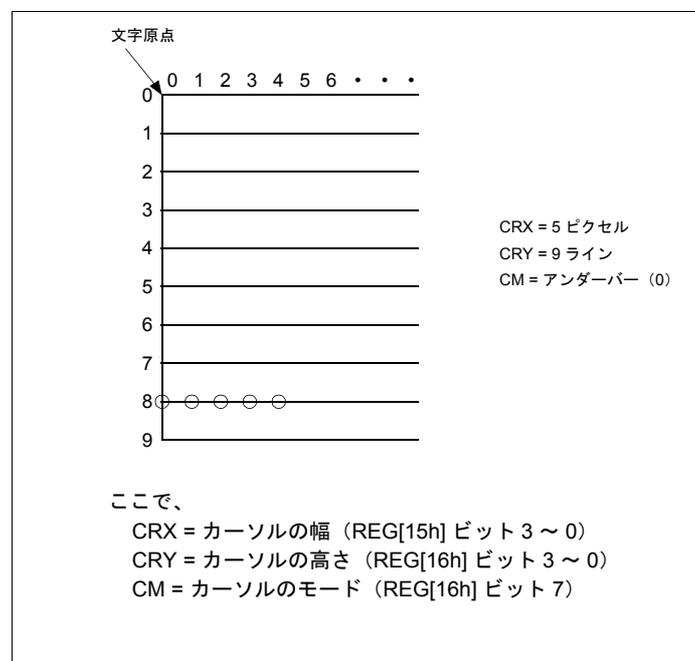


図11-7: カーソルのサイズと位置

11. レジスタ

REG[15h] Cursor Width Register															
アドレス = 8015h				デフォルト = 00h				読み出し / 書き込み							
7		6		5		4		3		2		1		0	
n/a								カーソルの幅ビット 3 ~ 0							

ビット 3 ~ 0

カーソルの幅 (CRX) ビット [3:0]

これらのビットは、文字原点からのカーソルの幅 (すなわち水平サイズ) をピクセル単位で指定します (65 ページの図 11-7 「カーソルのサイズと位置」を参照)。

REG[15h] ビット 3 ~ 0 = カーソルの幅 (ピクセル単位) - 1

注

カーソルの幅は、水平文字サイズ以下にする必要があります。

(REG[16h] ビット 3 ~ 0 ≤ REG[01h] ビット 3 ~ 0)

REG[16h] Cursor Height Register																	
アドレス = 8016h				デフォルト = 00h				読み出し / 書き込み									
カーソルのモード		7		6		5		4		3		2		1		0	
n/a								カーソルの高さビット 3 ~ 0									

ビット 7

カーソルのモード (CM)

このビットは、カーソルのモードを決定します。グラフィックモードを選択するときには、このビットを 1 に設定する必要があります。

このビットが 0 の場合、アンダーバーカーソル () が選択されます。

このビットが 1 の場合、ブロックカーソル (n) が選択されます。

ビット 3 ~ 0

カーソルの高さ (CRY) ビット [3:0]

アンダーバーカーソル (REG[16h] ビット 7 = 0) の場合、これらのビットは、文字原点からのカーソルの位置をライン単位で設定します (65 ページの図 11-7 「カーソルのサイズと位置」を参照)。

ブロックカーソル (REG[16h] ビット 7 = 1) の場合、これらのビットは、文字原点からのカーソルの高さ (すなわち垂直サイズ) をライン単位で設定します (65 ページの図 11-7 「カーソルのサイズと位置」を参照)。

REG[16h] ビット 3 ~ 0 = カーソルの高さ (ライン単位) - 1

注

垂直カーソルサイズは、垂直文字サイズ以下にする必要があります。

(REG[16h] ビット 3 ~ 0 ≤ REG[02h] ビット 3 ~ 0)

CSRDIR

CSRDIR コマンドは、インダイレクトアドレス指定を使用するときに、カーソルの移動を制御します。CSRDIR コマンドを発行するときには、REG[17h] の値がコマンドの一部として渡されます。CSRDIR コマンドの詳細については、44 ページの 10.1.6 項「CSRDIR」を参照してください。

REG[17h] Cursor Shift Direction Register						読み出し / 書き込み	
アドレス = 8017h				デフォルト = 00h			
7	6	5	4	3	2	1	0
n/a						カーソルシフト方向ビット1~0	

ビット 1 ~ 0

カーソルシフト方向ビット [1:0]

これらのビットは、メモリにアクセス（リードまたはライト）した後、カーソルが自動的に移動するときの、カーソルの自動インクリメントの方向を設定します。カーソルは、1 文字だけ左右に移動することができ、また、水平アドレス範囲（すなわちアドレスピッチ）REG[06h] ~ REG[07h] で指定したバイト数だけ上下に移動することができます。このカーソルの自動インクリメントによって、表示メモリのリードとライト時に、各リードまたはライトごとに表示メモリアドレスのインクリメントを制御します。

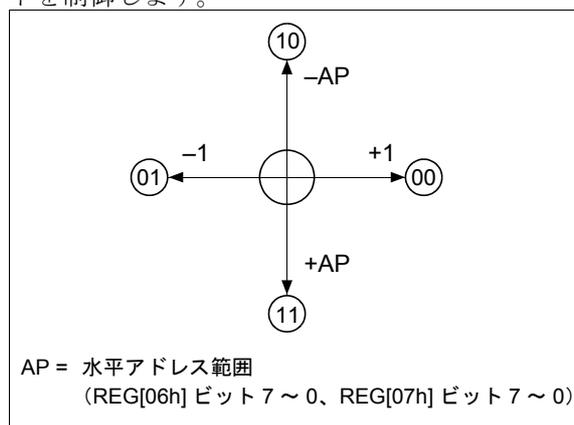


図 11-8: カーソルの方向

表 11-8: カーソルシフト方向

ダイレクトモード		インダイレクト モードコマンド	シフト方向
ビット 1	ビット 0		
0	0	4C	右
0	1	4D	左
1	0	4E	上
1	1	4F	下

注

カーソルは水平文字サイズが 9 以上の場合でも (REG[01h] ビット 3 ~ 0 = 9)、アドレス単位で移動するため、文字単位で移動するようにカーソルアドレスのインクリメントをプリセットする必要があります。詳細については、89 ページの 12.3 項「カーソルの制御」を参照してください。

11. レジスタ

OVLAY

OVLAY コマンドは、インダイレクトアドレス指定を使用するときに、レイヤード画面の合成および画面のテキスト / グラフィックモードを選択します。OVLAY コマンドを発行するときには、REG[18h] の値がパラメータとして渡されます。OVLAY コマンドの詳細については、44 ページの 10.1.7 項「OVLAY」を参照してください。

REG[18h] Overlay Register				読み出し / 書き込み			
アドレス = 8018h		デフォルト = 00h					
n/a		3レイヤー 合成セレクト	第3ブロック 画面表示モード	第1ブロック 画面表示モード	レイヤー合成方法ビット1~0		
7	6	5	4	3	2	1	0

ビット 4 3 レイヤー合成セレクト (OV)
このビットは、3 レイヤーを使用する場合に設定されます。3 レイヤーを使用する場合は、グラフィックモードに限られるため、テキストとグラフィックスが混在している場合には、このビットを 0 に設定する必要があります。
このビットが 0 の場合、2 つのレイヤーを使用します。
このビットが 1 の場合、3 つのレイヤーを使用します。

ビット 3 第 3 ブロック画面表示モード (DM1)
このビットは、第 3 ブロック画面の表示モードを決定します。
このビットが 0 の場合、第 3 ブロック画面はテキストモードに設定されます。
このビットが 1 の場合、第 3 ブロック画面はグラフィックモードに設定されます。

注

第 2 および第 4 ブロック画面は、グラフィックモードのみが選択されます。

ビット 2 第 1 ブロック画面表示モード (DM0)
このビットは、第 1 ブロック画面の表示モードを決定します。
このビットが 0 の場合、第 1 ブロック画面はテキストモードに設定されます。
このビットが 1 の場合、第 1 ブロック画面はグラフィックモードに設定されます。

注

第 2 および第 4 ブロック画面は、グラフィックモードのみが選択されます。

ビット 1 ~ 0

レイヤー合成方法 (MX) ビット [1:0]

これらのビットは、OR、AND、または Exclusive-OR が可能なレイヤード画面の合成方法を選択します。画面合成は、ブロック画面ではなくレイヤー単位で構成されるため、2つのブロック画面に分割されたレイヤーを使用するときには、ブロック画面ごとに異なる合成方法を指定することはできません。

表 11-9: 合成方法の選択

REG[18h] ビット 1	REG[18h] ビット 0	機能	合成方法	応用例
0	0	$L1 \cup L2 \cup L3$	OR	アンダーライン、罫線、テキストとグラフィックの混在
0	1	$(L1 \oplus L2) \cup L3$	Exclusive-OR	白ぬき文字、フラッシング領域、アンダーライン
1	0	$(L1 \cap L2) \cup L3$	AND	簡単なアニメーション、立体表現
1	1	—	—	予約済み

注

L1: 第 1 レイヤー (テキストまたはグラフィック)。

テキストを選択した場合、レイヤー L3 は使用できません。

L2: 第 2 レイヤー (グラフィック限定)

L3: 第 3 レイヤー (グラフィック限定)

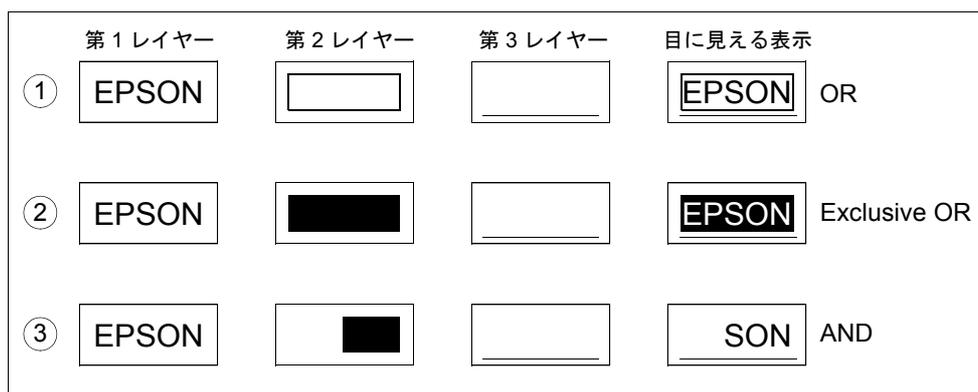


図 11-9: 合成レイヤーの表示例

11. レジスタ

CGRAM ADR

CGRAM ADR コマンドは、インダイレクトアドレス指定を使用するときに、キャラクタージェネレータ RAM (CGRAM) の開始アドレスを設定します。CGRAM ADR コマンドを発行するときには、REG[19h] ~ REG[1Ah] の値がパラメータとして渡されます。CGRAM ADR コマンドの詳細については、44 ページの 10.1.8 項「CGRAM ADR」を参照してください。

REG[19h] Character Generator RAM Start Address Register 0								
アドレス = 8019h				デフォルト = 00h				読み出し / 書き込み
CGRAM 開始アドレスビット 7 ~ 0 (LSB)								
7	6	5	4	3	2	1	0	

REG[1Ah] Character Generator RAM Start Address Register 1								
アドレス = 801Ah				デフォルト = 00h				読み出し / 書き込み
CGRAM 開始アドレスビット 15 ~ 8 (MSB)								
7	6	5	4	3	2	1	0	

ビット 15 ~ 0

キャラクタージェネレータ RAM 開始アドレスビット [15:0]
これらのビットは、キャラクタージェネレータ RAM (CGRAM) のメモリ開始アドレスを決定します。CGRAM に格納された各文字の正確なメモリ開始位置は、文字コードインデックスと文字の高さを乗算した結果をCGRAMの開始アドレスに加算することによって算出できます。

たとえば、CGRAM の開始アドレスが 6000h で、文字コードインデックスが 80h の 8 x 8 文字のアドレスを算出するには、以下の計算を使用できます。

$$\begin{aligned} \text{文字の開始} &= (\text{文字コードインデックス} \times \text{文字の高さ}) + \text{CGRAM の開始アドレス} \\ &= (80\text{h} \times 8) + 6000\text{h} \\ &= 400\text{h} + 6000\text{h} \\ &= 6400\text{h} \end{aligned}$$

この文字は、RAM のアドレス 6400h から始まり、8 個のメモリ域を使用します。

HDOT SCR

HDOT SCR コマンドは、インダイレクトアドレス指定を使用するとき、水平スクロール位置を設定します。HDOT SCR コマンドを発行するときには、REG[1Bh] の値がパラメータとして渡されます。HDOT SCR コマンドの詳細については、45 ページの 10.1.9 項「HDOT SCR」を参照してください。

テキスト画面の通常のスクロールでは、文字全体のスクロールしかできません。HDOT SCR コマンドを使えば、テキスト画面で水平ピクセルスクロールが可能となります。HDOT SCR は、個々のレイヤーで使用することはできません。

注

HDOT SCR は、1bpp(REG[20h]Bit per pixelselect レジスタビット 1 ~ 0=0) でのみ有効です。1bpp を除く全ての表示モードで、0 に設定する必要があります。

REG[1Bh] Horizontal Pixel Scroll Register						
アドレス = 801Bh			デフォルト = 00h			読み出し / 書き込み
n/a			水平ピクセルスクロールビット 2 ~ 0			
7	6	5	4	3	2	1 0

ビット 2 ~ 0

水平ピクセルスクロールビット [2:0]

これらのビットは、表示をスクロールするときの水平ピクセルの数を指定します。水平ピクセルスクロールを使用するには、行当たりの文字バイト (C/R) REG[03h] ビット 7 ~ 0 を水平文字の実際の数より 1 つ多い値に設定する必要があります。REG[1Bh] ビット 2 ~ 0 の値を繰り返し変更することによって、スムーズなスクロールをシミュレートできます。表示のスクロールの詳細については、100 ページの 12.5.6 項「水平ピクセルスクロール (HDOTSCR)」を参照してください。

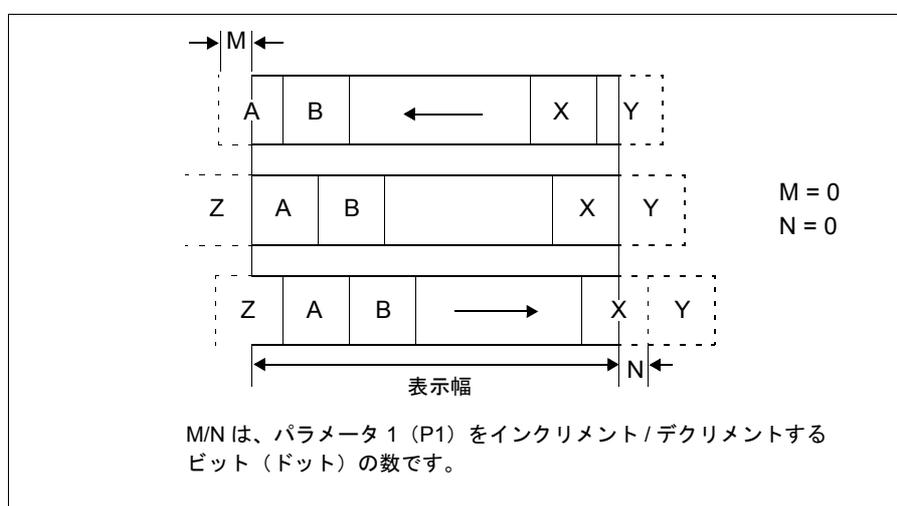


図 11-10: 水平スクロール

11. レジスタ

11.5.3 描画制御レジスタ

CSRW

CSRW コマンドは、インダイレクトアドレス指定を使用するときに、カーソルアドレスを設定します。CSRW コマンドを発行するときには、REG[1Ch] ~ REG[1Dh] の値がパラメータとして渡されます。CSRW コマンドの詳細については、45 ページの 10.1.10 項「CSRW」を参照してください。

REG[1Ch] Cursor Write Register 0								
アドレス = 801Ch				デフォルト = 00h				書き込み専用
カーソルライトビット 7 ~ 0 (LSB)								
7	6	5	4	3	2	1	0	

REG[1Dh] Cursor Write Register 1								
アドレス = 801Dh				デフォルト = 00h				書き込み専用
カーソルライトビット 15 ~ 8 (MSB)								
7	6	5	4	3	2	1	0	

ビット 15 ~ 0

カーソルライト (CSRW) ビット [15:0]

これらのビットは、91 ページの図 12-10「カーソルの移動」に示すように、カーソル位置のデータの表示メモリアドレスを設定します。

注

マイクロプロセッサは、インダイレクトアドレス指定モードでは、表示メモリに直接アクセスすることはできません。

インダイレクトアドレス指定モードの場合

MREAD および MWRITE コマンドは、インダイレクトモードのとき、このレジスタのアドレスを使用します。カーソルアドレスのレジスタは、CSRW コマンドによって、および MREAD または MWRITE コマンドの後の自動インクリメントによってのみ変更できます。表示のスクロールによる影響は受けません。

新しいアドレスを設定しない場合、表示メモリのアクセスは、最後に設定したアドレスまたは直前の自動インクリメントの後のアドレスから行われます。

CSRR

CSRR コマンドは、インダイレクトアドレス指定を使用するときに、カーソルアドレスを読み出します。CSRR コマンドを発行するときには、REG[1Eh] ~ REG[1Fh] の値がパラメータとして渡されます。CSRR コマンドの詳細については、45 ページの 10.1.11 項「CSRR」を参照してください。

REG[1Eh] Cursor Read Register 0							
アドレス = 801Eh		デフォルト = 00h				読み出し専用	
カーソルリードビット 7 ~ 0 (LSB)							
7	6	5	4	3	2	1	0

REG[1Fh] Cursor Read Register 1							
アドレス = 801Fh		デフォルト = 00h				読み出し専用	
カーソルリードビット 15 ~ 8 (MSB)							
7	6	5	4	3	2	1	0

ビット 15 ~ 0

カーソルリード (CSRR) ビット [15:0]

これらのビットは、インダイレクトアドレス指定モードでのみ使用します。これらのビットは、カーソルが現在置かれているメモリアドレスを示します。コマンドを発行した後、データリードアドレスを 2 回読み出します。レジスタの下位バイトで 1 回、次に上位バイトでもう 1 回読み出します。

11. レジスタ

11.5.4 グレースケールレジスタ

GRayscale

GRAYSCALE コマンドは、インダイレクトアドレス指定を使用するときに、ビット/ピクセル (bpp) 単位でグレースケールの階調を選択します。GRAYSCALE コマンドを発行するときには、REG[20h] の値がパラメータとして渡されます。GRAYSCALE コマンドの詳細については、46 ページの 10.1.12 項「GRAYSCALE」を参照してください。

注

グレースケールを使用し、レイヤー合成を行なう場合、両方のレイヤーを同じ階調に設定する必要があります。たとえば、第 1 レイヤーが 2bpp であれば、第 2 レイヤーも 2bpp に設定する必要があります。

REG[20h] Bit-Per-Pixel Select Register						読み出し / 書き込み	
アドレス = 8020h			デフォルト = 00h				
n/a						ビット/ピクセルセレクトビット 1~0	
7	6	5	4	3	2	1	0

ビット 1 ~ 0

ビット/ピクセルセレクトビット [1:0]

これらのビットは、以下に示すようにビット / ピクセルのモードを選択します。CGRAM (CGRAM1 や CGRAM2 など) を使用する場合は、1bpp だけがサポートされます。

表 11-10: ビット / ピクセルの選択

REG[20h] ビット 1 ~ 0	ビット / ピクセル
00	1
01	2
10	4
11	予約済み

注

水平文字サイズ (REG[01h] ビット 3 ~ 0) を 7h に設定する必要があり、また、水平ピクセルスクロールビット (REG[1Bh] ビット 2 ~ 0) を 0 に設定する必要があります。

図 11-11: インダイレクト / ダイレクト対応表

表 11-11: インダイレクトアドレス指定のコマンドセット

クラス	レジスタアドレス	コマンド	レジスタの説明	制御バイト値	バイトの数
システム制御	8000h - 8007h	SYSTEM SET	デバイスと表示を初期化します。	40h	8
	8008h	POWER SAVE	スタンバイモードに移行します。	53h	0
表示制御	8009h - 800A	DISP ON/OFF	表示および表示アトリビュートをイネーブル/ディセーブルにします。	58h 59h	1
	800Bh - 8014h	SCROLL	ブロック画面の開始アドレスとサイズを設定します。	44h	10
	8015h - 8016h	CSRFORM	カーソルタイプを設定します。	5Dh	2
	8017h	CSRDIR	カーソルの移動方向を設定します。	4Ch - 4Fh	0
	8018h	OVLAY	表示の合成形式を設定します。	5Bh	1
	8019h - 801Ah	CGRAM ADR	キャラクタジェネレータ RAM の開始アドレスを設定します。	5Ch	2
描画制御	801Bh	HDOT SCR	水平スクロール位置を設定します。	5A	1
	801Ch - 801Dh	CSRW	カーソルアドレスを設定します。	46h	2
	801Eh - 801Fh	CSRR	カーソルアドレスを読み出します。	47h	2
	8020h	GRAYSCALE	グレースケール階調 (bpp) を設定します。	60h	1
メモリ制御		MEMWRITE	メモリに書き込みます。	42h	n/a
		MEMREAD	メモリから読み出します。	43h	

表 11-12: Generic のインダイレクトアドレス指定のコマンド/ライト/リード

A0	\overline{WR}	\overline{RD}	
1	0	1	コマンド [C]
1	1	0	パラメータリード [P#]
0	0	1	パラメータライト [P#]

表 11-13: M6800 のインダイレクトアドレス指定のコマンド/ライト/リード

A0	$\overline{R/W}$	E	
1	0	1	コマンドライト
1	1	1	表示データとカーソルアドレスのリード
0	0	1	表示データとパラメータのライト

表 11-14: M68K のインダイレクトアドレス指定コマンド/ライト/リード

A0	$\overline{R/W}$	LDS#	
1	0	0	コマンドライト
1	1	0	表示データとカーソルアドレスのリード
0	0	0	表示データとパラメータのライト

11. レジスタ

11.6 システム制御

初期化シーケンスについては、110 ページの 15.1.2 項「初期設定の例」を参照してください。

11.6.1 SYSTEM SET

詳細については、49 ページの「SYSTEM SET」を参照してください。

注

S1D13700F02 がパワーセーブモードの場合（起動時または POWER SAVE コマンドの後）、SYSTEM SET コマンドによって、パワーセーブモードは解除されます。SYSTEM SET コマンドとその 8 つのパラメータを書き込むと、S1D13700F02 は通常動作になります。

注

水晶振動子を使用する場合は、SYSTEM SET コマンドを発行後に 8 つのパラメータを書き込む前に、内部クロックが安定するまで 3ms 以上待ってください。

表 11-15: SYSTEM SET コマンドとパラメータ

MSB				LSB				インダイレクト	
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
0	1	0	0	0	0	0	0	C	
0	0	IV ¹	1	W/S ²	M2 ³	0	M0 ⁴	P1	
MOD ⁵	0	0	0	REG[01h] ビット 3 ~ 0				P2	
0	0	0	0	REG[02h] ビット 3 ~ 0				P3	
REG[03h] ビット 7 ~ 0									P4
REG[04h] ビット 7 ~ 0									P5
REG[05h] ビット 7 ~ 0									P6
REG[06h] ビット 7 ~ 0									P7
REG[07h] ビット 7 ~ 0									P8

注

- ¹ IV は、画面の原点補正ビット（REG[00h] ビット 5）です。
- ² W/S は、パネル駆動セレクトビット（REG[00h] ビット 3）です。
- ³ M2 は、文字の高さビット（REG[00h] ビット 2）です。
- ⁴ M0 は、キャラクタジェネレータセレクトビット（REG[00h] ビット 0）です。
- ⁵ MOD は、REG[01h] ビット 7 によって定義されています。

11.6.2 POWER SAVE

詳細については、57 ページの「POWER SAVE」を参照してください。

表 11-16: POWER SAVE コマンド

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	1	0	0	1	1	C

11.6.3 DISP ON/OFF

以下は、DISP ON コマンドで使用するパラメータです。詳細については、58 ページの「DISP ON/OFF」を参照してください。

表 11-17: DISP ON コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	1	1	0	0	1	C
REG[0Ah] ビット 7 ~ 0								P1

以下は、DISP OFF コマンドで使用するパラメータです。詳細については、58 ページの「DISP ON/OFF」を参照してください。

表 11-18: DISP OFF コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	1	1	0	0	0	C
REG[0Ah] ビット 7 ~ 0								P1

11. レジスタ

11.6.4 SCROLL

詳細については、60 ページの「SCROLL」を参照してください。

表 11-19: SCROLL コマンドとパラメータ

MSB				LSB				インダイレクト	
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
0	1	0	0	0	1	0	0	C	
A7	A6	A5	A4	A3	A2	A1	A0	REG[0Bh] ビット 7～0	P1
A15	A14	A13	A12	A11	A10	A9	A8	REG[0Ch] ビット 7～0	P2
L7	L6	L5	L4	L3	L2	L1	L0	REG[0Dh] ビット 7～0	P3
A7	A6	A5	A4	A3	A2	A1	A0	REG[0Eh] ビット 7～0	P4
A15	A14	A13	A12	A11	A10	A9	A8	REG[0Fh] ビット 7～0	P5
L7	L6	L5	L4	L3	L2	L1	L0	REG[10h] ビット 7～0	P6
A7	A6	A5	A4	A3	A2	A1	A0	REG[11h] ビット 7～0	P7
A15	A14	A13	A12	A11	A10	A9	A8	REG[12h] ビット 7～0	P8
A7	A6	A5	A4	A3	A2	A1	A0	REG[13h] ビット 7～0	P9
A15	A14	A13	A12	A11	A10	A9	A8	REG[14h] ビット 7～0	P10

注

デュアルパネル (REG[00h] ビット 3 = 1) および 2 レイヤー構成の両方を選択している場合にのみ、パラメータ P9 と P10 を設定します。SAD4 は、第 4 ブロック画面の表示開始アドレスです。

11.6.5 CSRFORM

詳細については、65 ページの「CSRFORM」を参照してください。

表 11-20: CSRFORM コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	1	1	1	0	1	C
0	0	0	0	REG[15h] ビット 3～0				P1
				X3	X2	X1	X0	
CM ¹	0	0	0	REG[16h] ビット 3～0				P2
				Y3	Y2	Y1	Y0	

注

¹ CM は、カーソルのモードビット (REG[16h] ビット 7) です。

11.6.6 CSRDIR

詳細については、67 ページの「CSRDIR」を参照してください。

表 11-21: CSRDIR コマンド

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	0	1	1	REG[17h] ビット1~0 CD1 CD0		C

11.6.7 OVLAY

詳細については、68 ページの「OVLAY」を参照してください。

表 11-22: OVLAY コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	1	1	0	1	1	C
0	0	0	OV ¹	DM2 ²	DM1 ²	MX1 ³	MX0 ³	P1

注

- ¹ OV は、3 レイヤー合成セレクトビット (REG[18h] ビット 4) です。
- ² DM2 および DM1 は、第 3/ 第 1 ブロック画面表示モードビット (REG[18h] ビット 3 ~ 2) です。
- ³ MX1 および MX0 は、レイヤー合成方法ビット (REG[18h] ビット 1 ~ 0) です。

11.6.8 CGRAM ADR

詳細については、70 ページの「CGRAM ADR」を参照してください。

表 11-23: CGRAM ADR コマンドとパラメータ

MSB				LSB				インダイレクト
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	1	0	1	1	1	0	0	C
A7	A6	A5	A4	A3	A2	A1	A0	(SAGL) P1
A15	A14	A13	A12	A11	A10	A9	A8	(SAGH) P2

11. レジスタ

11.6.9 HDOT SCR

詳細については、71 ページの「HDOT SCR」を参照してください。

表 11-24: HDOT SCR コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	1	1	0	1	0	C
0	0	0	0	0	D2	D1	D0	P1

11.6.10 CSRW

詳細については、72 ページの「CSRW」を参照してください。

表 11-25: CSRW コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	0	0	1	1	0	C
A7	A6	A5	A4	A3	A2	A1	A0	(CSRL) P1
A15	A14	A13	A12	A11	A10	A9	A8	(CSRH) P2

11.6.11 CSRR

詳細については、73 ページの「CSRR」を参照してください。

表 11-26: CSRR コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	0	0	0	1	1	1	C
A7	A6	A5	A4	A3	A2	A1	A0	(CSRL) P1
A15	A14	A13	A12	A11	A10	A9	A8	(CSRH) P2

11.6.12 GRAYSCALE

詳細については、74 ページの「GRAYSCALE」を参照してください。

表 11-27: GRAYSCALE コマンドとパラメータ

MSB				LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	インダイレクト
0	1	1	0	0	0	0	0	C
0	0	0	0	0	0	BPP1	BPP0	P1

11.6.13 メモリ制御

詳細については、72 ページの「描画制御レジスタ」を参照してください。

12. 表示制御機能

12. 表示制御機能

12.1 文字構成

各文字のビットマップの原点は、図 12-1 に示すように左上コーナーです。各バイト内の隣接ビットは、対応する文字画像内で水平に隣接します。

ビットマップのサイズは、キャラクタージェネレータによって固定されていますが、文字フィールドに実際に表示されるサイズは、高さと幅の両方を変更できます。

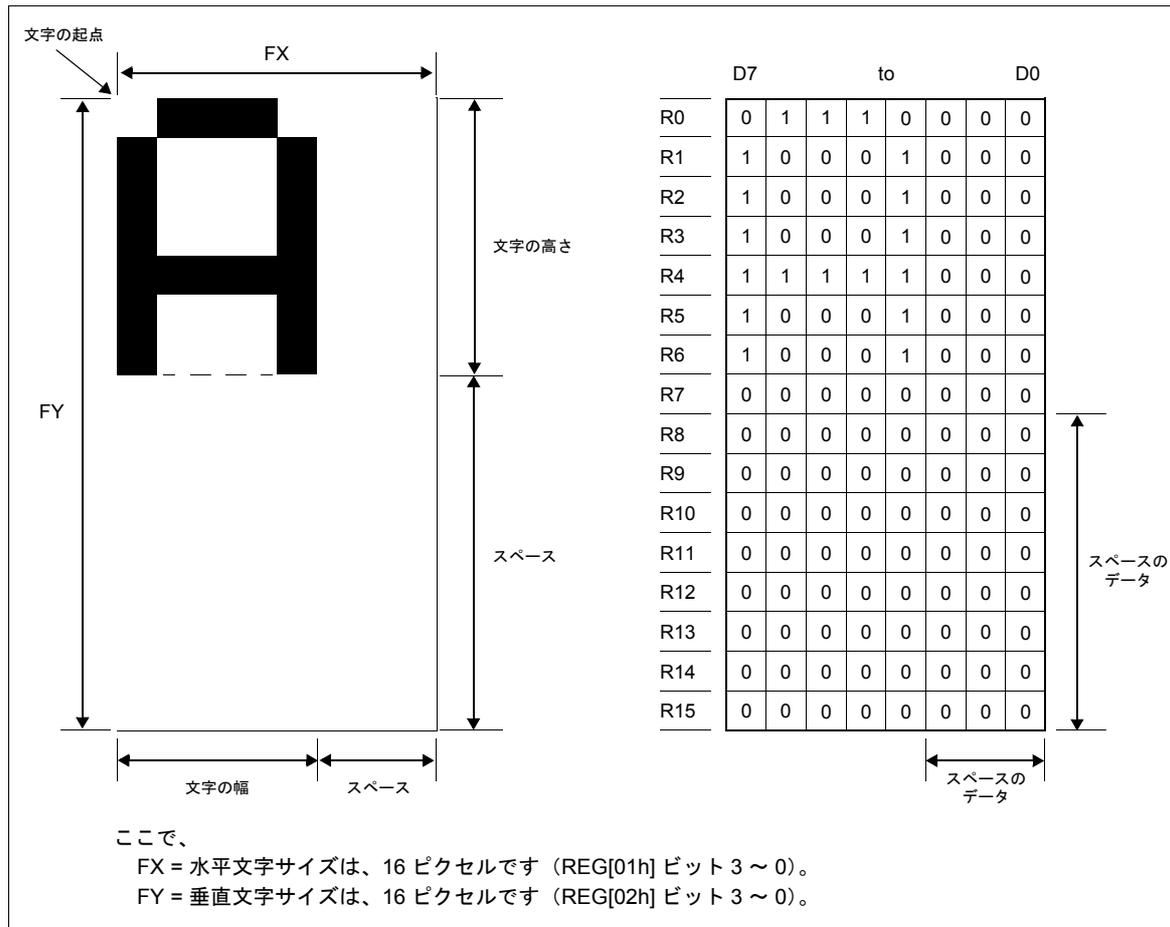


図 12-1: ジェネレータビットマップでの文字表示例 ($[FX] \leq 8$ のとき)

文字ビットマップの外の領域が 0 だけで構成されている場合、水平文字サイズ (REG[01h] ビット 3 ~ 0) と垂直文字サイズ (REG[01h] ビット 3 ~ 0) を大きくすることによって、表示される文字サイズを大きくすることができます。この 0 によって、表示される文字の間の余分なスペースがブランクになります。

表示される文字の幅は、ビットマップの各水平行の幅が 2 バイトの場合でも、最大 16 までの任意の値に設定できます。

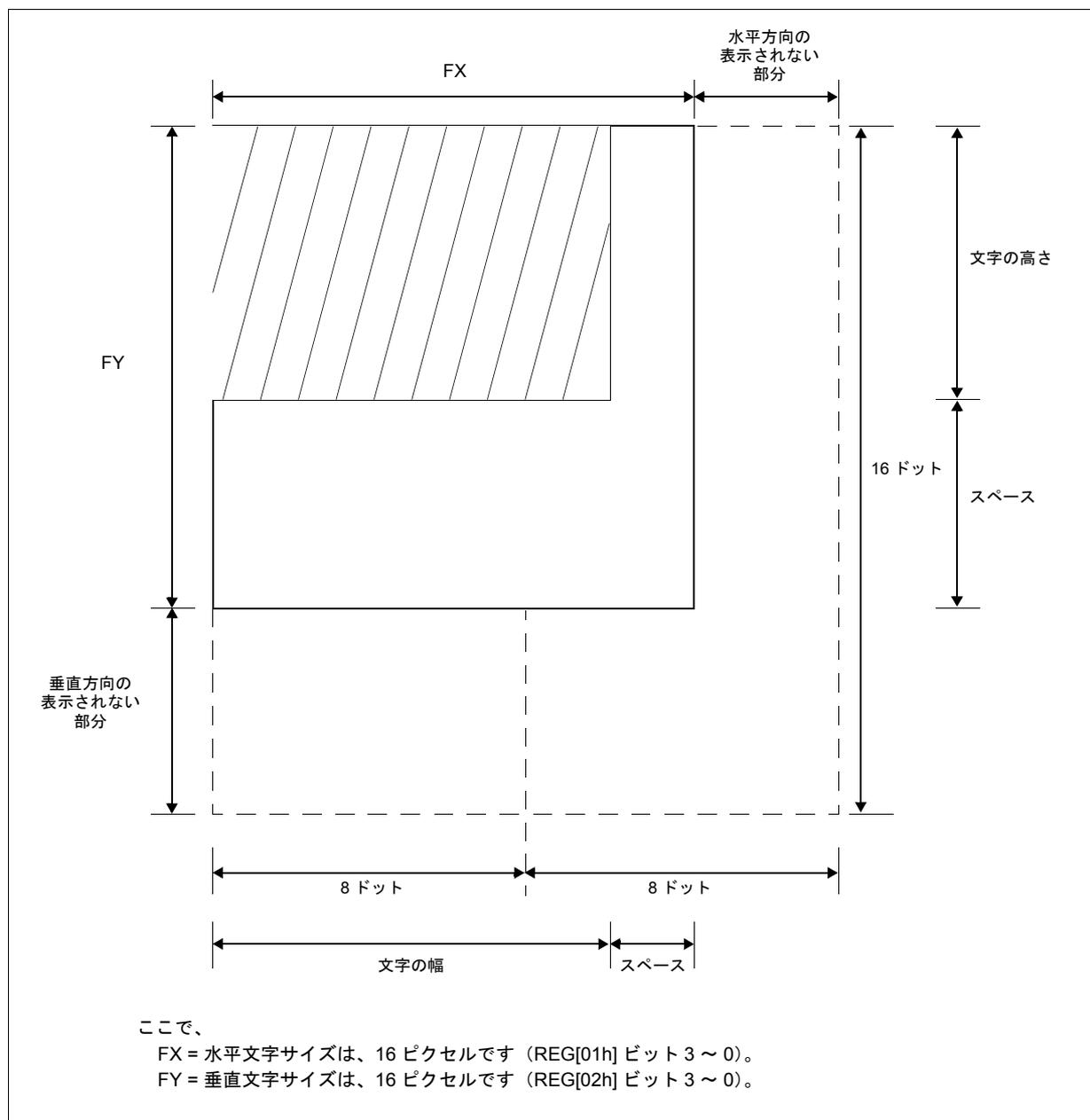


図12-2: 1 バイト幅を超える文字の幅 ($[FX] = 9$)

注

S1D13700F02 は、文字間にスペースを自動挿入しません。表示される文字サイズが 8 ピクセル以下で、文字原点間のスペースが 9 ピクセル以上の場合、文字画像に 1 バイトしか必要としない場合でも、ビットマップは行当たり 2 バイトを使用する必要があります。

モードのとき、各ラインの開始時のアドレスカウンタは、前のラインの開始時のアドレスに水平アドレス範囲（すなわちアドレスピッチ）（REG[06h]～REG[07h]）を加算した値に設定されます。

テキストモードでは、アドレスカウンタは同じ開始アドレスに設定され、また文字ビットマップの各行ごとに同じ文字データが読み出されます。ただし、キャラクタージェネレータ出力の新しい行を毎回使用します。文字ビットマップのすべての行が表示されると、アドレスカウンタは、開始アドレスに水平アドレス範囲（すなわちアドレスピッチ）を加算した値に設定され、次のラインのテキストが表示されます。

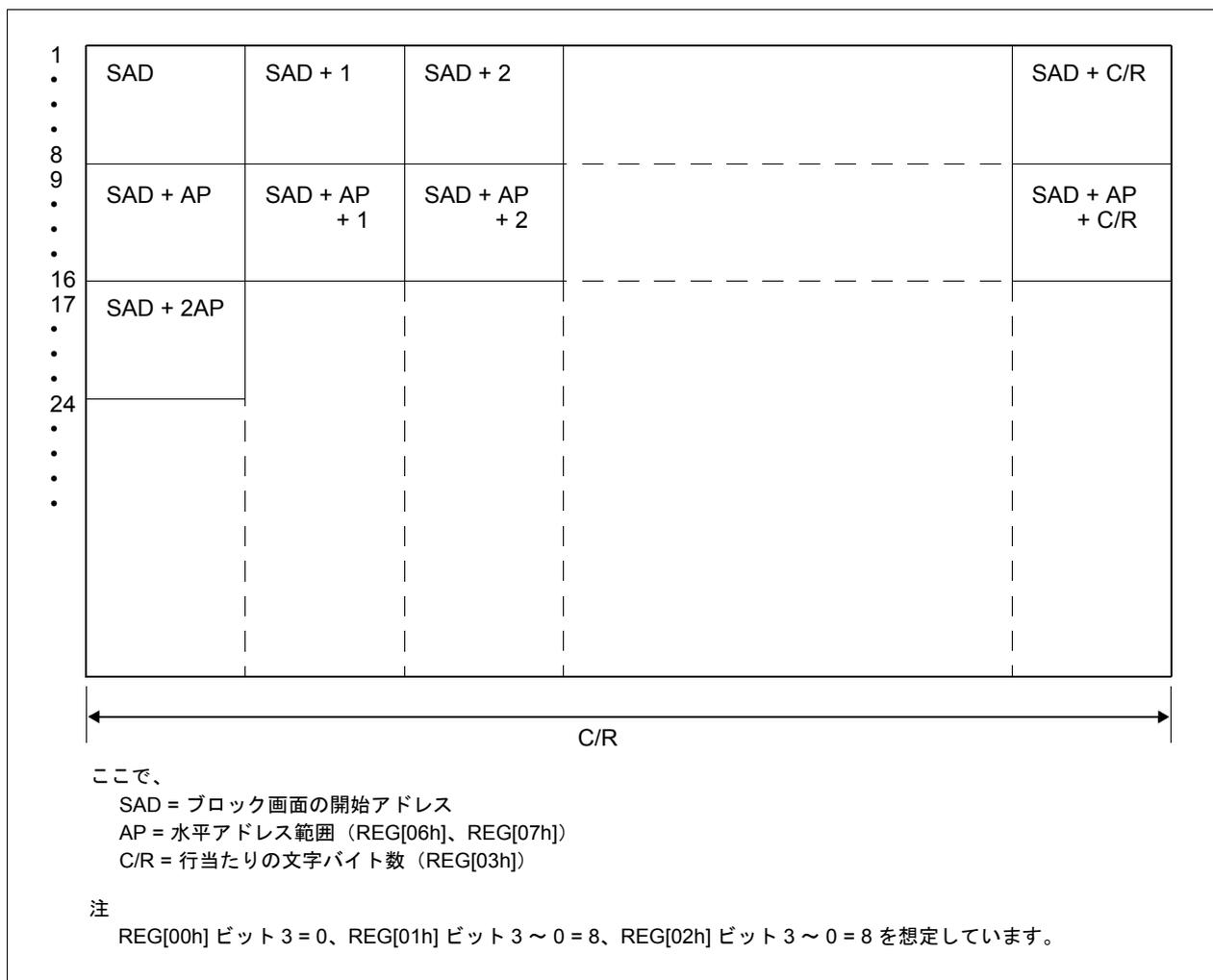


図12-4: テキストモードでの表示アドレス指定の例

注

表示メモリの1バイトは1文字に相当します。

12. 表示制御機能

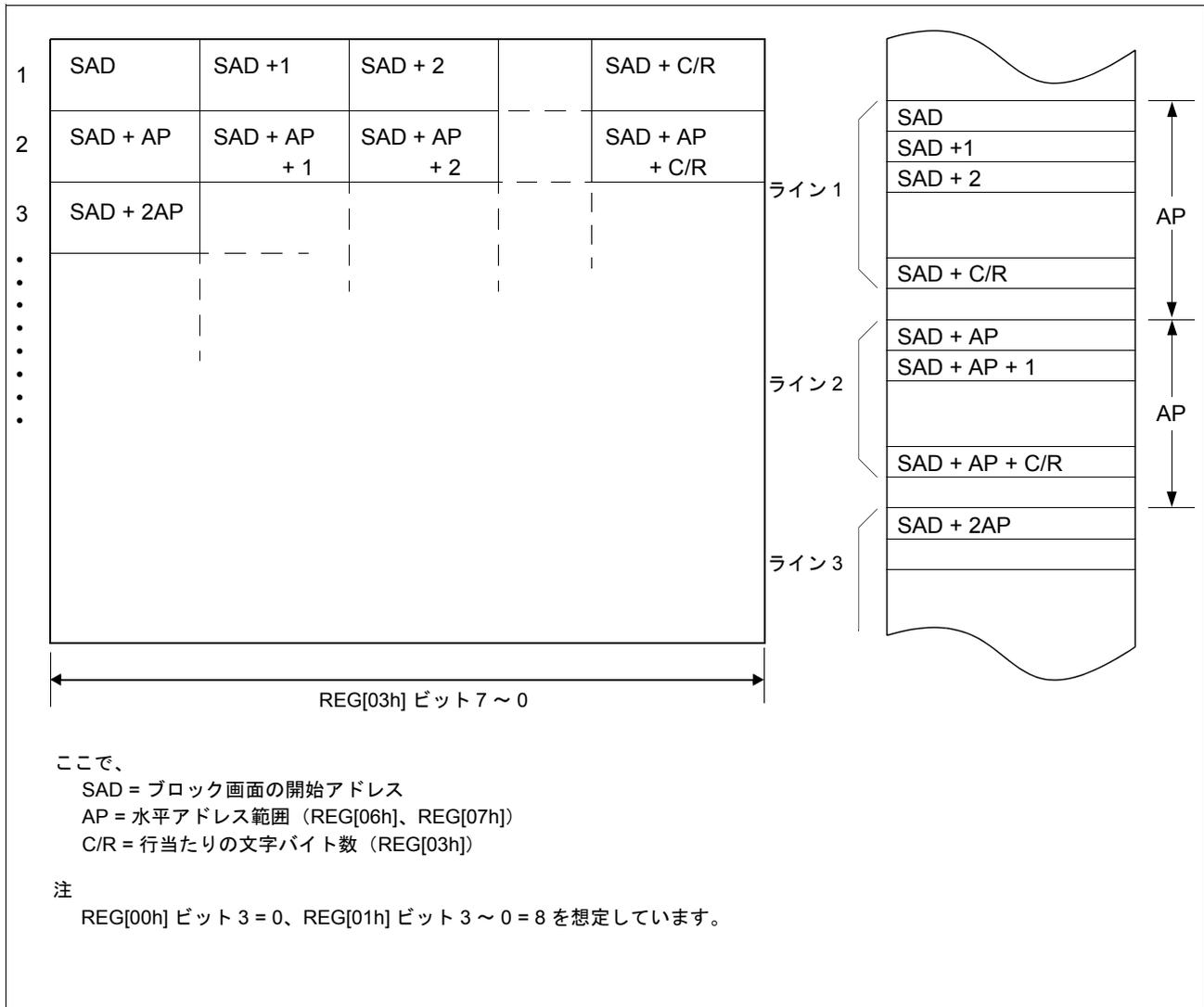


図 12-5: グラフィックモードでの表示アドレス指定の例

注

1bpp の場合、表示メモリの 1 ビットが 1 ピクセルに相当します。したがって、表示メモリの 1 バイトは 8 ピクセルに相当します。2bpp の場合、1 バイトは 4 ピクセルに相当します。4bpp の場合、1 バイトは 2 ピクセルに相当します。

1a ⋮	SAD1	SAD1 + 1	SAD1 + 2		SAD1 + C/R
8a 9a ⋮	SAD1 + AP	SAD1 + AP + 1	SAD1 + AP + 2		SAD1 + AP + C/R
16a 17a ⋮	SAD1 + 2AP				
24a 25a ⋮					
(L/F)/2 =					
1b ⋮	SAD3 + 1		SAD3 + 2		SAD3 + C/R
8b 9b ⋮	SAD3 + AP	SAD3 + AP + 1	SAD3 + AP + 2		SAD3 + AP + C/R
16b 17b ⋮	SAD3 + 2AP				
24b 25b ⋮					
(L/F)					

←----- C/R -----→

ここで、
 SAD = ブロック画面の開始アドレス
 AP = 水平アドレス範囲 (REG[06h]、REG[07h])
 C/R = 行当たりの文字バイト数 (REG[03h])
 L/F = ライン単位のフレームの高さ (REG[05h])

注
 REG[00h] ビット 3 = 0、REG[01h] ビット 3 ~ 0 = 8、REG[02h] ビット 3 ~ 0 = 8 を想定しています。

図 12-6: テキストモードでのデュアルパネル表示アドレスのインデックス

注

デュアルパネル駆動の場合、S1D13700F02 は、ライン 1a とライン 1b を 1 サイクルとして読み出します。したがって上側と下側のパネルは、一度に 1 ラインずつ交互に読み出されます。

12. 表示制御機能

12.2.3 表示スキンのタイミング

表示スキンの間、S1D13700F02 は、TC/R-C/R(REG[04h] ビット 7-0-REG[03h] ビット 7-0) の期間、各ラインの最後で表示メモリの読み出しサイクルを一時停止します。TC/R は、C/R、入力クロック (CLK)、f FR、および LCD パネルのサイズによって設定され、制約の範囲内であれば任意の値に設定できます。この一時停止は、フレーム周波数の一微調整に使用できます。

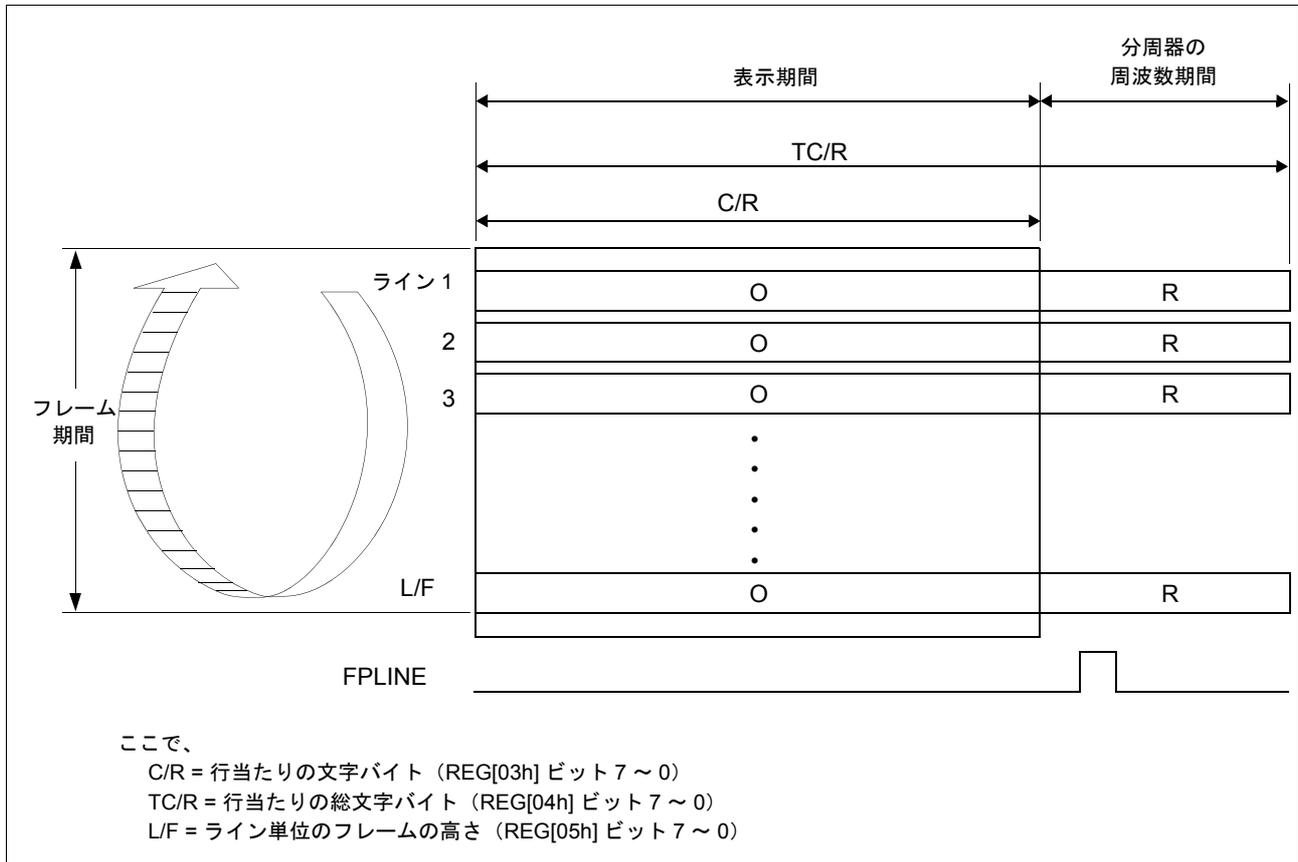


図 12-7: 行当たりの総文字バイトと行当たりの文字バイトの関係

注

分周器の調整間隔 (R) は、デュアルパネル駆動 (REG[00h] ビット 3 = 1) が選択されている場合でも、上側画面と下側画面の両方に適用されます。この場合 FPLINE は、下側画面の表示間隔の最後でのみアクティブになります。

12.3 カーソルの制御

12.3.1 Cursor Write レジスタの機能

Cursor Write レジスタ (REG[1Ch] ~ REG[1Dh]) は、表示されるカーソルの位置アドレスレジスタとして機能し、またインダイレクトアドレス指定モードでは表示メモリアクセスアドレスレジスタとしても機能します。実際に見える画面のメモリ外の表示メモリにアクセスするときには、メモリにアクセスする前に Cursor Write レジスタを保存し、その後、メモリアクセスが完了した時点でこれを復元する必要があります。これは、カーソルが表示領域外に消えて見えなくなるのを防ぐために行うものです。

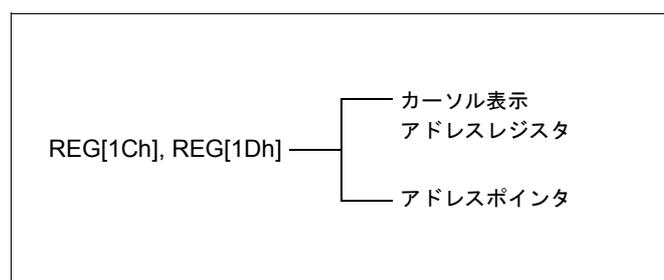


図 12-8: カーソルアドレス指定

注

表示画面のメモリ外に数 100ms 以上の間、カーソルアドレスを残しておくこと、カーソルの表示が消えてしまうことがあります。

12.3.2 カーソルの移動

各メモリにアクセスするたびに、Cursor Write レジスタ (REG[1Ch] ~ REG[1Dh]) は、CSRDIR コマンド (REG[17h] ビット 1 ~ 0 を参照) で指定した量だけ変更され、カーソルは目的の位置に自動的に移動します。

12.3.3 カーソル表示レイヤー

S1D13700F02 は、最大 3 レイヤーを重ねて表示できますが、カーソルが表示されるのは、そのうちの 1 レイヤーだけです。2 レイヤー構成 (REG[18h] ビット 4=0) の場合、カーソルは、第 1 レイヤー (L1) に帰属し、3 レイヤー構成 (REG[18h] ビット 4=1) の場合、カーソルは、第 3 レイヤー (L3) に帰属します。

アドレスがそのレイヤーのメモリの外に移動した場合、カーソルは表示されません。現在のレイヤー以外のレイヤーでカーソルを表示する必要がある場合、レイヤーを交換するか、カーソルレイヤーを表示メモリ内に移動します。

カーソルは通常、文字データ用に表示されるものですが、S1D13700F02 は、グラフィック文字用の疑似カーソルを表示することができます。これは、グラフィック画面を表示して、テキスト画面を表示せず、さらにマイクロプロセッサがカーソル制御アドレスを生成する場合にのみ実現できます。

12. 表示制御機能



図 12-9: カーソル表示レイヤー

たとえば、漢字をグラフィック画面で表示する場合、カーソルアドレスは、「グラフィック」表示データを書き込むため、第 2 ブロック画面に設定します。ただし、カーソルは表示されません。カーソルを表示するには、ブランクテキストのブロック画面内のアドレスにカーソルアドレスを設定する必要があります。

自動カーソルインクリメントは文字単位ではなくアドレス単位なので、グラフィック文字の上にカーソルを移動するときには、制御マイクロプロセッサによって、Cursor Write レジスタ (REG[1Ch] ~ REG[1Dh]) を設定する必要があります。

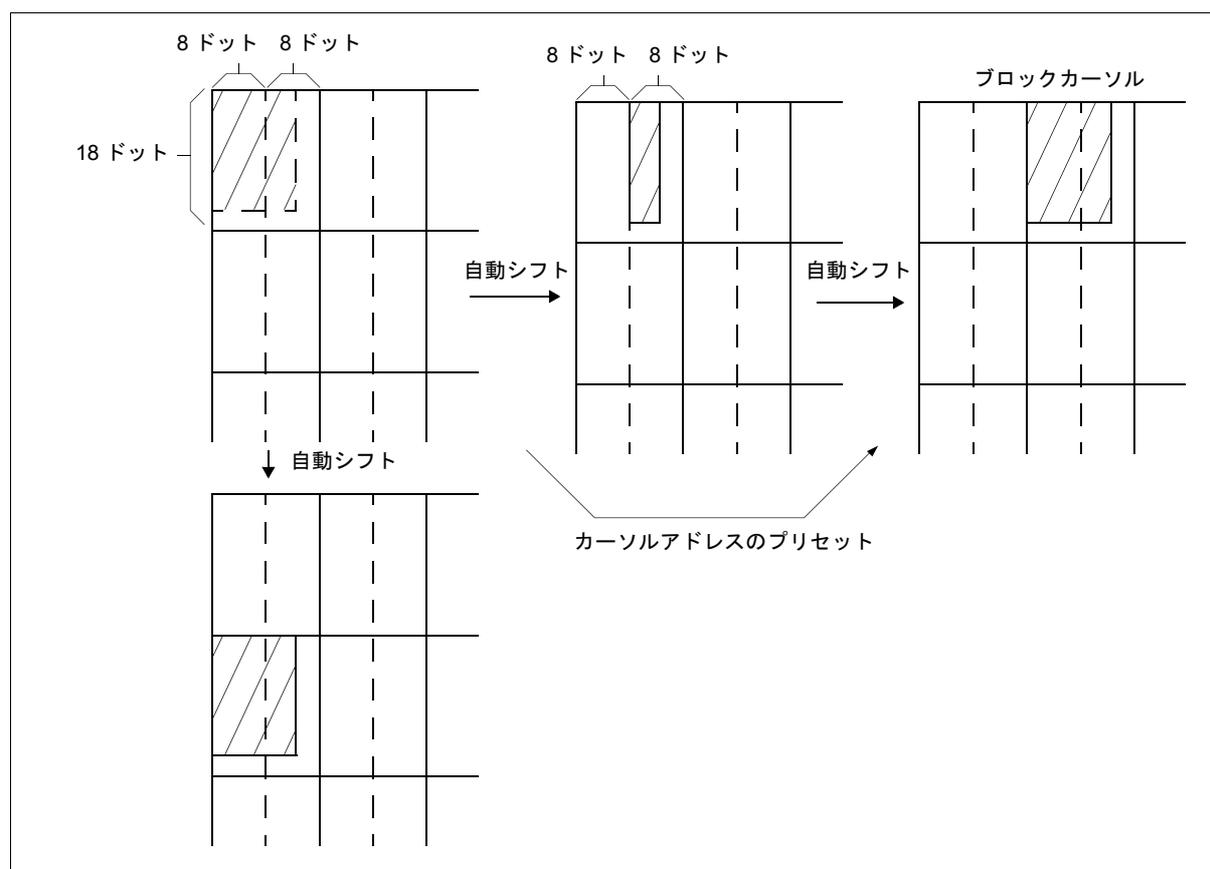


図 12-10: カーソルの移動

テキスト画面を表示しない場合、カーソルアドレスでバーカーソルだけを表示することができます。

第 1 レイヤーがテキスト画面とグラフィック画面の混在で、カーソルの形状がブロックカーソルに設定されている場合、S1D13700F02 は、表示するカーソルの形状を自動的に決定します。テキスト画面ではブロックカーソルを表示し、グラフィック画面ではバーカーソルを表示します。

12.4 メモリと表示の関係

S1D13700F02 は、LCD パネルのアドレス範囲 (C/R) (REG[03h] ビット 7 ~ 0) の物理サイズを超える仮想スクリーンをサポートしています。S1D13700F02 のレイヤーは、表示メモリで保持されている、より大きな仮想スクリーン内のウィンドウと見なすことができます。このウィンドウは、2 つのブロックに分割することができ、各ブロックは仮想スクリーンの異なる部分を表示することができます。

たとえば、これによって、一方のブロックをデータ領域内で動的にスクロールさせ、同時にもう一方のブロックを、ステータスメッセージの表示領域として使用することができます。

12. 表示制御機能

メモリと表示の関係の例については、92 ページの図 12-11「画面レイヤーとメモリ
の関係」、93 ページの図 12-12「仮想表示 (表示ウィンドウとメモリの関係)」、およ
び 94 ページの図 12-13「メモリマップと拡大文字」を参照してください。

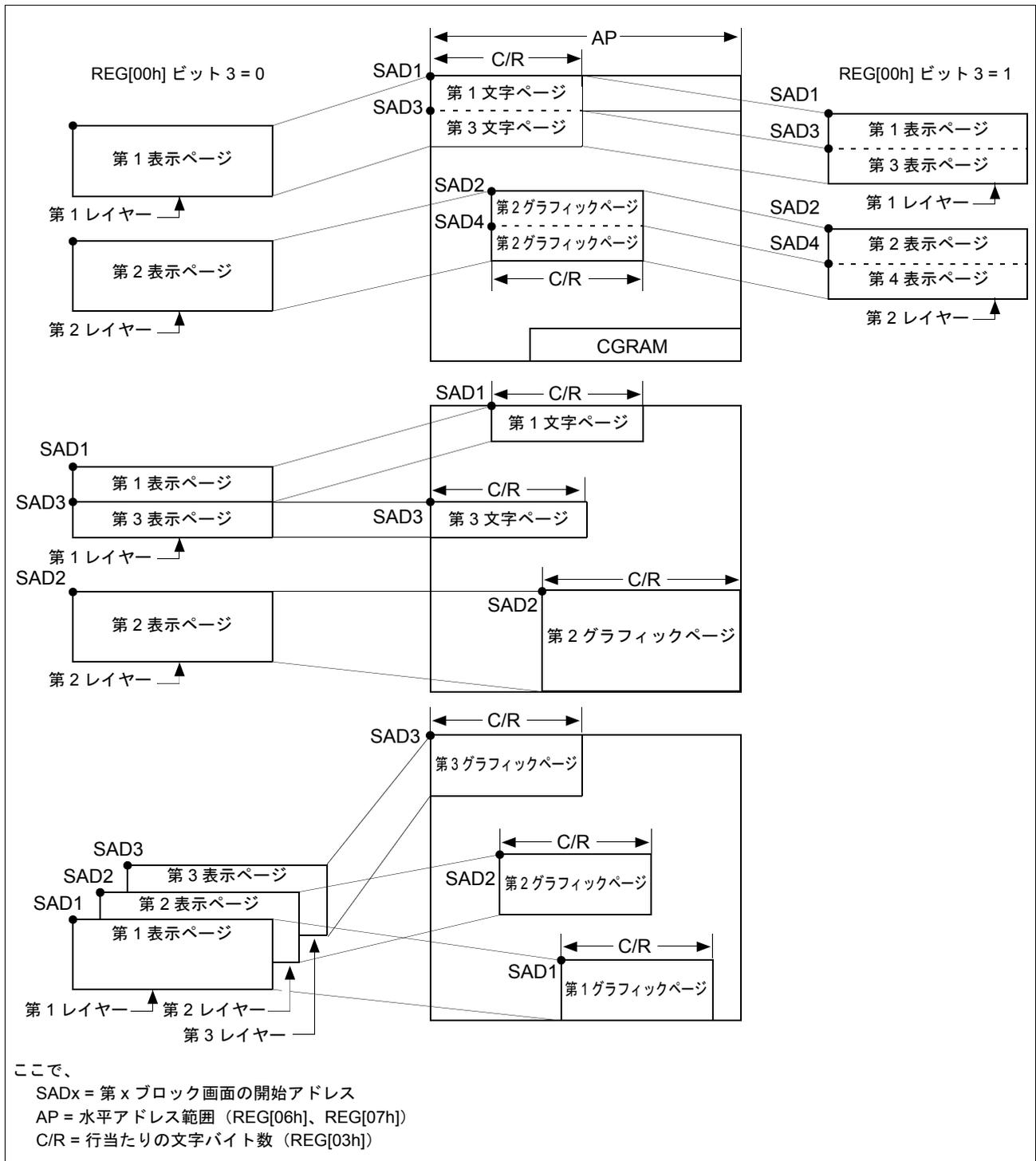


図 12-11: 画面レイヤーとメモリの関係

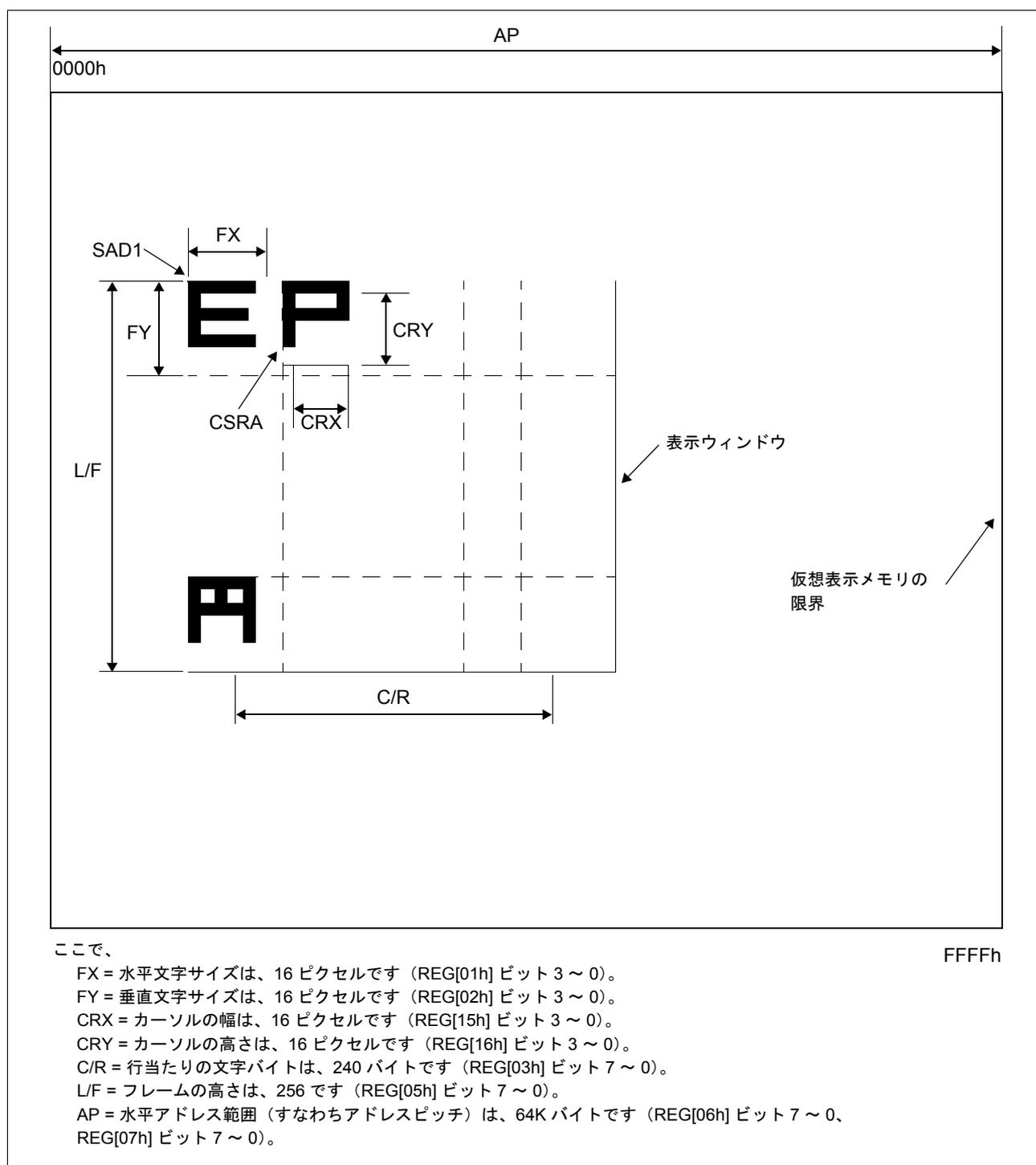


図 12-12: 仮想表示 (表示ウィンドウとメモリの関係)

12. 表示制御機能

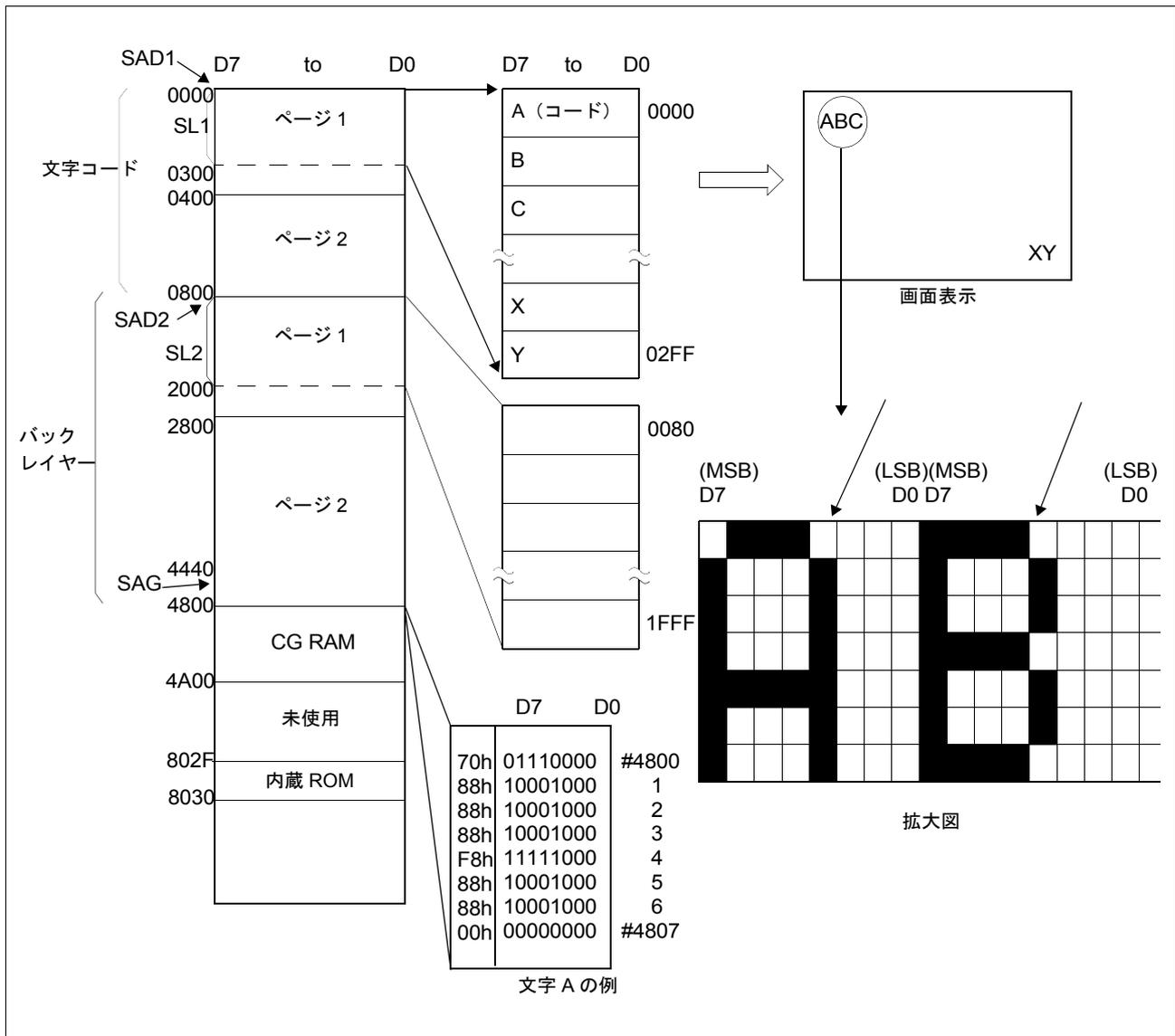


図12-13: メモリマップと拡大文字

12.5 スクロール

マイクロプロセッサは、各ブロック画面のスクロールアドレスレジスタ (REG[0Bh] ~ REG[14h]) に書き込むことによって、S1D13700F02 のスクロールモードを制御できます。これはアドレスのスクロールと呼ばれ、表示メモリの容量が 1 画面を超える場合に、テキストとグラフィック両方のブロック画面で使用できます。

12.5.1 ページ内スクロール

1 ページ内でスクロールするための標準的な方法は、表示全体を 1 ライン上に移動させ、一番下のラインを抹消する方法です。ただし S1D13700F02 は、一番下のラインを自動的に抹消しませんので、スクロールアドレスレジスタを変更するときにブランクデータを用いて消去する必要があります。

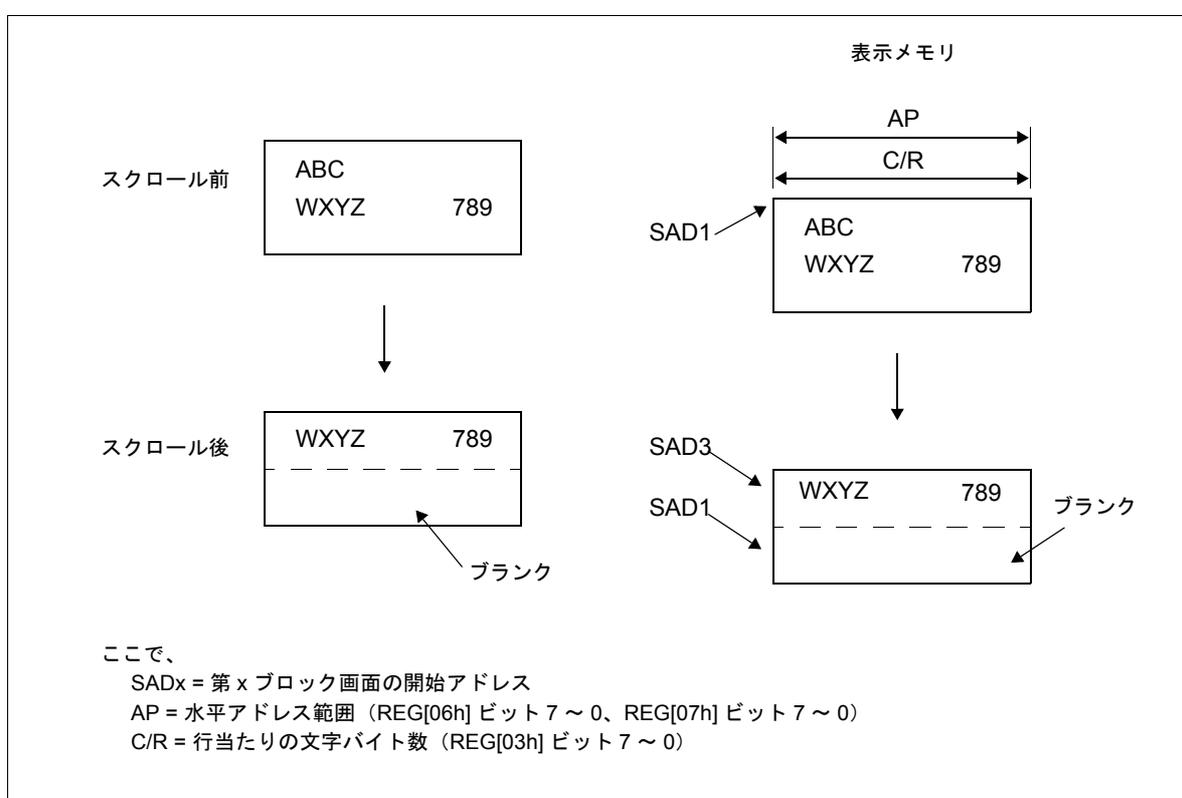


図 12-14: ページ内スクロール

12. 表示制御機能

12.5.2 ページ間スクロール

ページ間スクロールおよびページ切り替えは、表示メモリの容量が1画面を超える場合にのみ実行することができます。1ラインまたは1文字下にスクロールするには、水平アドレス範囲（すなわちアドレスピッチ）REG[06h]～REG[07h]の値を現在のSADxに加算します。上にスクロールするには、SADxから水平アドレス範囲の値を減算します。

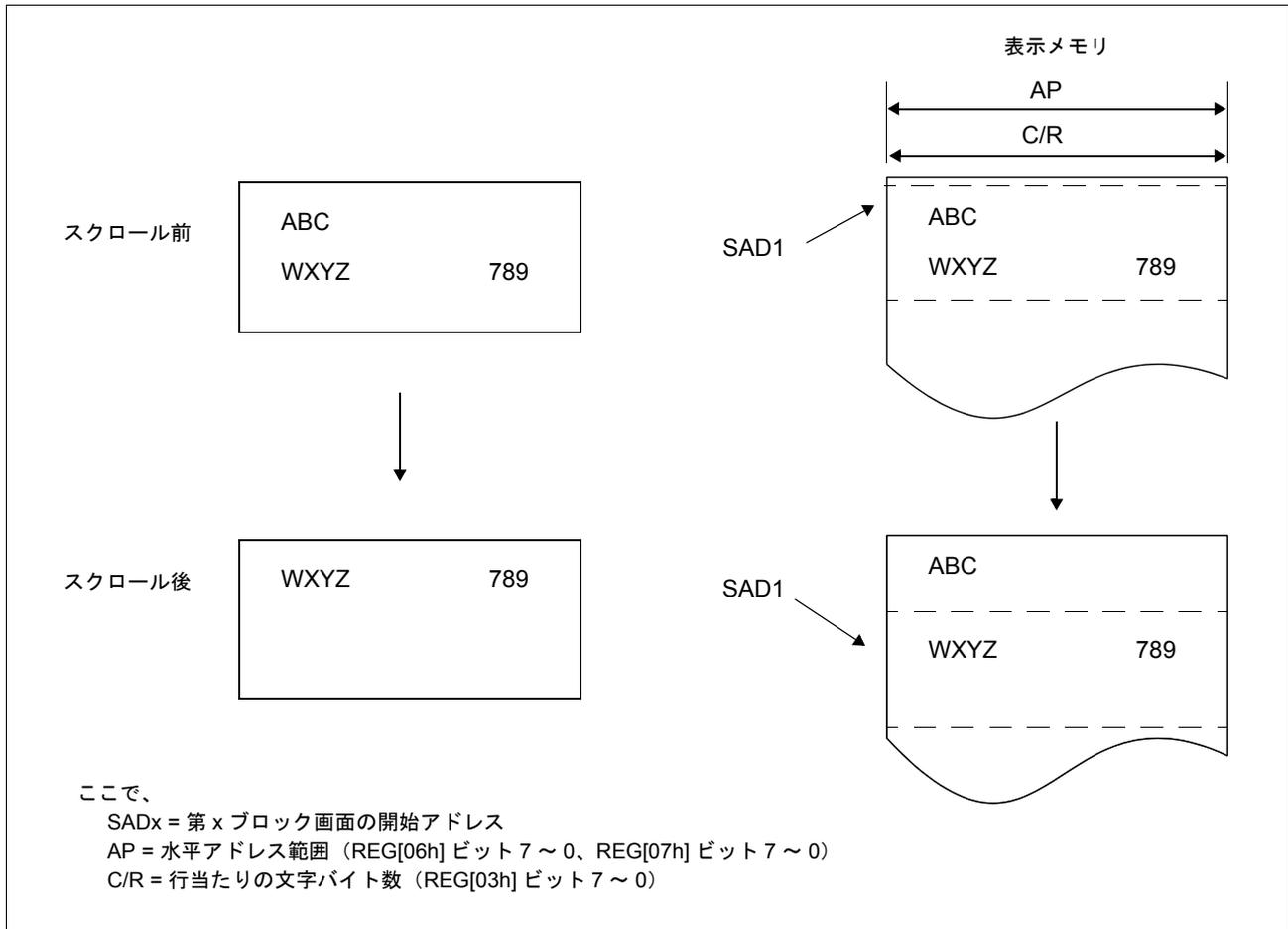


図 12-15: ページ間スクロール

12.5.3 水平折り返しスクロール

テキストモードのブロック画面の場合、表示メモリの容量にかかわらず、表示は1文字単位で水平にスクロールすることができます。

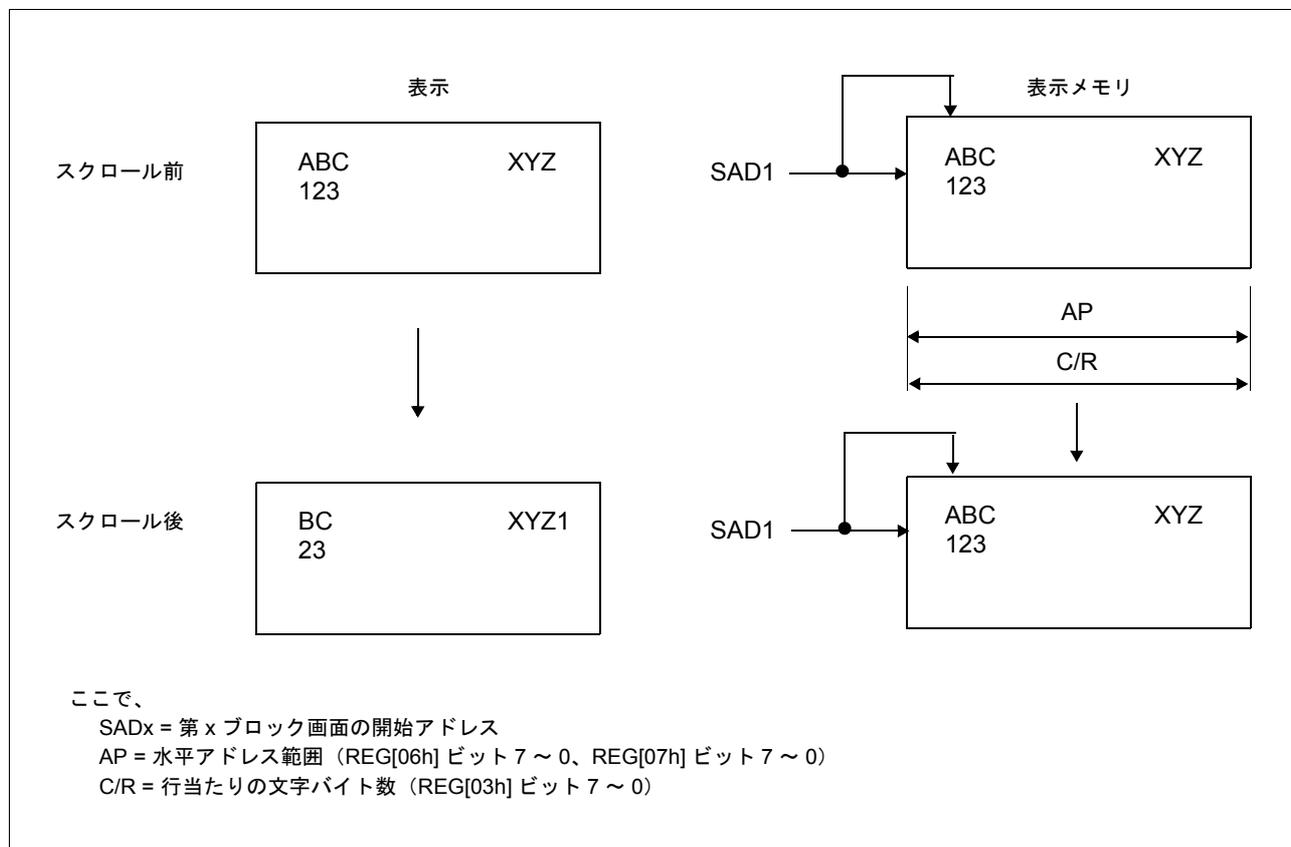


図12-16: 水平折り返しスクロール

12. 表示制御機能

12.5.4 全方向スクロール

全方向スクロールは、水平 (REG[06h]、REG[07h] > REG[03h]) および垂直方向の両方で、表示メモリが物理画面を超える場合にのみ実行できます。スクロールは通常、1文字単位で実行されますが、HDOT SCR コマンド (REG[1Bh] ビット 2 ~ 0) を参照) を使えば、ピクセル単位での水平スクロールが可能となります (テキストブロック専用)。1ピクセルの水平スクロールは、SCROLL と HDOT SCR コマンドの両方を使用して実行できます。詳細については、121 ページの 15.3 項「スムーズな水平スクロール」を参照してください。

注

2bpp および 4bpp のグレースケールモードの場合、REG[1Bh] ビット 2 ~ 0 (HDOT SCR) を 0 に設定する必要があるため、水平スクロールは 1文字単位でのみ実行できます (ピクセル単位では実行できません)。

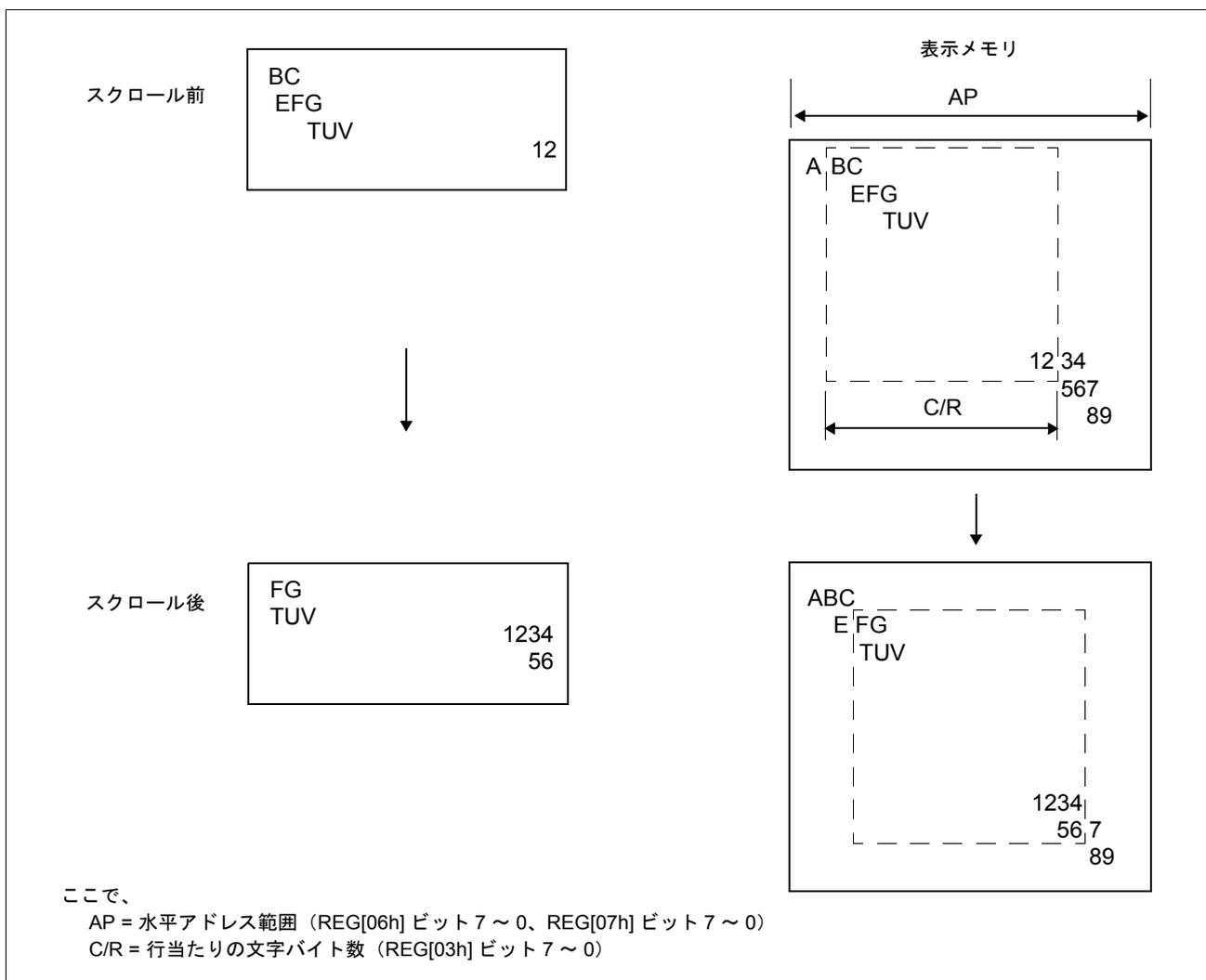


図 12-17: 全方向スクロール

12.5.5 スクロール単位

以下の表は、各モードでスクロールできる単位すなわちステップを一覧で示しています。

表 12-1: スクロール単位の一覧

モード	垂直	水平
テキスト	文字	ピクセル/文字
グラフィック	ピクセル	ピクセル

注

分割画面の場合、ピクセル単位で各ブロックを個別に水平スクロールすることはできません。

12. 表示制御機能

12.5.6 水平ピクセルスクロール (HDOTSCR)

HDOTSCR (REG[1Bh] ビット 2 ~ 0 > 0h) をイネーブルにすると、C/R の値は、LCD ディスプレイの正確な水平方向の大きさ (ディスプレイの行ドライバの正確なクロック数) から 1 だけ増やす必要があります ($C/R = C/R + 1$)。たとえば、HDOTSCR がイネーブルのとき、40 文字の表示幅は、C/R の値が 41 文字になります。そうでない場合は、ブランク文字が読み出され (次の文字は表示されません)、ディスプレイの右の列にブランクスペースが表示されることとなります。

以下の使用例は、水平ピクセルスクロールのいくつかの例を示しています。

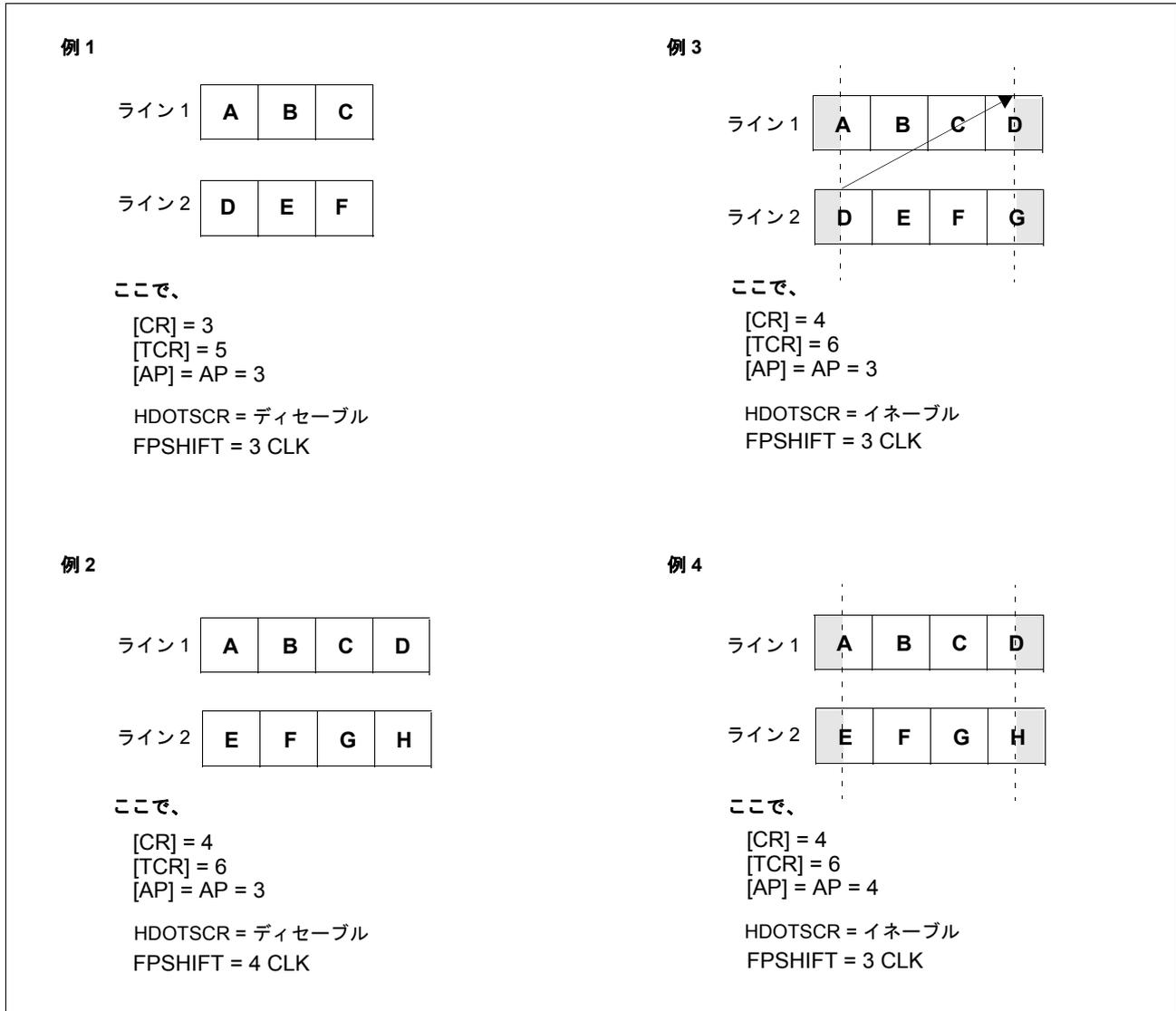


図 12-18: 水平ピクセルスクロールの使用例

13. キャラクタジェネレータ

13.1 各 CG の特長

13.1.1 内蔵キャラクタジェネレータ

内蔵キャラクタジェネレータは、S1D13700F02、表示 RAM、LCD パネル、シングルチップのマイクロプロセッサ、および電源で構成される最小システム構成で推奨されています。内蔵キャラクタジェネレータは CMOS マスク ROM を使用しているため、低出力のアプリケーションでも推奨されています。

- 5 x 7 ピクセルフォント（130 ページの 16. 項「内蔵キャラクタジェネレータのフォント」を参照）
- JIS 準拠 160 文字
- キャラクタジェネレータ RAM との混用可能（CGRAM 最大 64 文字）
- 最大 8 x 16 ピクセルまで自動的にスペースを挿入可能

13.1.2 キャラクタジェネレータ RAM

キャラクタジェネレータ RAM は、グラフィック文字の格納に使用できます。キャラクタジェネレータ RAM は、マイクロプロセッサによって任意の表示メモリ位置にマッピングすることができ、未使用のアドレス空間を有効に使用することができます。

- REG[00h] ビット 2 = 0 のとき、最大 8 x 8 ピクセル文字。REG[00h] ビット 2 = 1 のとき、最大 8 x 16 文字
- キャラクタジェネレータ ROM とともに使用する場合 (REG[00h] ビット 0 = 0)、表示メモリアドレス空間の任意の場所にマッピングが可能

注

CGRAM (CGRAM1 や CGRAM2 など) を使用する場合は、1bpp だけがサポートされます。

13. キャラクタジェネレータ

13.2 キャラクタジェネレータアドレスの設定

表示メモリアドレス空間の CGRAM アドレスは、Character Generator RAM Start Address レジスタ (REG[19h] ~ REG[1Ah]) のアドレスから直接マッピングされません。表示されるデータは、(REG[19h] ~ REG[1Ah]) + 文字コード + ROW セレクトアドレスから計算される CGRAM アドレスにあります。ROW セレクトアドレスについては、103 ページの図 13-1 「ROW セレクトアドレス」を参照してください。

以下の表は、CGRAM アドレスのアドレスマッピングを示しています。

表 13-1: 文字フォント (ライン数 ≤ 8 (REG[00h] ビット 2 = 0) の場合)

SAG	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
文字コード	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0
+ROW セレクトアドレス	0	0	0	0	0	0	0	0	0	0	0	0	0	R2	R1	R0
CGRAM アドレス	VA15	VA14	VA13	VA12	VA11	VA10	VA9	VA8	VA7	VA6	VA5	VA4	VA3	VA2	VA1	VA0

表 13-2: 文字フォント (ライン数 ≤ 16 (REG[00h] ビット 2 = 1) の場合)

SAG	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
文字コード	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0
+ROW セレクトアドレス	0	0	0	0	0	0	0	0	0	0	0	0	R3	R2	R1	R0
CGRAM アドレス	VA15	VA14	VA13	VA12	VA11	VA10	VA9	VA8	VA7	VA6	VA5	VA4	VA3	VA2	VA1	VA0

ROW	R3	R2	R1	R0
ROW 0	0	0	0	0
ROW 1	0	0	0	1
ROW 2	0	0	1	0
↓	↓	↓	↓	↓
ROW 7	0	1	1	1
ROW 8	1	0	0	0
↓	↓	↓	↓	↓
ROW 14	1	1	1	0
ROW 15	1	1	1	1

ライン数 1 (ROW 0 to ROW 7)
 ライン数 2 (ROW 8 to ROW 15)

図 13-1: ROW セレクトアドレス

注

- ライン数 = 1: 文字ビットマップのライン数 ≤ 8
 ライン数 = 2: 文字ビットマップのライン数 ≥ 9

13. キャラクタジェネレータ

13.2.1 CGRAM アドレス指定の例

例1: 82 ページの図 12-1 の "A" のパターンを定義します。CGRAM テーブルの開始アドレスは 4800h です。定義されたパターンの文字コードは 80h です (CGRAM 領域の最初の文字コード)。

105 ページの図 13-2 「内蔵文字コード」の文字コードに示すように、80h ~ 9Fh および E0h ~ EFh のコードが CGRAM に割り当てられており、希望どおりに使用することができます。80h は、CGRAM の最初のコードです。グラフィックモードのみを使用する場合、文字を使用することはできないため、CGRAM データを設定する必要はありません。

表 13-3: 文字データの例

CGRAM ADR	5Ch	
P1	00h	CGRAM アドレスの計算を逆にして SAG を計算
P2	40h	
CSRDIR	4Ch	カーソルシフト方向を右に設定
CSRW	46h	
P1	00h	CGRAM の開始アドレスは 4800h
P2	48h	
MWRITE	42h	
P	70h	ROW 0 のライトデータ
P2	88h	ROW 1 のライトデータ
P3	88h	ROW 2 のライトデータ
P4	88h	ROW 3 のライトデータ
P5	F8h	ROW 4 のライトデータ
P6	88h	ROW 5 のライトデータ
P7	88h	ROW 6 のライトデータ
P8	00h	ROW 7 のライトデータ
P9	00h	ROW 8 のライトデータ
↓	↓	↓
P16	00h	ROW 15 のライトデータ

13.3 文字コード

以下の図は、文字コードと CGRAM に割り当てられたコードを示しています。内蔵 ROM を使用しない場合、すべてのコードは CGRAM で使用できますが、CGRAM のアドレスを 0 に設定する必要があります。

注

CGRAM1 または CGRAM2 のいずれかを使用する場合、1bpp だけがサポートされます。

		上位 4 ビット															
下位 4 ビット	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	■	0	@	P	'	p						ー	夕	ミ			
1	■	!	1	A	Q	a	q				。	ア	子	ル			
2	■	"	2	B	R	b	r				「	イ	ツ	メ			
3	■	#	3	C	S	c	s				」	ウ	テ	モ			
4	■	\$	4	D	T	d	t				、	エ	ト	ヤ			
5	■	%	5	E	U	e	u				・	オ	ナ	ユ			
6	■	&	6	F	V	f	v				ヲ	カ	ニ	ヨ			
7	■	'	7	G	W	g	w				ヲ	キ	ヌ	ラ			
8	■	(8	H	X	h	x				イ	ク	ネ	リ			
9	■)	9	I	Y	i	y				っ	ケ	ル	ル			
A	■	*	:	J	Z	j	z				エ	コ	ハ	レ			
B	■	+	;	K	[k	{				オ	サ	ヒ	□			
C	■	,	<	L	¥	l					ハ	シ	フ	ワ			
D	■	.	=	M]	m	}				ユ	ス	ハ	ン			
E	■	-	>	N	^	n	→				ヨ	セ	ホ	、			
F	■	/	?	O	_	o	←				ツ	リ	マ	□			

CGRAM1 ↑ ↑
CGRAM2 ↑ ↑

図13-2: 内蔵文字コード

14. マイクロプロセッサのインタフェース

14. マイクロプロセッサのインタフェース

14.1 システムバスのインタフェース

CNF[4:0]、A[15:1]、A0、D[7:0]、RD#、WR#、AS、および CS が、マイクロプロセッサのデータバスの制御信号として使用されます。A0 は通常、システムアドレスバスの最下位ビットに接続します。CNF[4:2] は、Generic (Z80)、M6800、または MC68K ファミリのバスのいずれかにインタフェース接続できるように、RD# 端子と WR# 端子の動作を変更するためのもので、15 ページの表 5-6 「構成オプションの要約」に従ってプルアップまたはプルダウンする必要があります。

14.1.1 Generic

以下の表は、各機能の信号状態を示しています。

表 14-1: Generic のインタフェース信号

A0	RD#	WR#	機能
1	0	1	表示データとカーソルアドレスの読み出し
0	1	0	表示データとパラメータの書き込み
1	1	0	コマンドの書き込み

14.1.2 M6800 ファミリ

以下の表は、各機能の信号状態を示しています。

表 14-2: M6800 ファミリのインタフェース信号

A0	R/W#	E	機能
1	1	1	表示データとカーソルアドレスの読み出し
0	0	1	表示データとパラメータの書き込み
1	0	1	コマンドの書き込み

14.1.3 MC68K ファミリ

以下の表は、各機能の信号状態を示しています。

表 14-3: MC68K ファミリのインタフェース信号

A0	RD/WR#	LDS#	機能
1	1	0	表示データとカーソルアドレスの読み出し
0	0	0	表示データとパラメータの書き込み
1	0	0	コマンドの書き込み

15. アプリケーションノート

15.1 レジスタの初期設定 / 初期設定パラメータ

パラメータ名の太括弧は、パラメータレジスタに書き込まれた値ではなく、パラメータによって表される数値を示しています。たとえば、[FX] = FX + 1 です。

15.1.1 SYSTEM SET コマンドとパラメータ

- FX

水平文字フィールドサイズは、ピクセル単位の水平表示サイズ [VD] と、ライン当たりの文字数 [VC] から算出されます。

$$[VD] \div [VC] = [FX]$$

- C/R

C/R は、VC と FX から算出することができます。

$$[C/R] = \text{RNDUP}([FX] \div 8) [VC]$$

ここで RNDUP(x) は、次の上位の整数に切り上げることを表しています。[C/R] は文字数ではなく、ライン当たりのバイト数です。

- TC/R

TC/R は、 $[TC/R] \geq [C/R] + 2$ の条件を満たす必要があります。

- L/F

フレーム当たりのライン数は、表示の垂直解像度によって算出されます。

- f_{SYSCLK} と f_{FR}

TC/R が設定されていれば、フレーム周波数 f_{FR} およびフレーム当たりのライン数 [L/F] も設定されています。選択した中間階調の数値 (bpp) と水平文字フィールドサイズ [FX] に応じた、以下のいずれかの式によって、発振周波数 f_{SYSCLK} が求められます。

1bpp で $[FX] \geq 8$ の場合：

$$f_{\text{SYSCLK}} = 2 \times [\text{ClockDiv}] \times \text{Ffr} \times [L/F] \times F \quad (\text{Hz})$$

ここで、

$$A = [TC/R] - [C/R]$$

$$B = \text{RNDDN}([C/R] \times [FX] \div 8)$$

$$C = 16 \times \text{RNDUP}(B \div 16)$$

$$D = C - B$$

$$E = (B \times 16 \div [FX] + D) \div 2$$

$$F = A + E$$

1bpp で $[FX] < 8$ の場合：

$$f_{\text{SYSCLK}} = 2 \times [\text{ClockDiv}] \times \text{Ffr} \times [L/F] \times F \quad (\text{Hz})$$

15. アプリケーションノート

ここで、

$$A = [TC/R] - [C/R]$$

$$B = RNDDN([C/R] \times [FX] \div 4)$$

$$C = 16 \times RNDUP(B \div 16)$$

$$D = C - B$$

$$E = (B \times 8 \div [FX] + D) \div 2$$

$$F = A + E$$

2bpp の場合 :

$$f_{\text{SYSCLK}} = 2 \times [\text{ClockDiv}] \times \text{Ffr} \times [L/F] \times (A + C + 1) \quad (\text{Hz})$$

ここで、

$$A = [TC/R] - [C/R] + 1$$

$$B = RNDDN([C/R] \times [FX] \div 8)$$

$$C = 16 \times RNDUP(B \div 16)$$

4bpp の場合 :

$$f_{\text{SYSCLK}} = 2 \times [\text{ClockDiv}] \times \text{Ffr} \times [L/F] \times (A + 2 \times C + 2) \quad (\text{Hz})$$

ここで、

$$A = [TC/R] - [C/R] + 2$$

$$B = RNDDN([C/R] \times [FX] \div 16)$$

$$C = 16 \times RNDUP(B \div 16)$$

上記のすべての例において、

ClockDiv は 4、8、または 16 です。

Ffr はフレームレートです。

f_{SYSCLK} の計算値に近い標準の水晶振動子が存在しない場合、高い方の周波数の水晶振動子を使用することにより、上記の式のいずれかを使用して TC/R の値を修正することができます。

- 誤った TC/R 設定の兆候を以下に示します。これらのいずれかが発生した場合、TC/R の値を調べて、必要であれば修正してください。
 - 垂直スキャンが停止し、コントラストの強い横線が表示される。
 - すべてのピクセルがオンまたはオフになる。
 - FPLINE 出力信号が欠落している、または破損している。
 - 表示が不安定である。

表 15-1: パネルの計算

製品の解像度 (X × Y)	[FX]	[FY]	[C/R]	[TC/R]	f_{osc} (MHz) 注 2 を参照
256 × 64	[FX] = 6 ピクセル: 256 ÷ 6 = 42 余り 4 = 4 ブランクピクセル	画面に応じて 8 または 16	[C/R] = 42 バイト。HDOT SCR の 使用時は、[C/R] = 43 バイト	46	1.66
512 × 64	[FX] = 6 ピクセル: 512 ÷ 6 = 85 余り 2 = 2 ブランクピクセル	画面に応じて 8 または 16	[C/R] = 85 バイト。HDOT SCR の 使用時は、[C/R] = 86 バイト	98	3.52
256 × 128	[FX] = 6 ピクセル: 256 ÷ 8 = 32 余り 0 = ブランクピクセルなし	画面に応じて 8 または 16	[C/R] = 32 バイト。HDOT SCR の 使用時は、[C/R] = 33 バイト	36	2.5
512 × 128	[FX] = 10 ピクセル: 256 ÷ 10 = 51 余り 2 = 2 ブランクピクセル	画面に応じて 8 または 16	[C/R] = 102 バイト。HDOT SCR の使用時は、[C/R] = 103 バイト	120	8.6

注

- ¹ ディスプレイの右側の残りのピクセルは、S1D13700F02 によって自動的にブランクになります。これらのピクセルに対応する表示メモリをゼロにする必要はありません。
- ² フレーム周波数 70Hz、1bpp、およびクロックの分周 4 を想定しています。

15. アプリケーションノート

15.1.2 初期設定の例

以下に示した初期設定の例は、8ビットマイクロプロセッサのインタフェースバスと Epson EG4810S-AR 表示装置を備えた S1D13700F02 を使用した場合の例です。

インダイレクトアドレス指定

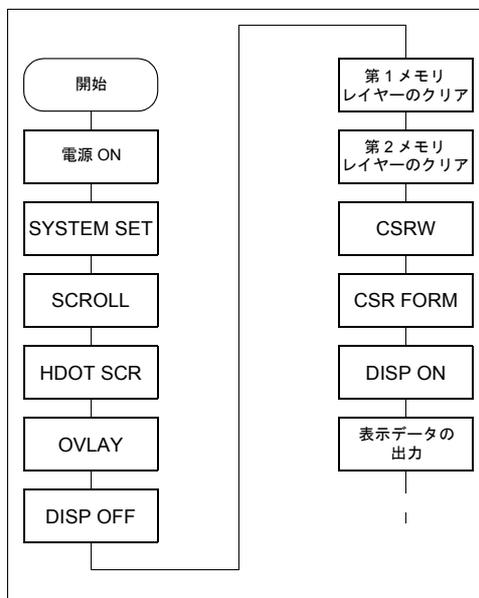


図15-1: 初期設定の手順

注

カーソルアドレスを各画面のレイヤーメモリの先頭に設定し、MWRITE を使用してメモリにスペース文字 20h (テキスト画面専用) または 00h (グラフィック画面専用) を書き込みます。クリアするメモリの決定方法は、115 ページの 15.1.3 項「表示モードの設定例 1: テキストとグラフィックの重ね合わせ」で説明します。

表15-2: インダイレクトアドレス指定の初期設定の手順

No.	コマンド	動作
1	電源投入	
2	電源供給	
3	SYSTEM SET	
	C = 40h	
	3ms delay	水晶振動子を使用する場合は 3ms 待ってください。 外部発振器を使用する場合、ディレイは不要です。
	P1 = 38h	M0: 内蔵 CGROM (REG[00h] ビット 0) M2: 8 ライン / 文字 (REG[00h] ビット 2) W/S: デュアルパネル駆動 (REG[00h] ビット 3) IV: 最上ライン補正をなしに設定 (REG[00h] ビット 5)
	P2 = 87h	FX: 水平文字サイズ = 8 ピクセル (REG[01h] ビット 3 ~ 0) MOD: デュアルパネル交流駆動 (REG[01h] ビット 7)

表 15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

No.	コマンド	動作
4	P3 = 07h P4 = 3Fh P5 = 49h P6 = 7Fh P7 = 80h P8 = 00h SCROLL C = 44h P1 = 00h P2 = 00h P3 = 40h P4 = 00h P5 = 10h P6 = 40h P7 = 00h P8 = 04h P9 = 00h P10 = 30h	FY: 垂直文字サイズ = 8 ピクセル (REG[02h] ビット 3 ~ 0) C/R: 64 の表示アドレス / ライン (REG[03h] ビット 7 ~ 0) TC/R: 総アドレス範囲 / ライン = 90 (REG[04h] ビット 7 ~ 0) fOSC = 6.5MHz、fFR = 70Hz L/F: 128 の表示ライン (REG[05h] ビット 7 ~ 0) AP: 仮想スクリーンの水平サイズは 128 アドレス (REG[06h] ビット 7 ~ 0、REG[07h] ビット 7 ~ 0) 第 1 ブロック画面の開始アドレス (REG[0Bh] ビット 7 ~ 0、REG[0Ch] ビット 7 ~ 0) 0000h に設定 第 1 ブロック画面の表示ライン数 = 64 (REG[0Dh] ビット 7 ~ 0) 第 2 ブロック画面の開始アドレス (REG[0Eh] ビット 7 ~ 0、REG[0Fh] ビット 7 ~ 0) 1000h に設定 第 2 ブロック画面の表示ライン数 = 64 (REG[10h] ビット 7 ~ 0) 第 3 ブロック画面の開始アドレス (REG[11h] ビット 7 ~ 0、REG[12h] ビット 7 ~ 0) 0400h に設定 第 4 ブロック画面の開始アドレス (REG[13h] ビット 7 ~ 0、REG[14h] ビット 7 ~ 0) 3000h に設定
表示メモリ <p>(SAD1) 0000h 第 1 表示メモリページ (SAD3) 0400h 第 2 表示メモリページ 0800h (SAD2) 1000h 第 3 表示メモリページ (SAD4) 3000h 第 4 表示メモリページ 5000h</p>		
5	HDOT SCR C = 5Ah	水平ピクセルシフトを 0 に設定 (REG[1Bh] ビット 2 ~ 0)
6	OVLAY C = 5Bh P1 = 01h	MX1、MX0: 白黒反転重ね合わせ (REG[18h] ビット 1 ~ 0) DM1: 第 1 ブロック画面はテキストモード (REG[18h] ビット 2) DM2: 第 3 ブロック画面はテキストモード (REG[18h] ビット 3)
7	DISP ON/OFF C = 58h P1 = 56h	D: 表示オフ (REG[09h] ビット 0) FC1、FC0: 2Hz でカーソルフラッシング (REG[0Ah] ビット 1 ~ 0)

15. アプリケーションノート

表 15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

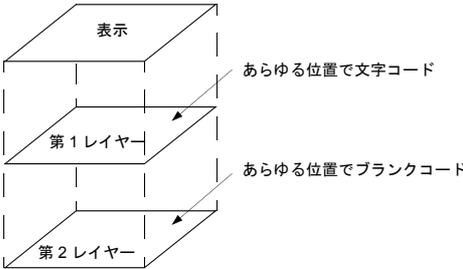
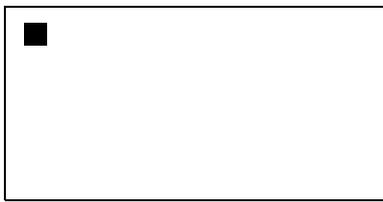
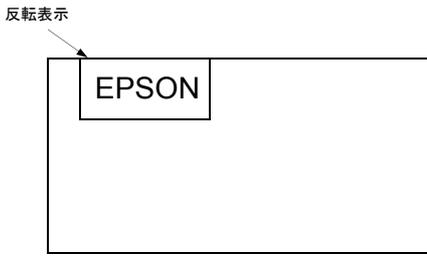
No.	コマンド	動作
8	FP1, FP0: 第 1 レイヤーのデータクリア	第 1 ブロック画面オン (REG[0Ah] ビット 3 ~ 2)
9	FP3, FP2: 第 2 レイヤーのデータクリア	第 2/ 第 4 ブロック画面オン (REG[0Ah] ビット 5 ~ 4)
	FP5, FP4:	第 3 ブロック画面オン (REG[0Ah] ビット 7 ~ 6)
		第 1 画面レイヤーメモリに 20h (スペース文字) を書き込む
		第 2 画面レイヤーメモリに 00h (ブランクデータ) を書き込む
		
10	CSRW C = 46h	
11	P1 = 00h P2 = 00h CSR FORM C = 5Dh	カーソルを第 1 ブロック画面の先頭に設定 (REG[1Ch] ビット 7 ~ 0, REG[1Dh] ビット 7 ~ 0)
	P1 = 04h P2 = 86h	CRX: 水平カーソルサイズ = 5 ピクセル (REG[15h] ビット 3 ~ 0) CRY: 垂直カーソルサイズ = 7 ピクセル (REG[16h] ビット 3 ~ 0) CM: ブロックカーソル (REG[16h] ビット 7)
12	DISP ON/OFF C = 59h P = 56h	表示オン 
13	CSR DIR C = 4Ch	カーソルシフト方向を右方向に設定 (REG[17h] ビット 1 ~ 0)
14	MWRITE C = 42h	
	P1 = 20h	' '
	P2 = 45h	'E'
	P3 = 50h	'P'
	P4 = 53h	'S'
	P5 = 4Fh	'O'

表 15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

No.	コマンド	動作
15	P6 = 4Eh	'N'
		
16	CSRW	カーソルを第2ブロック画面の先頭に設定 (REG[1Ch] ビット7~0、REG[1Dh] ビット7~0)
	C = 46h	
	P1 = 00h	
	P2 = 10h	
17	CSR DIR	カーソルシフト方向を下方向に設定 (REG[17h] ビット1~0)
	C = 4Fh	
18	MWRITE	'E' の左側の正方形を塗り潰す
	C = 42h	
	P1 = FFh	
	↓	
	P9 = FFh	
19	CSRW	カーソルアドレスを 1001h に設定 (REG[1Ch] ビット7~0、REG[1Dh] ビット7~0)
	C = 46h	
	P1 = 01h	
	P2 = 10h	
20	MWRITE	ライン1の2列目に第2ブロック画面を埋める
	C = 42h	
	P1 = FFh	
	↓	
	P9 = FFh	
21	CSRW	18と19の操作を繰り返して、'EPSON'の背景を埋める (REG[1Ch] ビット7~0、REG[1Dh] ビット7~0)
		
↓		
29	MWRITE	

15. アプリケーションノート

表 15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

No.	コマンド	動作
30	CSRW C = 46h P1 = 00h P2 = 01h	カーソルを第 1 ブロック画面のライン 3 に設定 (REG[1Ch] ビット 7 ~ 0、REG[1Dh] ビット 7 ~ 0)
31	CSR DIR C = 4Ch	カーソルシフト方向を右方向に設定 (REG[17h] ビット 1 ~ 0)
32	MWRITE C = 42h P1 = 44h P2 = 6Fh P3 = 74h P4 = 20h P5 = 4Dh P6 = 61h P7 = 74h P8 = 72h P9 = 69h P10 = 78h P11 = 20h P12 = 4Ch P13 = 43h P14 = 44h	'D' 'o' 't' ' ' 'M' 'a' 't' 'r' 'i' 'x' ' ' 'L' 'C' 'D' 反転表示 

15.1.3 表示モードの設定例 1: テキストとグラフィックの重ね合わせ

条件

- 320 × 200 ピクセル、シングルパネル駆動 (1/200 デューティサイクル)
- 第1レイヤー: テキスト表示
- 第2レイヤー: グラフィック表示
- 文字フォント: 8 × 8 ピクセル
- CGRAM 不要

表示メモリの割り当て

- 第1レイヤー (テキスト): $320 \div 8 = 40$ 文字 / ライン、 $200 \div 8 = 25$ ライン。必要なメモリサイズ = $40 \times 25 = 1000$ バイト
- 第2レイヤー (グラフィック): $320 \div 8 = 40$ 文字 / ライン、 $200 \div 1 = 200$ ライン。必要なメモリサイズ = $40 \times 200 = 8000$ バイト

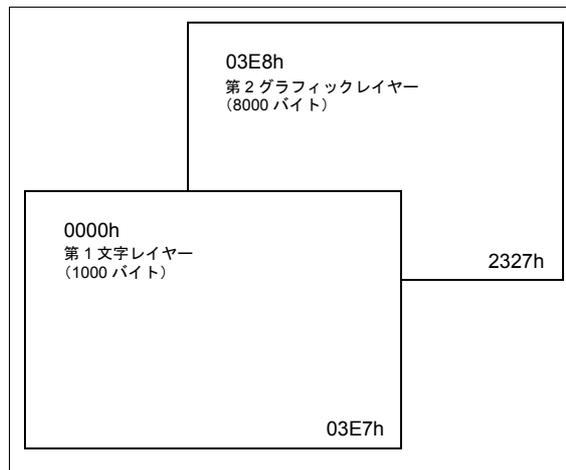


図 15-2: 文字レイヤーとグラフィックレイヤー

15. アプリケーションノート

レジスタの設定手順

SYSTEM SET

C = 40h

3ms delay

P1 = 30h

P2 = 87h

P3 = 07h

P4 = 27h

P5 = 34h

P6 = C7h

P7 = 28h

P8 = 00h

SCROLL

C = 44h

P1 = 00h

P2 = 00h

P3 = C8h

P4 = E8h

P5 = 03h

P6 = C8h

P7 = Xh

P8 = Xh

P9 = Xh

P10 = Xh

CSRFORM

C = 5Dh

P1 = 04h

P2 = 86h

HDOT SCR

C = 5Ah

P1 = 00h

OVLAY

C = 5Bh

P1 = 00h

DISP ON/OFF

C = 59h

P1 = 16h

X = 任意

TC/R の算出

水晶振動子を使用する場合は 3ms 待ってください。

$f_{OSC} = 6\text{MHz}$ (107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」を参照)

$f_{FR} = 70\text{Hz}$ (107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」を参照)

$[TC/R] = 52$ であるから、 $TC/R = 34h$

15.1.4 表示モードの設定例 2: グラフィックとグラフィックの重ね合わせ

条件

- 320 × 200 ピクセル、シングルパネル駆動 (1/200 デューティサイクル)
- 第1 レイヤー: グラフィック表示
- 第2 レイヤー: グラフィック表示

表示メモリの割り当て

- 第1 レイヤー (グラフィック) : $320 \div 8 = 40$ 文字 / ライン、 $200 \div 1 = 200$ ライン。
必要なメモリサイズ = $40 \times 200 = 8000$ バイト
- 第2 レイヤー (グラフィック) : $320 \div 8 = 40$ 文字 / ライン、 $200 \div 1 = 200$ ライン。
必要なメモリサイズ = 8000 バイト

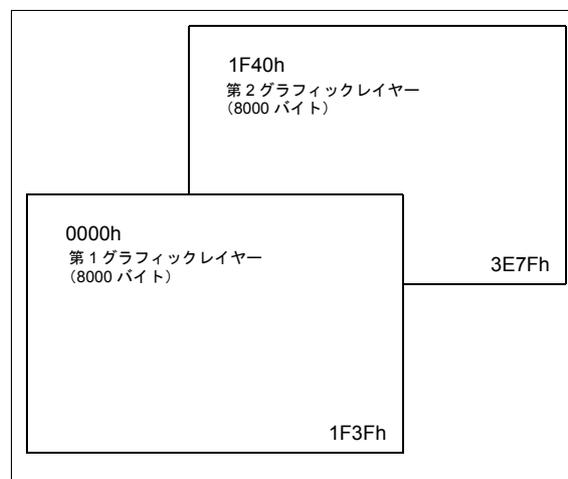


図15-3: 2つのグラフィックレイヤー

15. アプリケーションノート

レジスタの設定手順

SYSTEM SET

C = 40h

3ms delay

P1 = 30h

P2 = 87h

P3 = 07h

P4 = 27h

P5 = 34h

P6 = C7h

P7 = 28h

P8 = 00h

SCROLL

C = 44h

P1 = 00h

P2 = 00h

P3 = C8h

P4 = 40h

P5 = 1Fh

P6 = C8h

P7 = Xh

P8 = Xh

P9 = Xh

P10 = Xh

CSRFORM

C = 5Dh

P1 = 07h

P2 = 87h

HDOT SCR

C = 5Ah

P1 = 00h

OVLAY

C = 5Bh

P1 = 0Ch

DISP ON/OFF

C = 59h

P1 = 16h

X = 任意

TC/R の算出

水晶振動子を使用する場合は 3ms 待ってください。

$f_{OSC} = 6\text{MHz}$ (107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」を参照)

$f_{FR} = 70\text{Hz}$ (107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」を参照)

$[TC/R] = 52$ であるから、 $TC/R = 34h$

15.1.5 表示モードの設定例 3: 3つのグラフィックレイヤーの重ね合わせ

条件

- 320×200 ピクセル、シングルパネル駆動（1/200 デューティサイクル）
- 第1レイヤー：グラフィック表示
- 第2レイヤー：グラフィック表示
- 第3レイヤー：グラフィック表示

表示メモリの割り当て

- すべてのレイヤー（グラフィック）： $320 \div 8 = 40$ 文字/ライン、 $200 \div 1 = 200$ ライン。必要なメモリサイズ = $40 \times 200 = 8000$ バイト

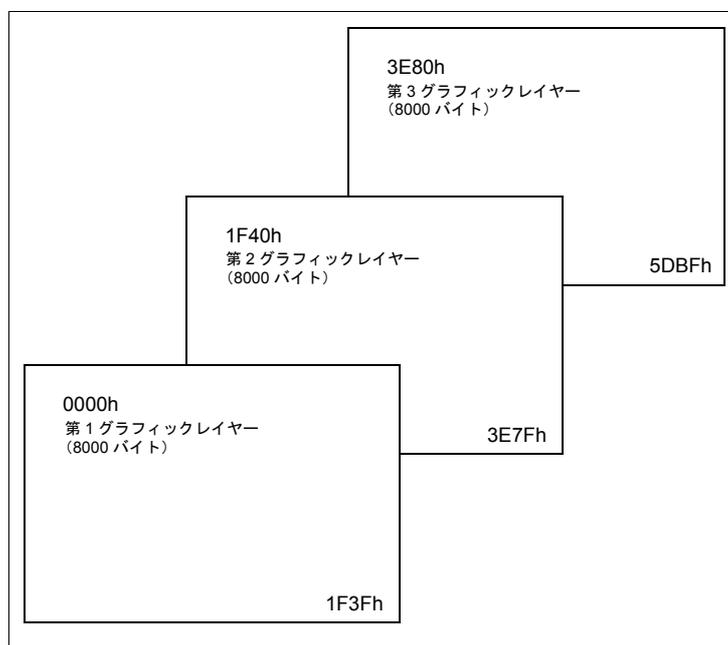


図15-4: 3つのグラフィックレイヤー

15. アプリケーションノート

レジスタの設定手順

SYSTEM SET

C = 40h

3ms delay

P1 = 30h

P2 = 87h

P3 = 07h

P4 = 27h

P5 = 34h

P6 = C7h

P7 = 28h

P8 = 00h

SCROLL

C = 44h

P1 = 00h

P2 = 00h

P3 = C8h

P4 = 40h

P5 = 1Fh

P6 = C8h

P7 = 80h

P8 = 3Eh

P9 = Xh

P10 = Xh

CSR FORM

C = 5Dh

P1 = 07h

P2 = 87h

HDOT SCR

C = 5Ah

P1 = 00h

OVLAY

C = 5Bh

P1 = 1Ch

DISP ON/OFF

C = 59h

P1 = 16h

X = 任意

TC/R の算出

水晶振動子を使用する場合は 3ms 待ってください。

$f_{OSC} = 6\text{MHz}$ (107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」を参照)

$f_{FR} = 70\text{Hz}$ (107 ページの 15.1.1 項「SYSTEM SET コマンドとパラメータ」を参照)

$[TC/R] = 52$ であるから、 $TC/R = 34h$

15.2 システムの概要

4 ページの 3. 項「システム構成図」には、マイクロプロセッサが S1D13700F02 に命令を発行し、S1D13700F02 が LCD パネルを駆動する場合の標準的な S1D13700F02 の実装例がいくつか示されています。S1D13700F02 には、必要な LCD 制御回路がすべて組み込まれているため、最小限の外付け部品だけで、中解像度液晶ディスプレイの総合的なソリューションを構築することができます。

15.3 スムーズな水平スクロール

S1D13700F02 は、122 ページの図 15-5「HDOT SCR の例」に示すように、左方向へのスムーズな水平スクロールをサポートしています。左方向にスクロールすると、画面は実質的に、より大きな仮想スクリーン上を右方向に移動することになります。

ブロック画面開始アドレス (SADx) を変更して表示を 8 ピクセルだけシフトするのではなく、HDOT SCR コマンドの水平ピクセルスクロールのパラメータ (REG[1Bh] ビット 2 ~ 0) を繰り返し変更することで、スムーズなスクロールを実現できます。表示が 7 ピクセルスクロールされると、水平ピクセルスクロールのパラメータは 0 にリセットされ、ブロック画面開始アドレスは 1 つだけインクリメントされます。適切な割合でこの操作を繰り返すことにより、スクロールがスムーズに見えるようになります。

注

表示を右方向にスクロールするには、この手順を逆に行います。

仮想スクリーンの端まで達すると、マイクロプロセッサは、表示が崩れるのを防ぐために適切な処置を行う必要があります。たとえば、スクロールを停止するか、または表示を修正する必要があります。

注

HDOT SCR では、個々のレイヤーに対しての水平スクロールは、サポートされていません。

注

HDOT SCR では、2bpp または 4bpp モードでの水平スクロールはサポートされていません。

15. アプリケーションノート

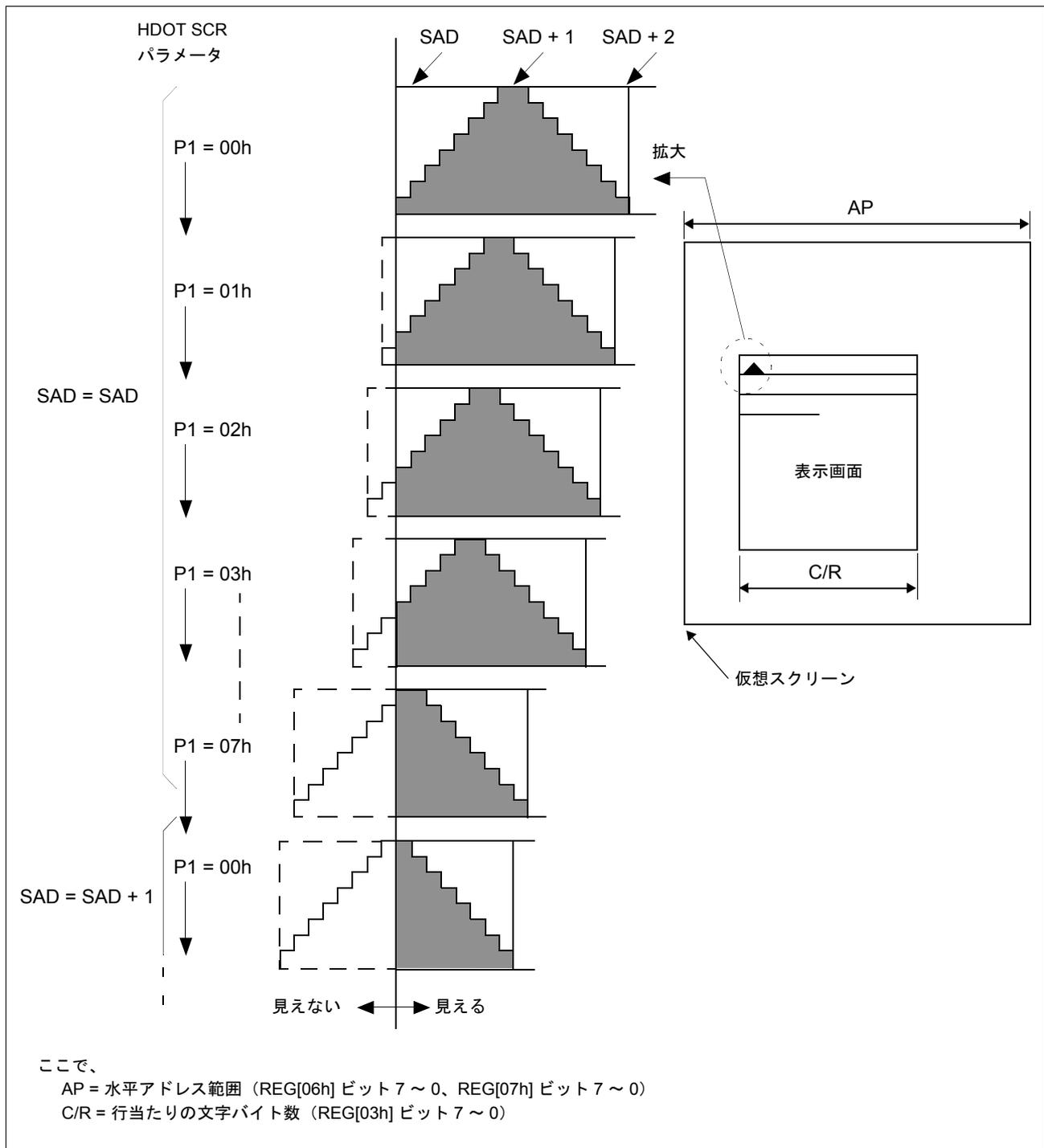


図 15-5: HDOT SCR の例

注

LCD パネルの応答時間は、低温で大幅に変化します。このような条件下でスムーズスクロールを行うと、表示内容が読み取りにくくなる場合があります。

15.4 レイヤー表示のATTRIBUTE

S1D13700F02 には、モノクロ LCD パネルによる表示を向上させるためのいくつかの機能が搭載されています。これにより、白抜き文字、中間階調の文字表示、および選択した画面領域のフラッシングの表示が可能となります。これらの機能は、REG[18h] Overlay レジスタおよび REG[0Ah] Display Attribute レジスタによって制御されます。

ATTRIBUTE	MX1	MX0	合成レイヤーの表示	第 1 レイヤーの表示	第 2 レイヤーの表示
反転	0	1	IV 	IV EPSON	
中間階調	0	0	ME 	ME Yes, No	
部分フラッシング	0 0	0 1	BL 	BL	
罫線	0 0	0 1	RL  LINE	RL LINE LINE	

図 15-6: レイヤー合成

これらの効果は、表示の構成に応じていろいろな方法で実現できます。以下の項でこれらの機能について説明します。

注

1つのレイヤーで、同時にすべての機能を使用することはできません。

15.4.1 反転表示

反転表示の場合、第 1 レイヤーはテキストで、第 2 レイヤーはグラフィックです。

1. CSRW、CSRDIR、MWRITE

反転させる領域のグラフィック画面に書き込みます。

2. OVLAY: MX0 = 1、MX1 = 0 (REG[18h] ビット 1 ~ 0)

2つのレイヤーのレイヤー補正方法を Exclusive-OR に設定します。

3. DISP ON/OFF: FP0 = 1、FP1 = 0、FP2 = 1、FP3 = 0

第 1 レイヤーと第 2 レイヤーをフラッシングなしで表示します。

15. アプリケーションノート

15.4.2 中間階調表示

FP パラメータ（表示アトリビュート）を使用して、表示を 17Hz でフラッシングさせることにより、中間階調表示を生成することができます。ただしこのモードでは、特定の LCD パネルでフリッカー（ちらつき）問題が生じる場合があります。

メニューパッド表示

第 1 レイヤーのフラッシングをオフ、第 2 レイヤーのフラッシングを 17Hz でオンにして、OR 機能を使用してこの 2 つの画面を合成します。

1. REG[18h] Overlay Register = 00h
2. REG[0Ah] Display Attribute Register = 34h

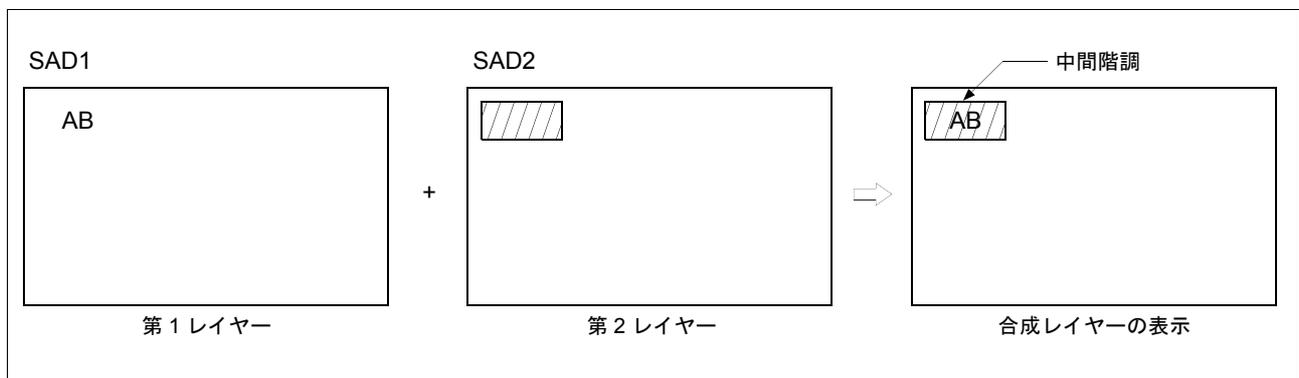


図 15-7: 中間階調の文字およびグラフィック

グラフ表示

合成した 2 つのグラフを画面に表示するには、メニューパッド表示と同じように表示を設定し、各画面レイヤー上に 1 つのグラフを配置します。中間階調表示とフル階調表示のコントラストの差によって、2 つのグラフは容易に識別されるので、人の目を引き付ける表示を作成できます。

1. REG[18h] Overlay Register = 00h
2. REG[0Ah] Display Attribute Register = 34h

15.4.3 フラッシングアトリビュート

狭い領域

選択した文字をフラッシングさせるため、MPU は、この文字コードの文字とブランク文字を 0.5 ～ 1.0 秒の間隔で交互に書き込みます。

広い領域

第 1 レイヤーと第 2 レイヤーの両方をそれぞれ 2 つのブロック画面に分割し、第 2 レイヤーは、フラッシングする領域とその他の領域に分割します。第 2 レイヤーブロック画面のフラッシングする領域を 2Hz でフラッシングし、OR 機能を使用してこのレイヤーを合成します。

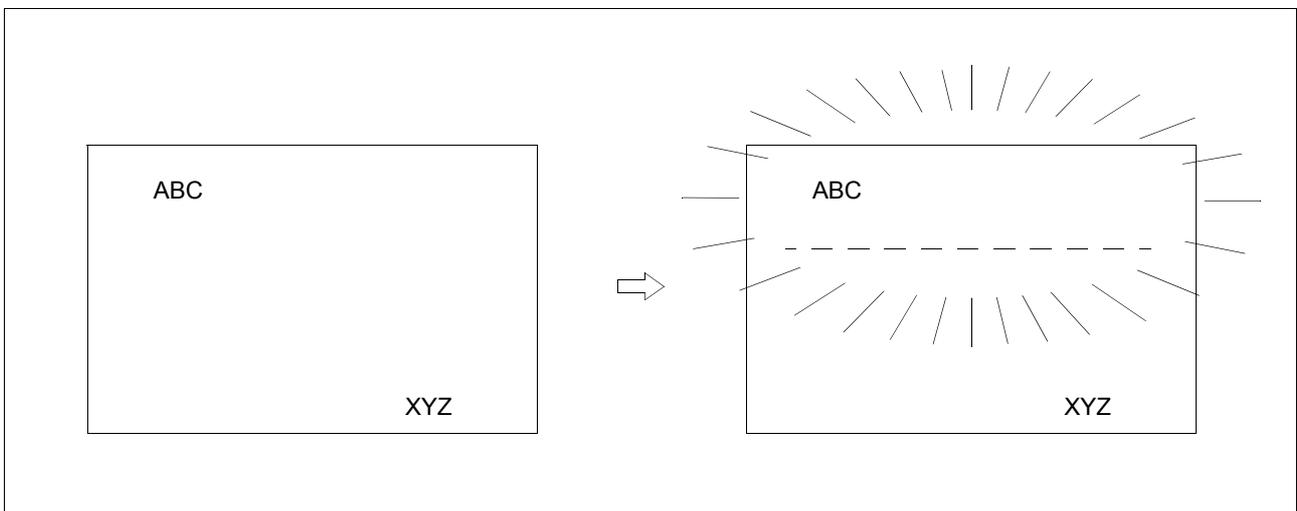


図15-8: 広い領域のフラッシングアトリビュート

15. アプリケーションノート

15.5 16 × 16 ドットのグラフィック表示

15.5.1 コマンドの使用方法

16 × 16 ピクセルの文字を表示するには、以下の手順を使用します。

1. カーソルアドレス (REG[1Ch] ~ REG[1Dh]) を設定します。
2. カーソルシフト方向 (REG[17h] ビット 1 ~ 0) を設定します。
3. 表示メモリに書き込みます。

15.5.2 漢字の表示

大きな文字を書き込むには、以下の方法を使用します。詳細については、127 ページの図 15-9 「グラフィックのアドレスインデックス」のフローチャートを参照してください。

1. CGRAM から文字データを読み出します。
2. 表示アドレスを設定します。
3. 表示メモリに書き込みます。

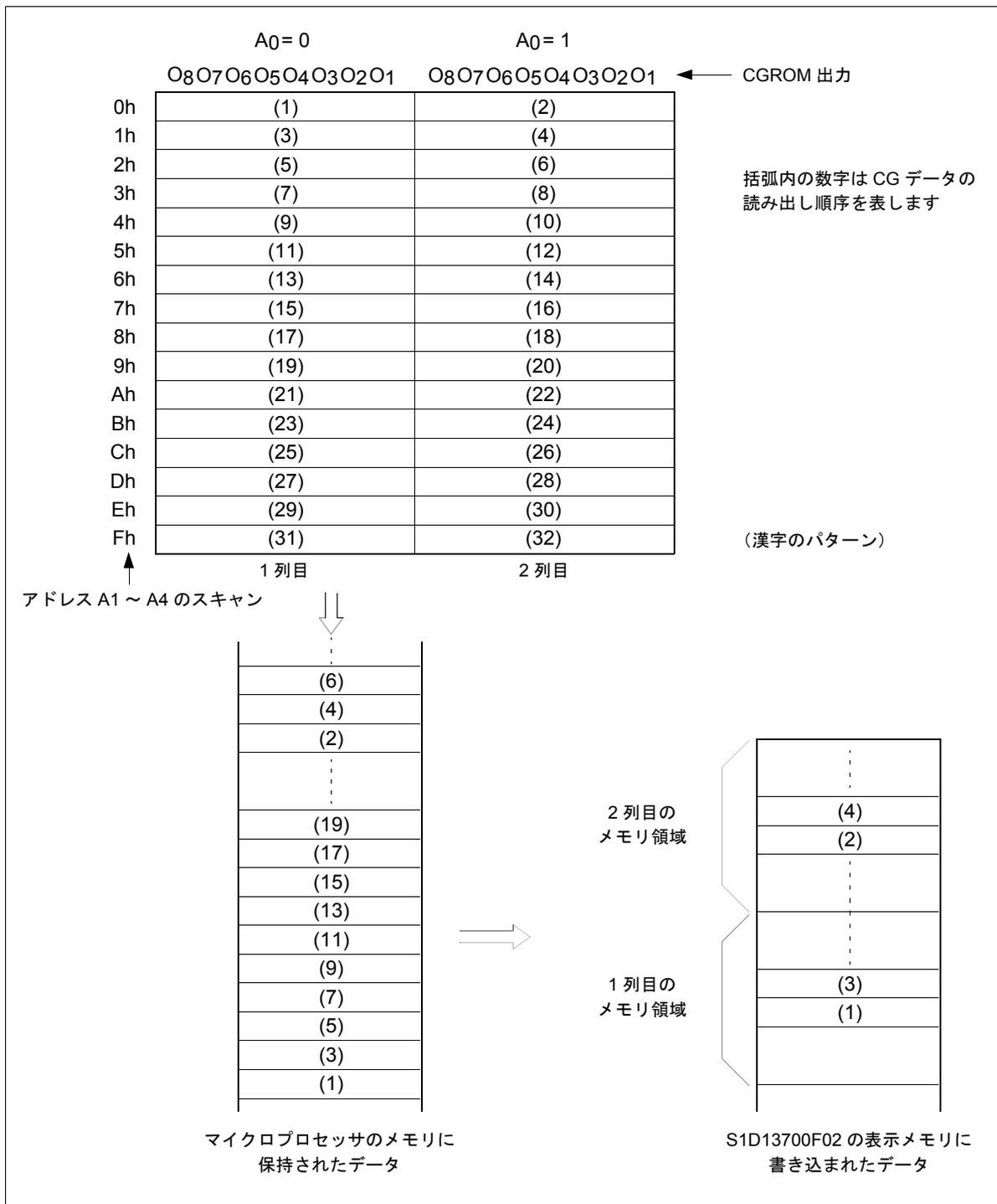


図 15-9: グラフィックのアドレスインデックス

15. アプリケーションノート

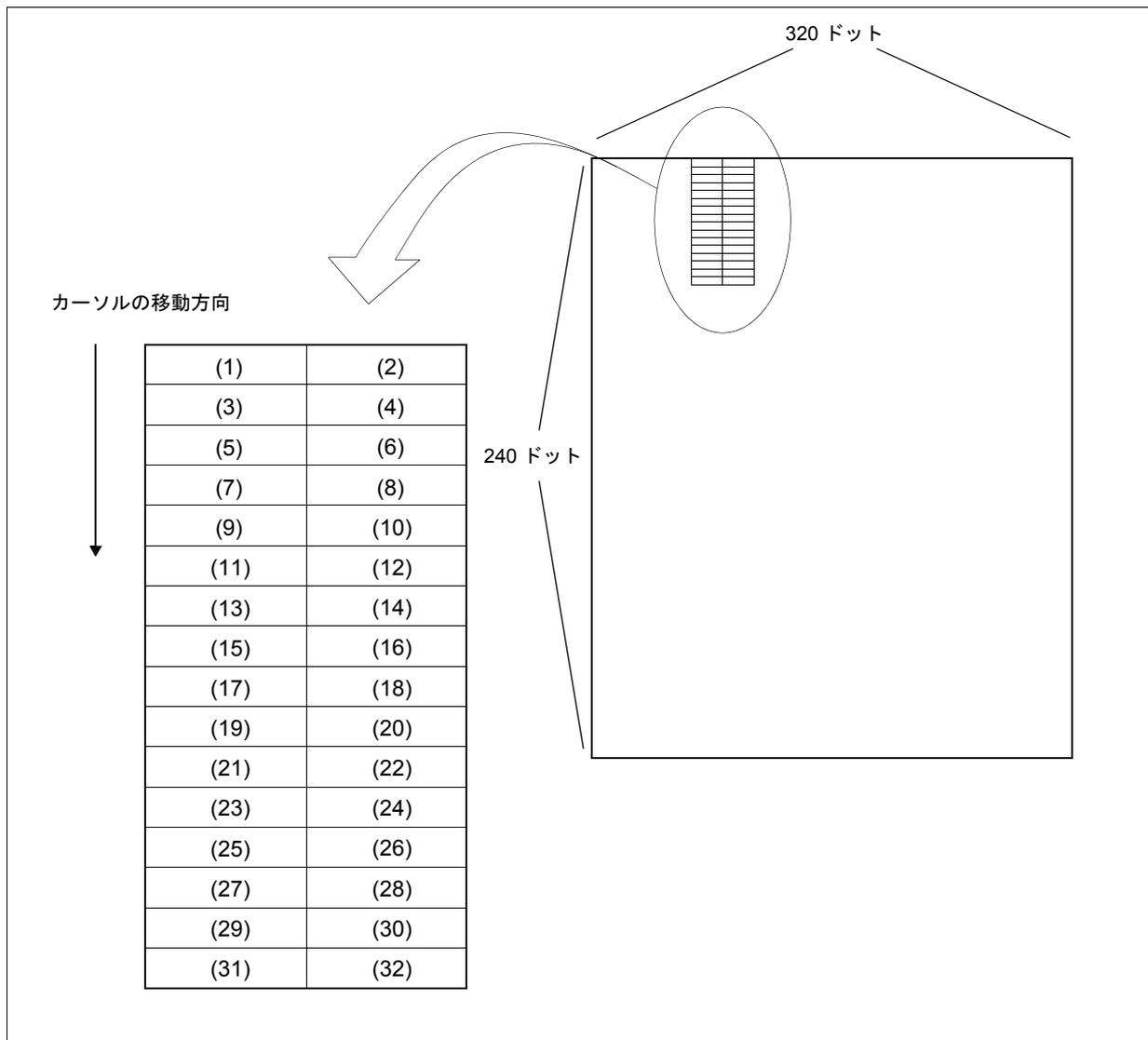
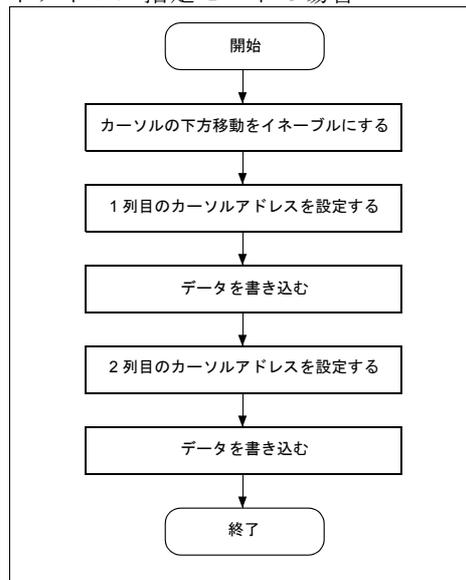


図15-10: グラフィックのビットマップ

外部のキャラクタジェネレータ RAM を使用すると、8 × 16 ピクセルのフォントを使用することができ、16 × 16 ピクセルの文字を2つのセグメントで表示できるようになります。CGRAM のデータ形式は、101 ページの図 13. 「キャラクタジェネレータ」に記載されています。これにより、最大 128 の 16 x 16 ピクセル文字の表示が可能となります。CGRAM を使用する場合も、固定の 96 文字とバンク切り替え可能な 32 文字もサポートされています。

ダイレクトアドレス指定モードの場合



インダイレクトアドレス指定モードの場合

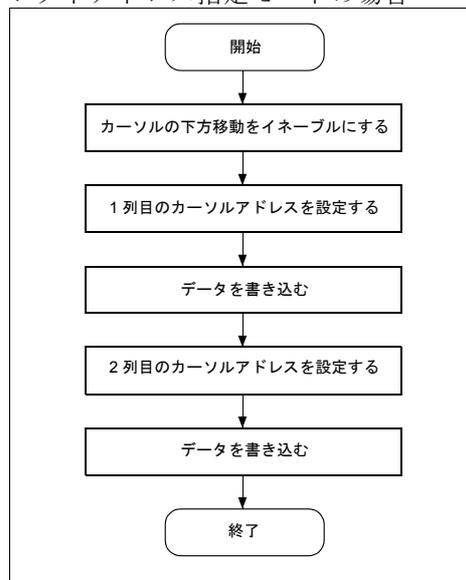


図15-11: 16×16 ドット表示のフローチャート

16. 内蔵キャラクタジェネレータのフォント

16. 内蔵キャラクタジェネレータのフォント

		文字コードビット0～3															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
文字コードビット4～7	2		!	"	#	\$	%	&	'	()	*	+	,	-	.	/
	3	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
	4	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
	5	P	Q	R	S	T	U	V	W	X	Y	Z	[]	^	_	`
	6	`	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o
	7	p	q	r	s	t	u	v	w	x	y	z	{	}	~	`	`
	A		`	`	`	`	`	`	`	`	`	`	`	`	`	`	`
	B	`	`	`	`	`	`	`	`	`	`	`	`	`	`	`	`
	C	`	`	`	`	`	`	`	`	`	`	`	`	`	`	`	`
	D	`	`	`	`	`	`	`	`	`	`	`	`	`	`	`	`
1																	

図16-1: 内蔵文字セット

注

網掛けした場所は、6×8ビットマップ全体が黒色の文字を示します。

17. パワーセーブモード

S1D13700F02 は、電力が効率化された状態に移行するパワーセーブモードをサポートしています。パワーセーブモードは、パワーセーブモードイネーブルビット (REG[08h] ビット 0) によって制御されます。S1D13700F02 は、イネーブルビットを設定してから少なくとも 1 フレーム後にパワーセーブモードに移行します。

パワーセーブモードがイネーブルのとき、ブランクデータが X ドライバに送出され、Y ドライバは、YDIS 信号によってバイアス電源をオフにします。YDIS 信号を使用して Y ドライバをディセーブルにすることで、誤った表示を防ぎます。パワーセーブ状態の間、S1D13700F02 の内部レジスタはその値を維持し、また表示メモリの制御端子は、ロジックレベルを維持し、表示メモリが破損されないようにします。

S1D13700F02 のパワーセーブモードは、パワーセーブモードイネーブルビット (REG[08h] ビット 0) に 0 を書き込むことによって解除されます。ただし、パワーセーブモードをディセーブルにした後、ダイレクトアドレス指定モードでは、任意のレジスタへのダミーライトを 1 回実行する必要があるため、インダイレクトアドレス指定モードでは、少なくとも 2 回のダミーライトを実行する必要があります。

インダイレクトアドレス指定モードの場合、POWER SAVE コマンドにはパラメータのバイトはありません。インダイレクトアドレス指定モードの場合、SYSTEM SET コマンドによってパワーセーブモードが終了します。

1. YDIS 信号は、POWER SAVE コマンドを受け取った後、1～2 フレームの間に LOW になります。YDIS は、すべての表示ドライバの出力を選択解除の出力電圧にするので、YDIS を LCD 装置のパワーダウン信号として使用できます。これは、YDIS によって、表示をブランクにすると同時に比較的高出力の LCD ドライブ電源をオフにすることで実行できます。
2. S1D13700F02 のすべての内部クロックは、パワーセーブモードがイネーブルの間は停止するため、LCD ドライブ電源がオンのままの場合、DC 電圧が LCD パネルに加えられます。信頼性を第一に考慮するのであれば、POWER SAVE コマンドを発行する前に LCD ドライブ電源をオフにしてください。
3. パワーセーブモードがイネーブルのとき、バスのラインはハイインピーダンスになります。バスを固定状態にしなければならない場合は、プルアップまたはプルダウン抵抗を使用してください。

表 17-1: パワーセーブモード時の LCD 端子の状態

LCD 端子	表示がオフ時の状態	パワーセーブモード時の状態
YDIS	Low	Low
FPFRAME	Low	Low
YSCL	High	High
MOD	Low	Low
FPLINE	Low	Low
XECL	Low	Low
FPSHIFT	X	Low

17. パワーセーブモード

表 17-1: パワーセーブモード時の LCD 端子の状態 (続き)

LCD 端子	表示がオフ時の状態	パワーセーブモード時の状態
FPDAT[3:0]	Low	Low
WAIT#	—	Hi-Z (ハイインピーダンス)
DB[7:0]	—	Hi-Z (ハイインピーダンス)
XCD1 / XCG1	実行中	停止

18. PKG 外形図

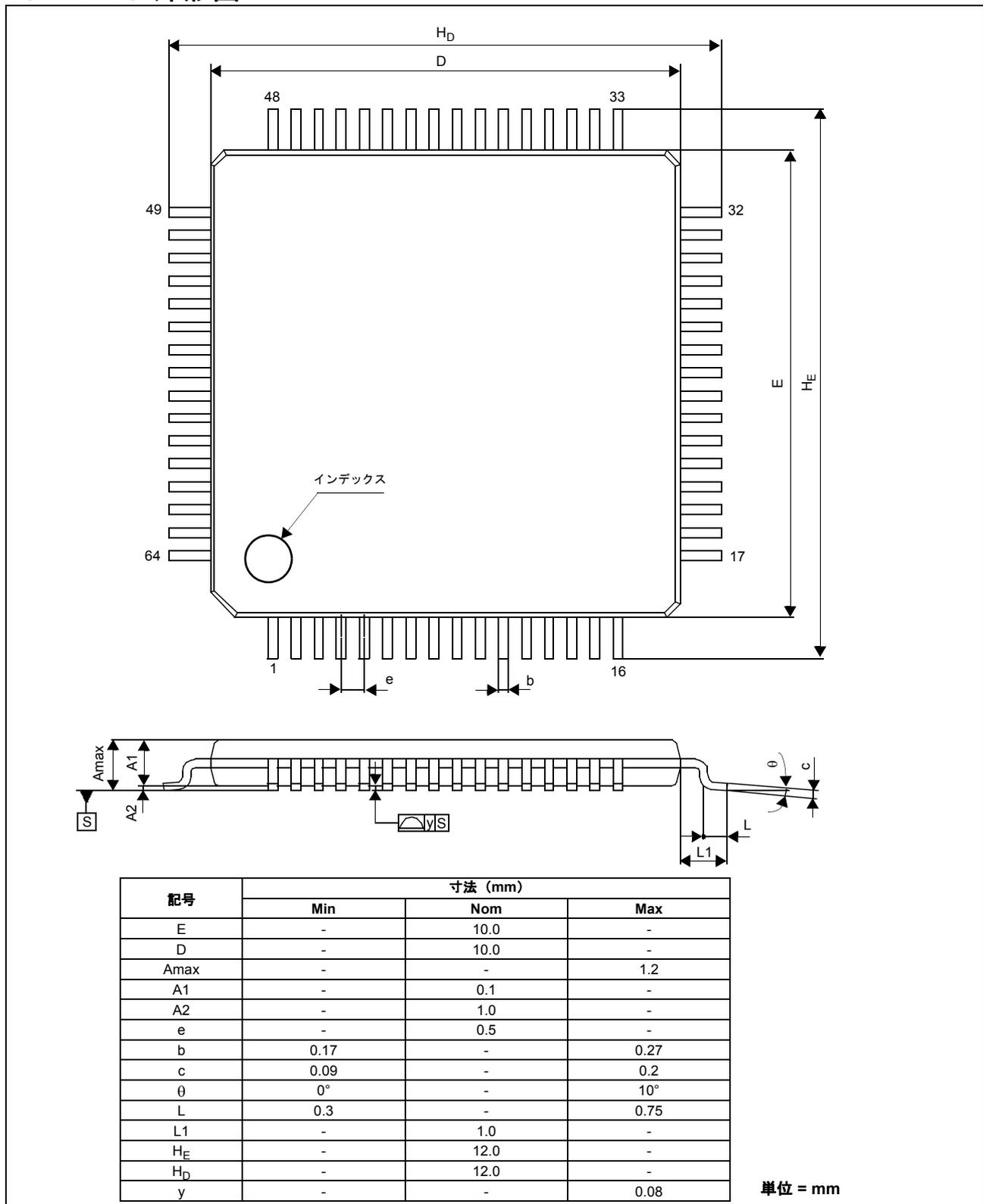


図18-1: 機械図面 (TQFP13 - 64 端子)

19. 参考資料

19. 参考資料

以下の文書には、S1D13700F02 に関連する追加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文書は、Epson Research and Development のウェブサイト www.erd.epson.com でご覧いただけます。

- 『S1D13700F02 Product Brief (S1D13700F02 の製品概要)』 (X42A-C-001-xx)
- 『S5U13700B00C Evaluation Board User Manual』 (X42A-G-002-xx)

お問い合わせシート

年 月 日
ご担当者

機種名 (15桁)		
発生日	発生数	個 (発生率 /)
お客様ご連絡先		
電話 :	FAX :	e-mail :
画面サイズ :	ドット ×	ドット
使用LCDモジュール (メーカー) :		
表示モード (いずれか○)		
第1レイヤー	全画面 /	2画面分割あり
第1ブロック	キャラクタ /	グラフィックス
第3ブロック	キャラクタ /	グラフィックス / なし
第2レイヤー	全画面 /	2画面分割あり
第2ブロック	全画面 /	2画面分割あり
第4ブロック	あり /	なし
第3レイヤー	あり /	なし
コンフィグ端子設定		
CNF4 (ダイレクト/インダイレクト選択)	=	
CNF[3:2] (ホストバスインターフェースタイプ)	=	
CNF[1:0] (FPSHIFT分周比)	=	
初期化パラメータ (10進数または16進数で記入下さい。)		
SYSTEM SET(40h)	SCROLL(44h)	OVLAY(5Bh)
P1 (IV, W/S, M2, M0) =	P1(SAD1L) =	P1(OV,DM,MX) =
P2(WF, FX) =	P2(SAD1H) =	CGRAM ADR(5Ch) =
P3(FY) =	P3(SL1) =	P1(SAGL) =
P4(C/R) =	P4(SAD2L) =	P2(SAGH) =
P5(TC/R) =	P5(SAD2H) =	HDOT SCR(5Ah) =
P6(L/F) =	P6(SL2) =	P1(D) =
P7(APL) =	P7(SAD3L) =	GRAY SCALE(60h) =
P8(APH) =	P8(SAD3H) =	P1(D) =
SLEEP IN(53h)	P9(SAD4L) =	CSRW(46h)
DISP ON/OFF(58h-59h)	P10(SAD4H) =	P1(CSRL) =
P1 (FP,FC) =	CSRFORM(5Dh)	P2(CSRH) =
	P1(X) =	CSRR(47h)
	P2(CM,Y) =	P1(CSRL) =
	CSR DIR(-)	P2(CSRH) =
	CMD =	
発振周波数	MH z	CLKI入力/水晶振動子入力 (いずれか○)
CPU	CPUクロック	MH z
お問い合わせ内容 (どんな表示をしようとしているか、どんな現象がおきているか等、詳しい状況を記入下さい。)		
添付資料をご提供下さい。(回路図/タイミングチャート/プログラム/その他)		

改訂履歴

改訂履歴

Rev. No.	日付	ページ	種別	改訂内容
Rev. 1.0	2005/11/21	全ページ	新規	新規制定
Rev. 1.01	2005/11/29	全ページ	—	前リビジョンからの変更内容を赤字で示します。
		P21	変更	7.2 - S1D13700F01からS1D13700F02に変更
		P41	変更	10.1.1 - SYSTEM SETのパラメータP1のビット4を1に修正。
Rev. 1.4	2012/2/14	全ページ	—	前リビジョンからの変更内容を赤字で示します。
		P20	追加	6.1 電力推定のガイドラインを追加
		P30	変更	7.3.5 - A[15:0]をA0に変更
		P41	追加	10.1.1 - 注を追加
		P50	追加	11.5.1 - REG[00h] ビット5に注を追加
		P110,112	追加	15.1.2 - No.3に3ms delayを追加、No.12にP=56hを追加
		P114	追加	15.1.3 - 最初のCとP1の間に3ms delayを追加
		P118	追加	15.1.4 - 最初のCとP1の間に3ms delayを追加
		P120	追加	15.1.5 - 最初のCとP1の間に3ms delayを追加
		P134	追加	19.参考資料にS5U13700B00Cを追加
			削除	20.販売およびテクニカルサポートを削除
		P12	追加	5.2.2 - FPSHIFTはXECLに同期して...を追加
		P38	追加	9.2.2 - FPSHIFTはXECLに同期して...を追加
Rev.1.4.1	2014/6/4	P19	変更	6.1 表6.6の電流単位をmA-> uAへ修正

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 404708905

2007年3月 作成

2012年2月 改訂

2014年6月 改訂