

S1D13743
Mobile Graphics Engine
テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. はじめに	1
1.1 適用範囲	1
1.2 概要	1
2. 特長	2
2.1 統合フレームバッファ	2
2.2 CPUインタフェース	2
2.3 入力データフォーマット	2
2.4 表示サポート	2
2.5 表示モード	2
2.6 表示機能	3
2.7 クロックソース	3
2.8 その他	3
3. 機能ブロック図	4
4. 端子構成	5
4.1 端子配置図	5
4.2 端子説明	6
4.2.1 Intel 80ホストインタフェース	6
4.2.2 LCDインタフェース	7
4.2.3 クロック	8
4.2.4 その他	8
4.2.5 電源とグラウンド	10
4.3 構成オプションの一覧	11
5. 端子の割り付け	12
5.1 Intel 80データ端子	12
5.2 LCDインタフェースデータ端子	13
6. DC特性	14
6.1 絶対最大定格	14
6.2 推奨動作条件	14
6.3 電気特性	15
7. AC特性	17
7.1 クロックタイミング	17
7.1.1 入力クロック	17
7.1.2 PLLクロック	18
7.2 リセットタイミング	20
7.3 ホストインタフェースタイミング	21
7.3.1 Intel 80インタフェースタイミング-1.8V	21

目次

7.3.2	Intel 80インタフェースタイミング-3.3V	23
7.3.3	Hi-Z状態への遷移時間の定義	25
7.4	LCDインタフェース	26
7.4.1	TFTパワーオンシーケンス	27
7.4.2	TFTパワーオフシーケンス	28
7.4.3	汎用18/24ビットTFTパネルタイミング	29
8.	メモリ	31
9.	クロック	33
9.1	クロックの説明	33
9.2	PLLブロック図	34
9.3	クロックと機能	35
9.4	SYSCLKとPCLKの設定	36
10.	レジスタ	37
10.1	レジスタマッピング	37
10.2	レジスタセット	38
10.3	レジスタの説明	39
10.3.1	読み出し専用設定レジスタ	39
10.3.2	クロック設定レジスタ	40
10.3.3	パネル設定レジスタ	45
10.3.4	入力モードレジスタ	48
10.3.5	表示モードレジスタ	52
10.3.6	ウィンドウ設定	56
10.3.7	メモリアクセス	58
10.3.8	ガンマ補正レジスタ	60
10.3.9	その他のレジスタ	62
10.3.10	汎用IO端子レジスタ	65
11.	フレームレートの計算	67
12.	RGB入力データ変換	68
13.	Intel 80、8ビットインタフェースカラー形式	69
13.1	16bppモード (RGB 5:6:5) 65,536色	69
13.2	18 bpp (RGB 6:6:6) 262,144色	70
13.3	24 bpp (RGB 8:8:8) 16,777,216色	71
14.	Intel 80、16ビットインタフェースカラー形式	72
14.1	16 bpp (RGB 5:6:5) 65,536色	72
14.2	18bppモード1 (RGB 6:6:6) 262,144色	73
14.3	18bppモード2 (RGB 6:6:6) 262,144色	74
14.4	24bppモード1 (RGB 8:8:8) 16,777,216色	75
14.5	24bppモード2 (RGB 8:8:8) 16,777,216色	76
15.	YUVタイミング	77

15.1	YUV 4:2:2とIntel 80、8ビットインタフェース	78
15.2	YUV 4:2:0奇数ラインとIntel 80、8ビットインタフェース	78
15.3	YUV 4:2:0偶数ラインとIntel 80、8ビットインタフェース	79
15.4	YUV 4:2:2とIntel 80、16ビットインタフェース	80
15.5	YUV 4:2:0奇数ラインとIntel 80、16ビットインタフェース	81
15.6	YUV 4:2:0偶数ラインとIntel 80、16ビットインタフェース	82
16.	ガンマ補正ルックアップテーブルアーキテクチャ	83
16.1	ガンマ補正プログラミングの例	84
17.	表示データ形式	85
18.	SwivelView™	89
18.1	概念	89
18.2	90°SwivelView	90
18.2.1	レジスタの設定	90
18.3	180°SwivelView	91
18.3.1	レジスタの設定	91
18.4	270°SwivelView	92
18.4.1	レジスタの設定	92
19.	ホストインタフェース	93
19.1	Intel 80インタフェースの使用法	93
19.1.1	レジスタ書き込み手順	94
19.1.2	レジスタ読み出し手順	95
19.1.3	新しいウィンドウアパーチャの書き込み手順	96
19.1.4	複数のウィンドウを開く	98
19.1.5	既存のウィンドウ座標を使ったウィンドウの更新	98
19.1.6	個別の記憶場所の読み出し	98
20.	ダブルバッファリング	99
20.1	ダブルバッファコントローラ	99
20.2	ダブルバッファの制限	100
21.	S1D13743とTFTパネルの接続	101
21.1	概要	101
21.1.1	LCDインタフェース	101
21.1.2	352×416 TFTパネル用のS1D13743レジスタ設定	102
21.2	ホストバスタイミング	103
21.2.1	352×416 TFTパネルのホストバスタイミング	104
21.3	パネルタイミング	105
21.3.1	352×416 TFTパネルのパネルタイミング	106
21.4	Play.exeスクリプトの例	106
22.	PLL電源の考察	112
22.1	PLL電力レイアウトのガイドライン	112

目次

23. メカニカルデータ	114
24. 参考文献	116
• 改訂履歴	117

1. はじめに

1.1 適用範囲

本書は、LCDコントローラS1D13743のテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明および電力管理の説明などが記載されています。本書は、システム設計者とソフトウェア開発者を対象としています。

英語版のS1D13743 Mobile Graphics Engine Hardware Functional Specificationが正規の資料であり、本書は正規英語版テクニカルマニュアルの補助資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりますは、必ず正規英語版の最新資料を資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、
http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm
<http://vdc.epson.com>
からダウンロードできます。

1.2 概要

S1D13743は、埋め込み型464KB表示バッファを備えたカラーモバイルグラフィックエンジンです。S1D13743は、8/16ビットIntel 80 CPUアーキテクチャをサポートし、高速画面更新を可能にする24bpp表示メモリにハイパフォーマンスな帯域幅を提供します。

表示画像の回転を必要とする製品は、ソフトウェアを意識することなく表示メモリのハードウェア回転を実現するSwivelView™を利用することができます。シングルバッファの352 × 440@24bppまたはダブルバッファの320 × 240@24bppの解像度をサポートしています。S1D13743は、ダブルバッファを利用してビデオ画面更新データのストリーミング中の画像分断を回避します。

2. 特長

2. 特長

2.1 統合フレームバッファ

- 埋め込み型464KB SRAM表示バッファ

2.2 CPUインタフェース

- 8/16ビットIntel 80インタフェース（表示またはレジスタデータ用）
- デバイスの選択にはチップセレクトが使用されます。無効なときは入力データ/コマンドが無視されます。

2.3 入力データフォーマット

- RGB : 8:8:8、6:6:6、5:6:5

注

入力データはすべてRGB 8:8:8に変換され記憶されます（詳しくは68ページの12.「RGB入力データ変換」を参照）。

- YUV : 4:2:2、4:2:0(内部YUV-RGBコンバータがデータを24bppとして変換し記憶します)

2.4 表示サポート

- アクティブマトリクスTFTインタフェース
 - 18/24ビットインタフェース
 - 18ビットLCDパネル用に構成されたときに24bppデータを使用するフレームレート変調。

2.5 表示モード

- 24ビット/ピクセル (bpp) の階調をサポート

注

データはすべて24bppで記憶されます。18ビットパネルは、FRMがディセーブルされたときに18個のMSBを使用するか、FRMがイネーブルされたときに24ビットをすべて使用してサポートされます。

2.6 表示機能

- すべての表示書き込みは、全体または一部分の表示更新用のウィンドウアパーチャ/位置によって処理されます。ウィンドウ座標はすべて表示画像の左上角を基準にしています。回転表示の場合でも、左上角が基準に維持され変換する必要はありません。
- SwivelView™：表示画像の反時計回り90°、180°、270°のハードウェア回転。表示されているすべてのウィンドウを独立に回転させることができます。これらのモードを使用するときに追加のプログラミングは不要です。
- 入力ストリーミング中の画像の分断を防ぐためにダブルバッファが使用可能です。これに対応するには、解像度が228KB（使用可能な表示バッファの1/2）以内に収まらなければなりません。標準解像度は320×240@24bppです。
- ピクセルダブリングは、水平平均と垂直平均を使用してシングルウィンドウの滑らかなダブリングを達成します。ピクセルダブリングは1度に1つのウィンドウにしか適用できません。
- ピクセルハーピング：ウィンドウ数に制限はありません。

2.7 クロックソース

- 内部プログラマブルPLL
- シングルMHzクロック入力：CLKI
- CLKIはCLKOUTとして使用できます（別のCLKOUTEN端子が出力と関連付けられています）
 - ディセーブルされたときの出力状態 = 0

2.8 その他

- ハードウェア/ソフトウェア節電モード
- 節電モードをイネーブル/ディセーブルする入力端子
- 汎用入力/出力端子が使用可能（GPIO[7:0]）
 - INT端子は選択可能なGPIO入力と関連付けられています。
- パッケージ：
S1D13743F00A QFP20 144ピンパッケージ

3. 機能ブロック図

3. 機能ブロック図

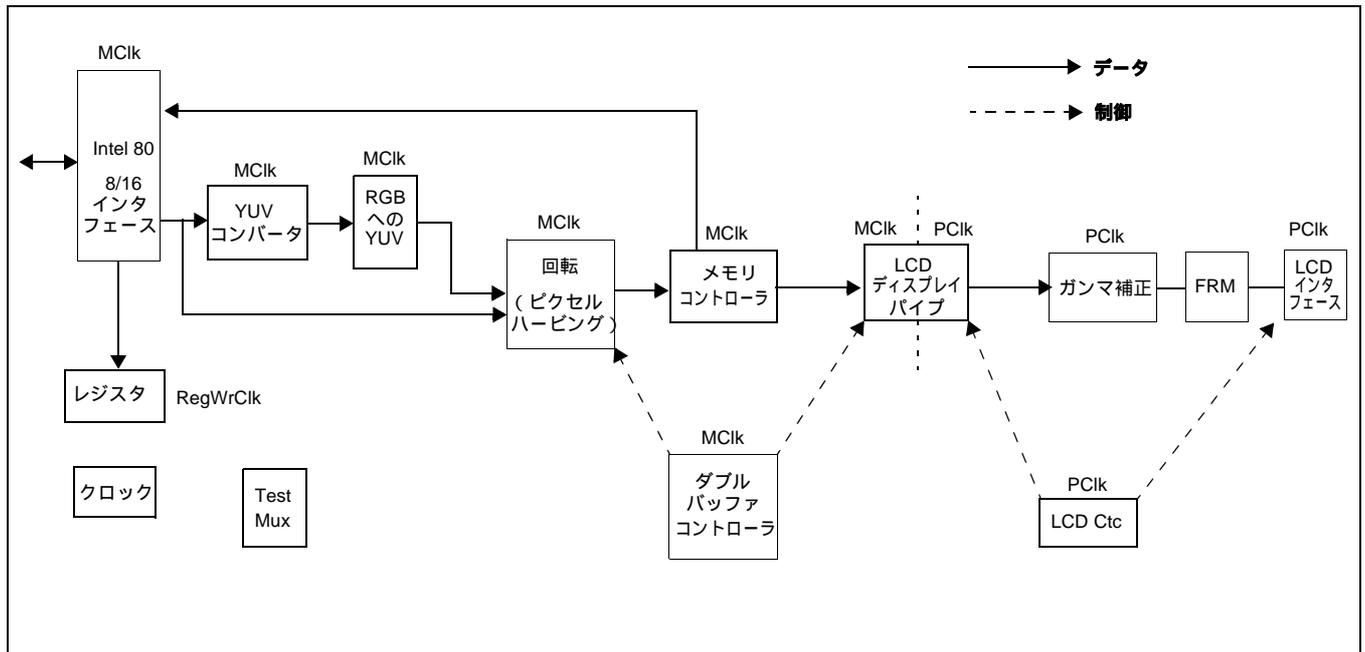


図3.1 機能ブロック図

4. 端子構成

4.1 端子配置図

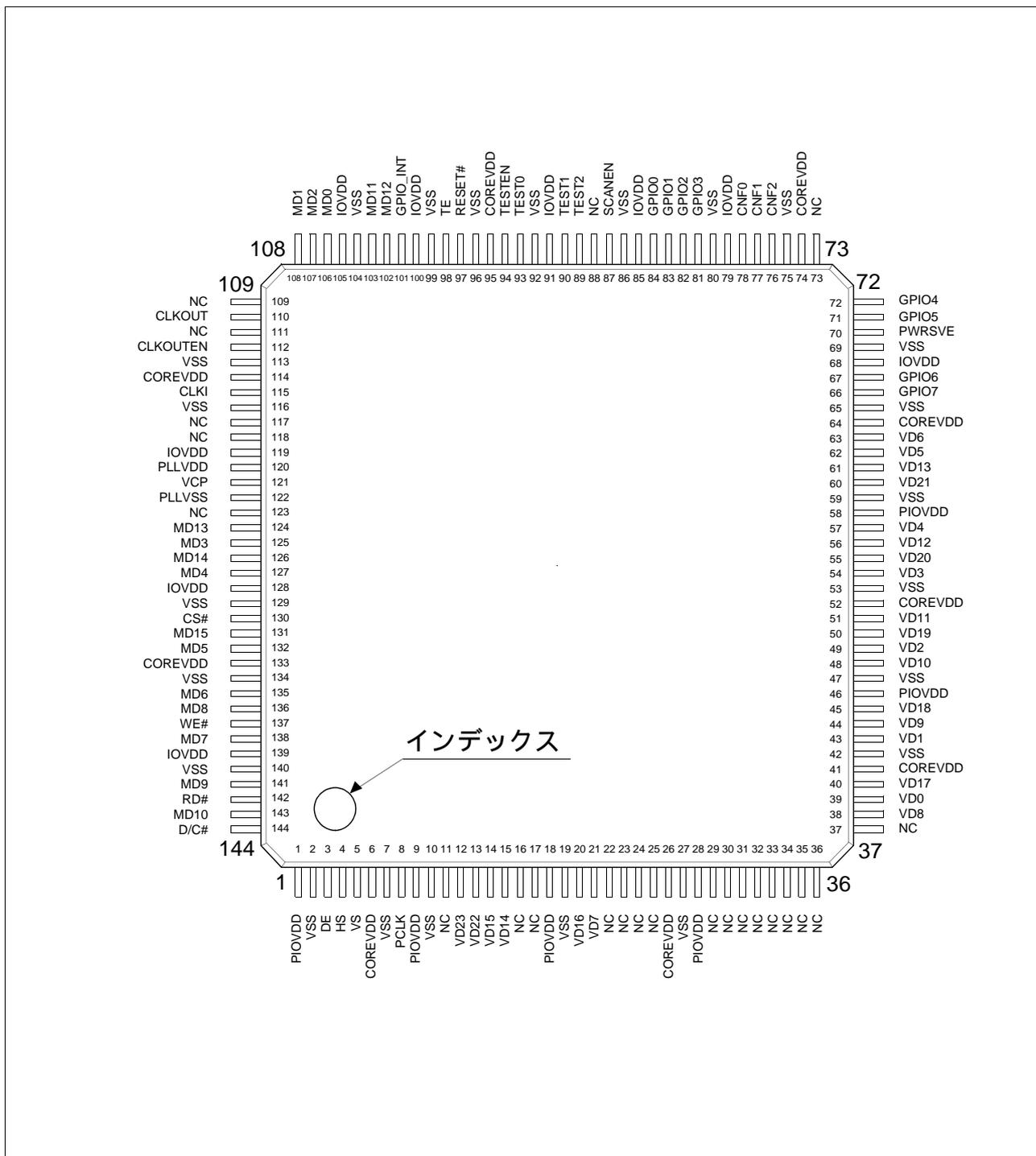


図4.1 S1D13743 QFP20端子配置 (平面図)

4. 端子構成

4.2 端子説明

略語の意味：

端子タイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子

RESET# / 節電状態

H	=	高レベル出力
L	=	低レベル出力
Z	=	ハイインピーダンス（Hi-Z）

表4.1 セルの説明

項目	説明
HI	H系（注1）LVCMOS（注3）入力バッファ
HIS	H系 LVCMOSシュミット入力バッファ
HID	H系 LVCMOS入力バッファ（プルダウン抵抗付き）
HO	H系 LVCOMOS出力バッファ
HB	H系 LVCMOS双方向バッファ
HBD	H系 LVCMOS双方向バッファ（プルダウン抵抗付き）
HB_DSEL	H系 LVCMOS双方向バッファ（ドライブセクタ付き）
LIDS	L系（注2）LVCMOSシュミット入力バッファ（プルダウン抵抗付き）
LITR	L系トランスペアレント入力バッファ

注

- 1 H系はIOVDDとPIOVDDです（14ページの6.「DC特性」を参照）。
- 2 L系はCOREVDDです（14ページの6.「DC特性」を参照）。
- 3 LVCMOSは低電圧CMOSです（14ページの6.「DC特性」を参照）。

4.2.1 Intel 80ホストインタフェース

表4.2 ホストインタフェース端子の説明

端子名	端子タイプ	端子	セル	IO電圧	RESET#状態	節電状態	説明
MD[15:0]	IO	131、126、124、102、103、143、141、136、138、135、132、127、125、107、108、106	HB	IOVDD	Z	Z	Intel 80ホストデータライン15-0。 注：CNF0端子を使って、ホストデータラインをスワップすることができます（D15 = D0）。詳しくは、11ページの4.3「構成オプションの一覧」を参照してください。
WE#	I	137	HI	IOVDD	入力	入力	この入力端子は書き込みイネーブル信号です。

表4.2 ホストインタフェース端子の説明

端子名	端子タイプ	端子	セル	IO電圧	RESET#状態	節電状態	説明
RD#	I	142	HI	IOVDD	入力	入力	この入力端子は読み出しイネーブル信号です。
CS#	I	130	HI	IOVDD	入力	入力	この入力端子はチップセレクト信号です。
D/C#	I	144	HI	IOVDD	入力	入力	この入力端子はIntel 80アドレスとデータのどちらかを選択します。
TE	O	98	HO	IOVDD	L	L	分断効果：この端子は、ディスプレイのVSYNC、HSYNCまたは論理和の組み合わせ状態を反映します。
GPIO_INT	O	101	HO	IOVDD	L	L	この割り込み端子は、入力または出力として設定されたときに、特定のGPIO端子と関連付けられます。動作の説明は、65ページの10.3.10「汎用IO端子レジスタ」を参照してください。
RESET#	I	97	HIS	IOVDD	入力	入力	このアクティブLow入力は、すべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。

4.2.2 LCDインタフェース

表4.3 LCDインタフェース端子の説明

端子名	端子タイプ	端子	セル	IO電圧	RESET#状態	節電状態	説明
VD[23:0]	IO	12、13、60、55、50、45、40、20、14、15、61、56、51、48、44、38、21、63、62、57、54、49、43、39	HB_DSEL	PIOVDD	L	L	パネルデータライン端子23-0。 注：VDデータスワップビットREG[14h]ビット7を使って、パネルデータラインをスワップすることができます（VD23 = VD0）。 注：VD出力は、CNF2端子を使って2.5mAか6.5mAを選択可能です。詳しくは、11ページの4.3「構成オプションの一覧」を参照してください。
VS	O	5	HO	PIOVDD	H	L	この出力端子は垂直同期パルスです。
HS	O	4	HO	PIOVDD	H	L	この出力端子は水平同期パルスです。
PCLK	O	8	HO	PIOVDD	CLKI	L	この出力端子はデータクロックです。
DE	O	3	HO	PIOVDD	L	L	この出力端子はデータイネーブルです。

注

LCDインタフェースは、設定可能なIO出力をサポートするために個別の電源レール（PIOVDD）が必要です。詳しくは、11ページの4.3「構成オプションの一覧」CNF2の説明を参照してください。

注

VD[23:0]の入力機能は生産テスト専用です。

4. 端子構成

4.2.3 クロック

表4.4 クロック入力端子の説明

端子名	端子タイプ	端子	セル	IO電圧	RESET#状態	節電状態	説明
CLKI	I	115	HIS	IOVDD	入力	入力	PLL動作またはPLLがバイパスされる場合はMHz入力。
CLKOUT	O	110	HO	IOVDD	L	CLKI	この出力端子は、CLKOUTENによってイネーブルされた場合のCLKI端子を表わします。ディセーブルされたとき出力はLowです。 注： この出力は、さまざまな節電モードによる影響を受けません。
CLKOUTEN	I	112	HI	IOVDD	入力	入力	この端子は、CLKOUT端子をイネーブル/ディセーブルします。

4.2.4 その他

表4.5 その他の端子の説明

端子名	端子タイプ	端子	セル	IO電圧	RESET#状態	節電状態	説明
CNF[2:0]	I	76、77、78	HI	IOVDD	入力	入力	これらの入力は立ち上げ設定に使用されます。詳しくは、11ページの4.3「構成オプションの一覧」を参照してください。 注： これらの端子はIOVDDまたはVSSに直接接続してください。
TESTEN	I	94	LIDS	IOVDD	—	—	この端子は、テストイネーブル入力で、生産テスト専用です。通常動作では接続しないでください。
GPIO[7:0]	IO	66、67、71、72、81、82、83、84	HBD	IOVDD	L	プルダウンアクティブ	これらの端子は汎用入出力端子です。REG[64h]を使って制御することができる内部プルダウン抵抗を備えています。
PWRSVE	I	70	HID	IOVDD	入力	プルダウンアクティブ	この端子は、スタンバイ節電モードをイネーブル/ディセーブルします。常にアクティブな内部プルダウン抵抗を備えています。

表4.5 その他の端子の説明

端子名	端子タイプ	端子	セル	IO電圧	RESET#状態	節電状態	説明
TEST[2:0]	I	89、90、93	HID	IOVDD	—	—	これらの端子はテスト機能端子で、生産テスト専用です。 通常動作には接続しないでください。
SCANEN	I	87	HID	IOVDD	—	—	これは、テストスキャンイネーブル入力 で、生産テスト専用です。 通常動作には接続しないでください。
VCP	I	121	LITR	PLLVD	—	—	これは、PLL VCPテスト端子で、生産テ スト専用です。通常動作では接続しな いでください。
NC	—	11、16、 17、22、 23、24、 25、29、 30、31、 32、33、 34、35、 36、37、 73、88、 109、111、 117、118、 123	—	—	—	—	これらの端子は接続されません。

4. 端子構成

4.2.5 電源とグラウンド

表4.6 電源およびアース端子の説明

端子名	端子タイプ	端子	セル	説明
COREVDD	P	6、26、41、52、 64、74、95、 114、133	P	コア電源
IOVDD	P	68、79、85、 91、100、105、 119、128、139	P	ホストインタフェース用IO電源
PIOVDD	P	1、9、18、28、 46、58	P	パネルインタフェース用IO電源
PLLVDD	P	120	P	PLL電源
PLLVSS	P	122	P	PLL用グラウンド
VSS	P	2、7、10、19、 27、42、47、 53、59、65、 69、75、80、 86、92、96、 99、104、113、 116、129、134、 140	P	グラウンド

4.3 構成オプションの一覧

これらの端子は、立ち上げ時の設定 / 電源投入時の設定に使用され、IOV_{DD}またはV_{SS}に直接接続する必要があります。これらの端子の状態の変更は、RESET#がLow（アクティブ）のときのみ可能です。CNF[2:0]状態ビットを使ってREG[02h]で読み出すことができます。

表4.7 パワーオン/リセットオプションの一覧

設定入力	パワーオン/リセット状態	
	入力1 (IOV _{DD} に接続)	入力0 (V _{SS} に接続)
CNF0	ホストデータラインは通常通り。 CNF1 = 1の場合はD15 = D15など CNF1 = 0の場合はD7 = D7など	ホストデータラインはスワップされます。 CNF1 = 1の場合はD15 = D0など CNF1 = 0の場合はD7 = D0など
CNF1	ホストデータは16ビット（注）	ホストデータは8ビット（注）
CNF2	PIOVDD出力電流 = 6.5mA	PIOVDD出力電流 = 2.5mA

注

CNF1 = 0のとき、レジスタアクセスはすべて8ビットのみです。
CNF1 = 1（16ビット）のとき、16ビットのメモリデータポート（REG[48h]～REG[49h]）を除くすべてのレジスタアクセスが8ビットのみです（データバス上の最上位バイトは無視されます）。

5. 端子の割り付け

5. 端子の割り付け

5.1 Intel 80データ端子

Intel 80データ端子の割り付けは、CNF[1:0]によって制御されます。CNF[1:0]の詳細は、11ページの4.3「構成オプションの一覧」を参照してください。

表5.1 Intel 80データ端子の割り付け

端子名	16ビットデータ スワップなし (CNF1=1、CNF0=1)	16ビットデータ スワップあり (CNF1=1、CNF0=0)	8ビットデータ スワップなし (CNF1=0、CNF0=1)	8ビットデータ スワップあり (CNF1=0、CNF0=0)
MD15	MD15	MD0	Z	Z
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
MD8	MD8	MD7	Z	Z
MD7	MD7	MD8	MD7	MD0
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
MD0	MD0	MD15	MD0	MD7

5.2 LCDインタフェースデータ端子

LCDインタフェースデータ端子の割り付けは、REG[14h]ビット7によって制御されます。

表5.2 24ビットパネルのLCDインタフェースデータ端子割り付け

端子名	24ビット スワップなし REG[14h]ビット7=0	24ビット スワップあり REG[14h]ビット7=1
VD23	VD23	VD0
•	•	•
•	•	•
•	•	•
VD18	VD18	VD5
VD17	VD17	VD6
•	•	•
•	•	•
•	•	•
VD0	VD0	VD23

表5.3 18ビットパネルのLCDインタフェースデータ端子割り付け

端子名	18ビット スワップなし REG[14h]ビット7=0	18ビット スワップあり REG[14h]ビット7=1
VD23	Low出力	
•		
•		
VD18	VD17	
•		
•		
VD17	VD17	VD0
•	•	•
•	•	•
•	•	•
VD0	VD0	VD17

6. DC特性

6. DC特性

6.1 絶対最大定格

表6.1 絶対最大定格

記号	パラメータ	定格	単位
CORE V_{DD}	コア電源電圧	$V_{SS} - 0.3 \sim 2.0$	V
PLL V_{DD}	PLL電源電圧	$V_{SS} - 0.3 \sim 2.0$	V
IO V_{DD}	ホストIO電源電圧	CORE $V_{DD} \sim 4.0$	V
PIO V_{DD}	パネルIO電源電圧	CORE $V_{DD} \sim 4.0$	V
V_{IN}	入力信号電圧	$V_{SS} - 0.3 \sim IO V_{DD} + 0.3$	V
V_{OUT}	出力信号電圧	$V_{SS} - 0.3 \sim IO V_{DD} + 0.3$	V
I_{OUT}	出力信号電流	± 10	mA

6.2 推奨動作条件

表6.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
CORE V_{DD}	コア電源電圧	$V_{SS} = 0 V$	1.40	1.50	1.60	V
PLL V_{DD}	PLL電源電圧	$V_{SS} = 0 V$	1.40	1.50	1.60	V
IO V_{DD}	ホストIO電源電圧	$V_{SS} = 0 V$	1.65	—	3.6	V
PIO V_{DD}	パネルIO電源電圧	$V_{SS} = 0 V$	1.65	—	3.6	V
V_{IN}	入力電圧	—	V_{SS}	—	IO V_{DD}	V
T_{OPR}	動作温度	—	-40	+25	+85	°C

注

各VDD端子の順序には特別なパワーオン/オフ要件はありません。IO信号にも特に要件はありませんが、入力が不安定ではいけません。入力信号が有効サイクル内で立ち上がった場合、S1D13743はサイクルをデコードします。

6.3 電気特性

以下の特性は次の条件のものです。

IO V_{DD} 、 $V_{SS} = 0V$ 、 $T_{OPR} = -40 \sim +85^{\circ}C$

表6.3 IOVDDまたはPIOVDD = 1.8V ± 0.15Vの場合の電気特性

記号	パラメータ	条件	Min	Typ	Max	単位
I_{QALL}	静的消費電流	CLKI停止 (GND)、スリープモード イネーブル、全電源アクティブ	—	100	—	μA
I_{PLL}	PLL電流	$f_{PLL} = 54MHz$	—	500	1000	μA
I_{CORE}	動作ピーク電流	COREVDD電源端子	—	—	74	mA
P_{CORE}	コア標準動作電力	(注1)	—	9.2	—	mW
P_{PLL}	PLL標準動作電力		—	667	—	μW
P_{PIO}	PIO標準動作電力		—	2.7	—	mW
P_{HIO}	HIO標準動作電力		—	20	—	μW
I_{IZ}	入力漏れ電流	—	-5	—	5	μA
I_{OZ}	出力漏れ電流	—	-5	—	5	μA
IOV_{OH2}	高レベル出力電圧	$IOV_{DD} = \min$ $I_{OH2} = -2.5mA$	$IOVDD - 0.40$	—	$IOVDD$	V
$PIOV_{OH2}$	低レベル出力電圧	$PIOVDD = \min$ $I_{OH2} = -2.5mA$	$PIOVDD - 0.40$	—	$PIOVDD$	V
$PIOV_{OH4}$	高レベル入力電圧	$PIOVDD = \min$ $I_{OH2} = -6.5mA$	$PIOVDD - 0.40$	—	$PIOVDD$	V
IOV_{OL2}	低レベル入力電圧	$IOVDD = \min$ $I_{OL2} = 2.5mA$	VSS	—	0.40	V
$PIOV_{OL2}$	ポジティブトリガ電圧	$PIOVDD = \min$ $I_{OL2} = 2.5mA$	VSS	—	0.40	V
$PIOV_{OL4}$	ネガティブトリガ電圧	$PIOVDD = \min$ $I_{OL2} = 6.5mA$	VSS	—	0.40	V
IOV_{IH}	ヒステリシス電圧	CMOS入力	1.27	—	—	V
$PIOV_{IH}$	高レベル入力電圧	CMOS入力	1.27	—	—	V
IOV_{IL}	低レベル入力電圧	CMOS入力	—	—	0.57	V
$PIOV_{IL}$	低レベル入力電圧	CMOS入力	—	—	0.57	V
IOV_{T+}	ポジティブトリガ電圧	CMOSシュミット	0.57	—	1.56	V
IOV_{T-}	ネガティブトリガ電圧	CMOSシュミット	0.33	—	1.27	V
IO V_H	ヒステリシス電圧	CMOSシュミット	0.24	—	—	V
R_{PU1}	プルアップ抵抗タイプ1	$V_1 = VSS$	40	100	240	$k\Omega$
R_{PD1}	プルダウン抵抗タイプ1	$V_1 = VDD$	40	100	240	$k\Omega$
R_{PU2}	プルアップ抵抗タイプ2	$V_1 = VSS$	80	200	480	$k\Omega$
R_{PD2}	プルダウン抵抗タイプ2	$V_1 = VDD$	80	200	480	$k\Omega$
C_{IO}	端子容量	$f = 1MHz$ 、 $VDD = 0V$	—	—	8	pF

注

- 標準の動作電流環境 :
 352 × 416 18ビットTFTパネル
 24bppメモリ
 CLKI = 19.2MHz
 SYSCLK = 48.5MHz (PLL)
 PCLK = 4分割
 $V_{CORE} = 1.5V$
 $V_{HIO} = 1.8V$
 $V_{PIO} = 1.8V$

6. DC特性

以下の特性は次の条件のものです。
 $IOVDD$ 、 $VSS = 0V$ 、 $T_{OPR} = -40 \sim +85^{\circ}C$

表6.4 $IOVDD$ または $PIOVDD = 3.3V \pm 0.3V$ の場合の電気特性

記号	パラメータ	条件	Min	Typ	Max	単位
I_{QALL}	静的消費電流	静的消費状態	—	160	—	μA
I_{PLL}	PLL電流	$f_{PLL} = 54MHz$	—	500	1000	μA
I_{CORE}	動作ピーク電流	COREVDD電源端子	—	—	74	mA
I_{IZ}	入力漏れ電流	—	-5	—	5	μA
I_{OZ}	出力漏れ電流	—	-5	—	5	μA
IOV_{OH2}	高レベル出力電圧	$IOV_{DD} = \min$ $I_{OH2} = -4.0mA$	$IOV_{DD} - 0.40$	—	IOV_{DD}	V
$PIOV_{OH2}$	高レベル出力電圧	$PIOV_{DD} = \min$ $I_{OH2} = -4.0mA$	$PIOV_{DD} - 0.40$	—	$PIOV_{DD}$	V
$PIOV_{OH4}$	高レベル出力電圧	$PIOV_{DD} = \min$ $I_{OH2} = -12.0mA$	$PIOV_{DD} - 0.40$	—	$PIOV_{DD}$	V
IOV_{OL2}	低レベル出力電圧	$IOV_{DD} = \min$ $I_{OL2} = 4.0mA$	VSS	—	0.40	V
$PIOV_{OL2}$	低レベル出力電圧	$PIOV_{DD} = \min$ $I_{OL2} = 4.0mA$	VSS	—	0.40	V
$PIOV_{OL4}$	低レベル出力電圧	$PIOV_{DD} = \min$ $I_{OL2} = 12.0mA$	VSS	—	0.40	V
IOV_{IH}	高レベル入力電圧	CMOS入力	2.20	—	—	V
$PIOV_{IH}$	高レベル入力電圧	CMOS入力	2.20	—	—	V
IOV_{IL}	低レベル入力電圧	CMOS入力	—	—	0.80	V
$PIOV_{IL}$	低レベル入力電圧	CMOS入力	—	—	0.80	V
IOV_{T+}	ポジティブトリガ電圧	CMOSシュミット	1.40	—	2.70	V
IOV_{T-}	ネガティブトリガ電圧	CMOSシュミット	0.60	—	1.80	V
IOV_H	ヒステリシス電圧	CMOSシュミット	0.45	—	—	V
R_{PU1}	プルアップ抵抗タイプ1	$V_I = VSS$	20	50	120	k Ω
R_{PD1}	プルダウン抵抗タイプ1	$V_I = VDD$	20	50	120	k Ω
R_{PU2}	プルアップ抵抗タイプ2	$V_I = VSS$	40	100	240	k Ω
R_{PD2}	プルダウン抵抗タイプ2	$V_I = VDD$	40	100	240	k Ω
C_{IO}	端子容量	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	8	pF

7. AC特性

7.1 クロックタイミング

7.1.1 入力クロック

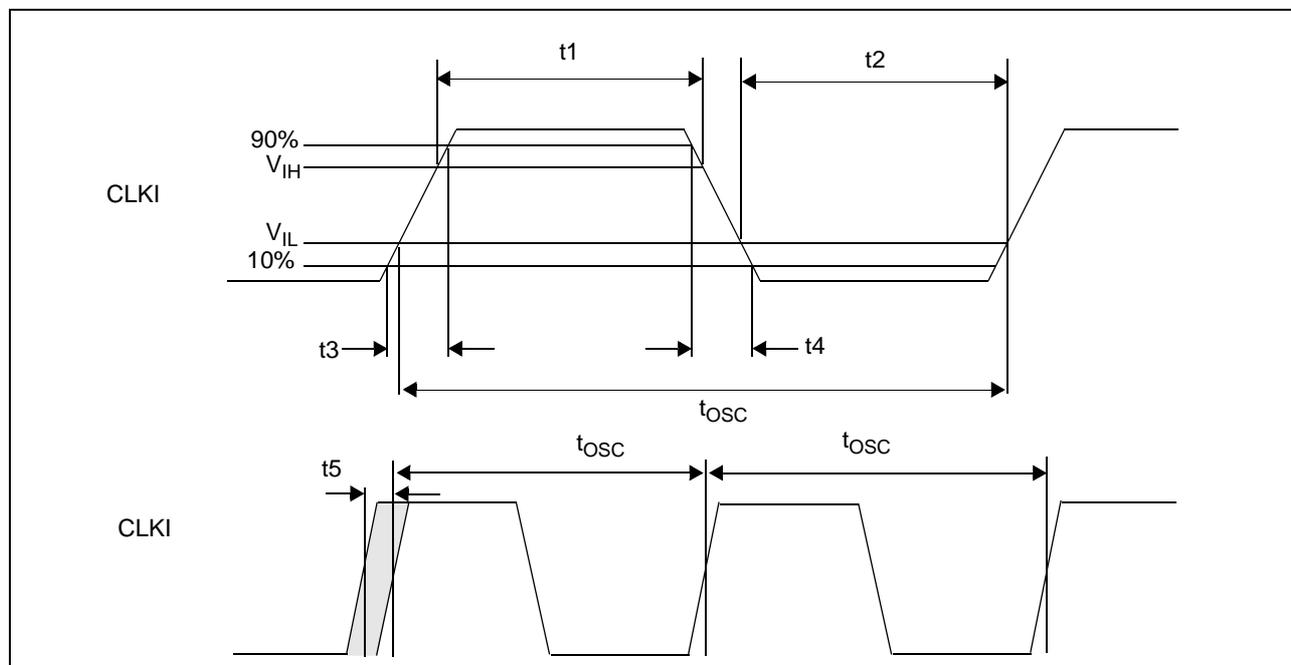


図7.1 必要クロック入力 (CLKI)

7. AC特性

表7.1 クロック入力要件 (CLKI)

記号	パラメータ	Min	Typ	Max	単位
f _{osc} (注1)	入力クロック周波数-システムクロック用PLL	1	—	33	MHz
	入力クロック周波数-システムクロック用CLKI	0	—	68.59	MHz
t _{osc}	入力クロック周期	—	1/f _{osc}	—	μs
t1	入力クロックのHighパルス幅	0.4t _{osc}	—	0.6t _{osc}	μs
t2	入力クロックのLowパルス幅	0.4t _{osc}	—	0.6t _{osc}	μs
t3	入力クロック立ち上がり時間 (10% ~ 90%)	—	—	5.0	ns
t4	入力クロック立ち下がり時間 (90% ~ 10%)	—	—	5.0	ns
t5	入力クロック周期ジッタ (注2、4、5)	-300		300	ps
t6 (注6)	入力クロックサイクルジッタ (注3、4、5)	-300		300	ps

注

- 適切な動作に必要な最小システムクロック周波数は、Intel 80インタフェースのサイクル長に依存します。詳しくは、36ページの9.4「SYSCLKとPCLKの設定」を参照してください。
- 入力クロック周期ジッタは、クロックセンターに対してずれています。
- 入力クロックサイクルジッタは、隣り合ったサイクルの周期の差です。
- ジッタ特性はt5とt6の両方の特性を満たさなければなりません。
- 入力デューティサイクルは厳密なものではなく40でも60でも可能です。
- t6 = 2 × t_{osc}

7.1.2 PLLクロック

PLL回路はアナログ回路であるため、入力クロック波形や電源のノイズにきわめて敏感です。クロックや電源にノイズがあると、PLL回路の動作が不安定になったりジッタが大きくなったりすることがあります。

そのようなノイズの制約のため、PLL用の電源トレースや電源プレーンを他の電源トレースや電源プレーンから離すことを推奨します。電源のノイズをできるだけ少なくするためにフィルタリングも使用してください。入力クロック波形のジッタはできるだけ小さくしなければなりません。

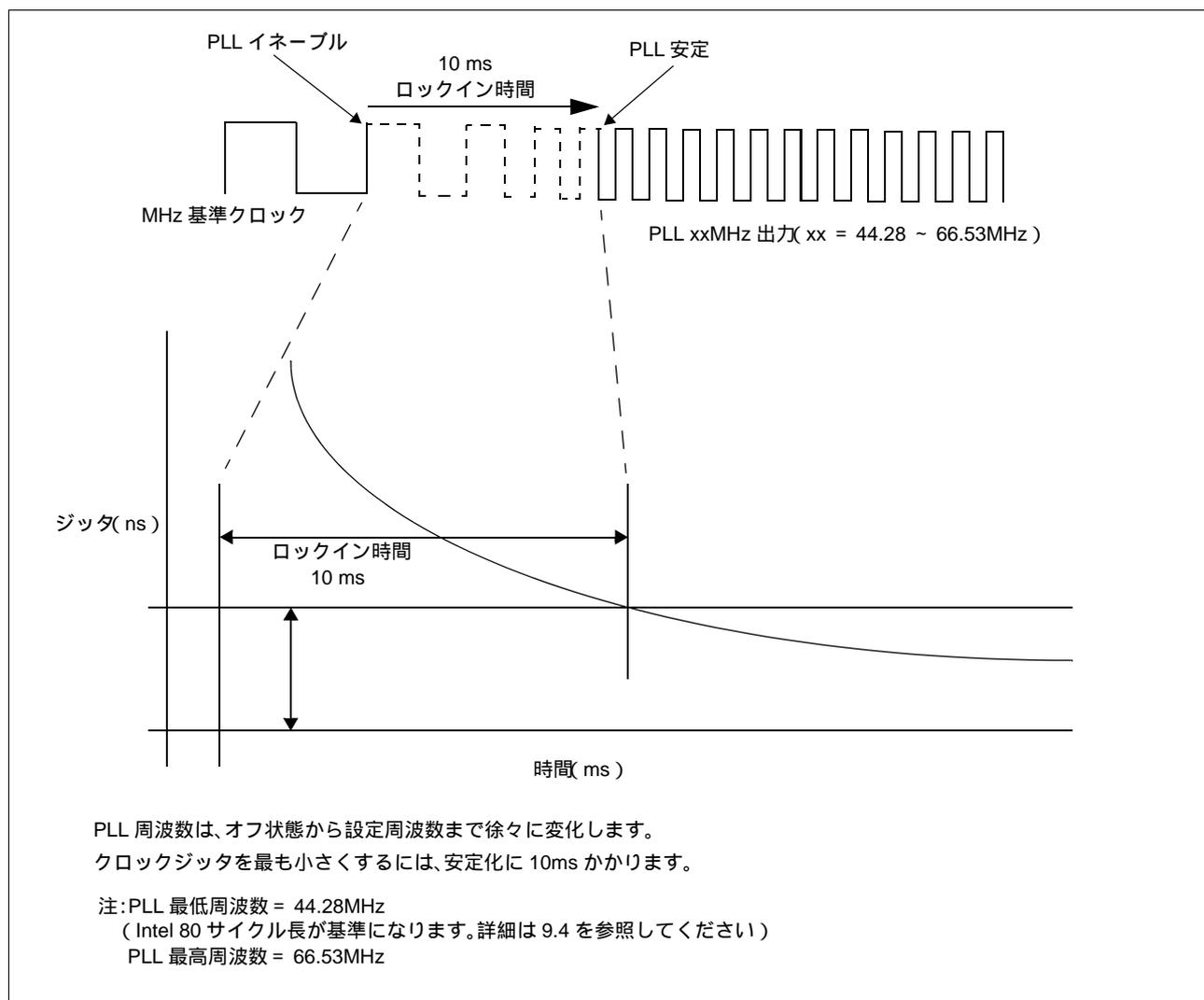


図7.2 PLL立ち上がり時間

表7.2 PLLクロック要件

記号	パラメータ	Min	Max	単位
f_{PLL}	PLL出力クロック周波数	44.28 (注1)	66.53	MHz
t_{PJref}	PLL出力クロック周期ジッタ	-3	3	%
t_{PDuty}	PLL出力クロックデューティサイクル	40	60	%
t_{PStal}	PLL出力安定化時間	—	10	ms

注

- 36ページの9.4「SYSCLKとPCLKの設定」を参照してください。

7. AC特性

7.2 リセットタイミング

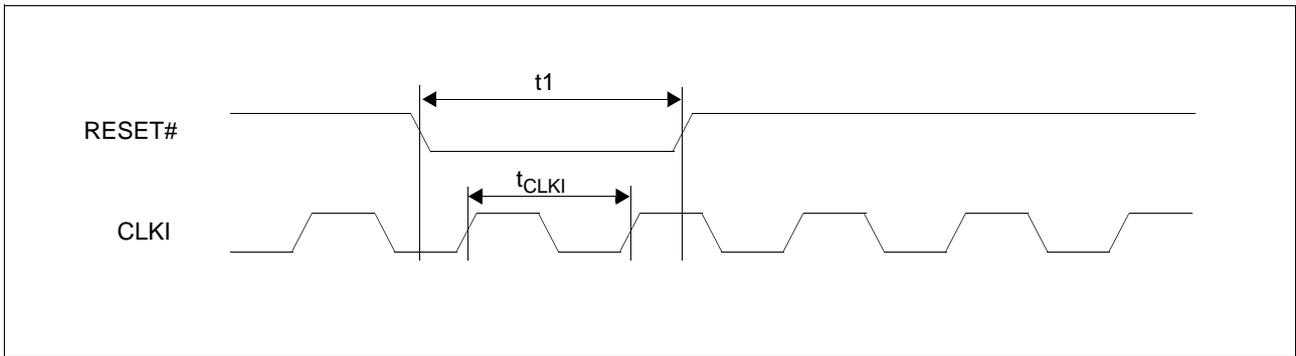


図7.3 S1D13743リセットタイミング

表7.3 S1D13743リセットタイミング

記号	パラメータ	Min	Max	単位
t_1	アクティブリセットパルス幅	1	—	CLKI

7.3 ホストインタフェースタイミング

7.3.1 Intel 80インタフェースタイミング-1.8V

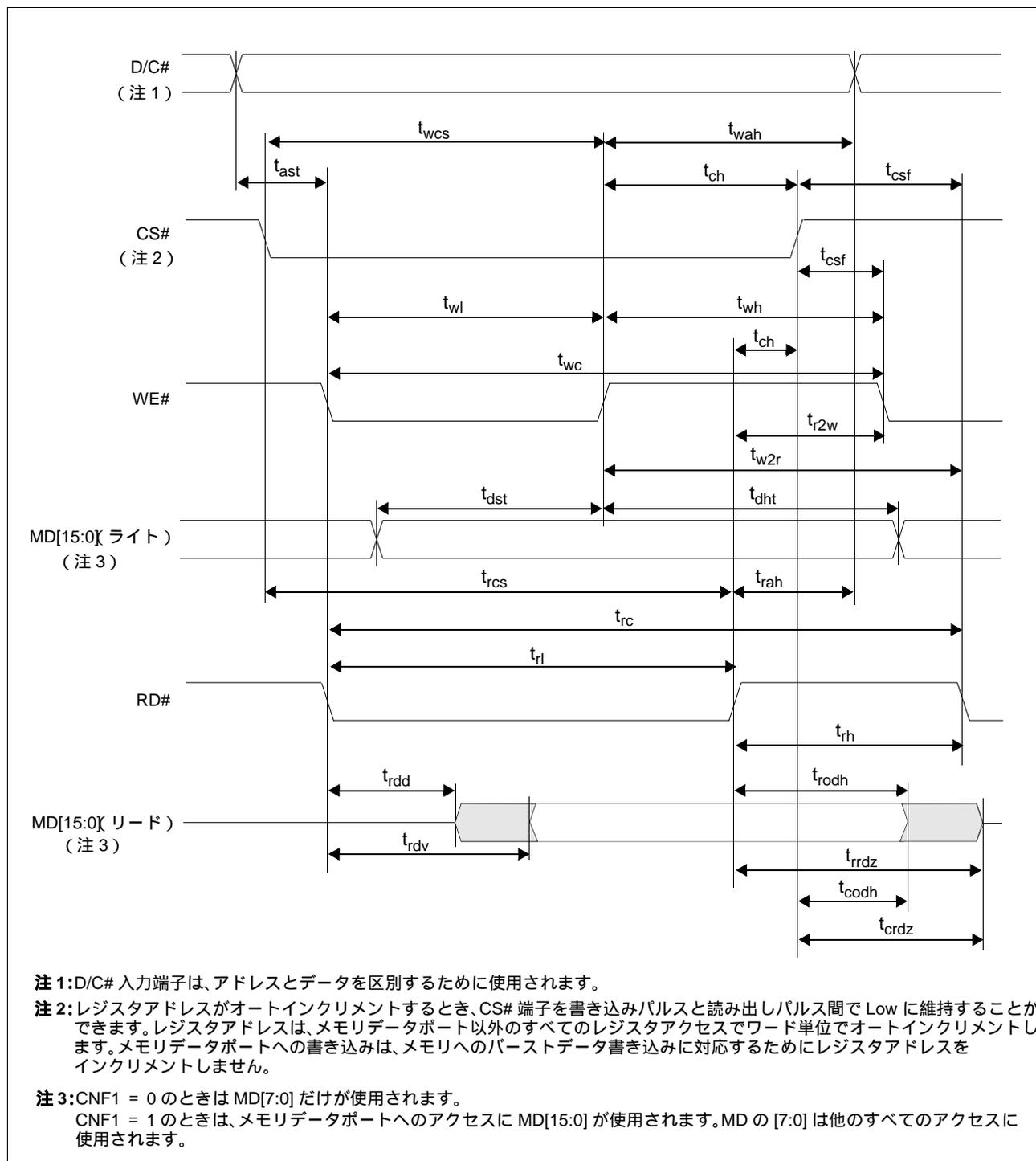


図7.4 Intel 80入力AC特性-1.8V

7. AC特性

表7.4 Intel 80入力AC特性-1.8V

信号	記号	パラメータ	Min	Max	単位	説明
D/C#	t_{ast}	アドレスセットアップ時間 (リード/ライト)	1	-	ns	
	t_{wah}	アドレスホールド時間 (ライト)	6	-	ns	
	t_{rah}	アドレスホールド時間 (リード)	30	-	ns	
CS#	t_{wcs}	チップセレクトセットアップ時間 (ライト)	t_{wl}	-	ns	
	t_{rcs}	チップセレクトセットアップ時間 (リード)	t_{rl}	-	ns	
	t_{ch}	チップセレクトホールド時間 (リード/ライト)	1	-	ns	
	t_{csf}	チップセレクトウェイト時間 (リード/ライト)	0	-	ns	
WE#	t_{wc}	レジスタライトサイクル	12	-	ns	
		LUTライトサイクル	$2SYSCLK + 2$	-	ns	
		メモリライトサイクル	$2SYSCLK + 2$	-	ns	
	t_{wl}	Lowパルス幅持続時間	5	-	ns	
	t_{wh}	Highパルス幅持続時間	$t_{wc} - t_{wl}$	-	ns	
	t_{w2r}	WE#立ち上がりエッジ RD#立ち下がりエッジ	12	-	ns	(注1)
RD#	t_{r2w}	RD#立ち上がりエッジ WE#立ち下がりエッジ	27	-	ns	(注2)
	t_{rc}	リードサイクル	$t_{rl} + t_{rh}$	-	ns	
	t_{rl}	Lowパルス幅持続時間	t_{rdv}	-	ns	
	t_{rh}	レジスタのHighパルス幅持続時間	36	-	ns	
		メモリとLUTのHighパルス幅持続時間	$1SYSCLK + 25$	-	ns	
MD[15:0] (注4)	t_{dst}	ライトデータセットアップ時間	2	-	ns	
	t_{dht}	ライトデータホールド時間	7	-	ns	
	t_{rodh}	リードデータホールド時間 RD#立ち上がりエッジ	11	-	ns	
	t_{rrdz}	RD#立ち上がりエッジ MD Hi-Z	-	32	ns	(注3)
	t_{codh}	CS#立ち上がりエッジからのリードデータホールド時間	1	-	ns	
	t_{crdz}	CS#立ち上がりエッジ MD Hi-Z	-	8	ns	
	t_{rdv}	RD#立ち下がりエッジ レジスタに有効なMD	-	17	ns	CL = 30pF
		RD#立ち下がりエッジ LUTに有効なMD	-	$4SYSCLK + 27$	ns	
		RD#立ち下がりエッジ メモリに有効なMD	-	$5SYSCLK + 20$	ns	
		RD#立ち下がりエッジ レジスタに有効なMD	-	12	ns	CL = 8pF
		RD#立ち下がりエッジ LUTに有効なMD	-	$4SYSCLK + 22$	ns	
RD#立ち下がりエッジ メモリに有効なMD		-	$5SYSCLK + 15$	ns		
t_{rdd}	RD#立ち下がりエッジ MD出力	4	-	ns	CL = 30pF	
	RD#立ち下がりエッジ MD出力	3	-	ns	CL = 8pF	

注

1. リードサイクルがライトサイクルの後の場合は、RD#の立ち下がりエッジ後の最大 t_{rdd} だけMD[15:0]をHi-Zにしなければなりません。
2. ライトサイクルがリードサイクルの後の場合は、RD#の立ち上がりエッジ後の t_{rrdz} までMD[15:0]がホストによって駆動されないようにしてください。
3. CS#がLowのままであるとして、RD#の立ち上がりエッジ後にCS#が t_{rrdz} 前にHighになる場合は、MD[15:0]は t_{crdz} に応じてHi-Zになります。
4. CNF1 = 0のときはMD[7:0]だけが使用されます。CNF1 = 1のとき、MD[15:0]が使用されるときはメモリデータポートを除くすべてのアクセスにMD[7:0]が使用されます。

7.3.2 Intel 80インタフェースタイミング-3.3V

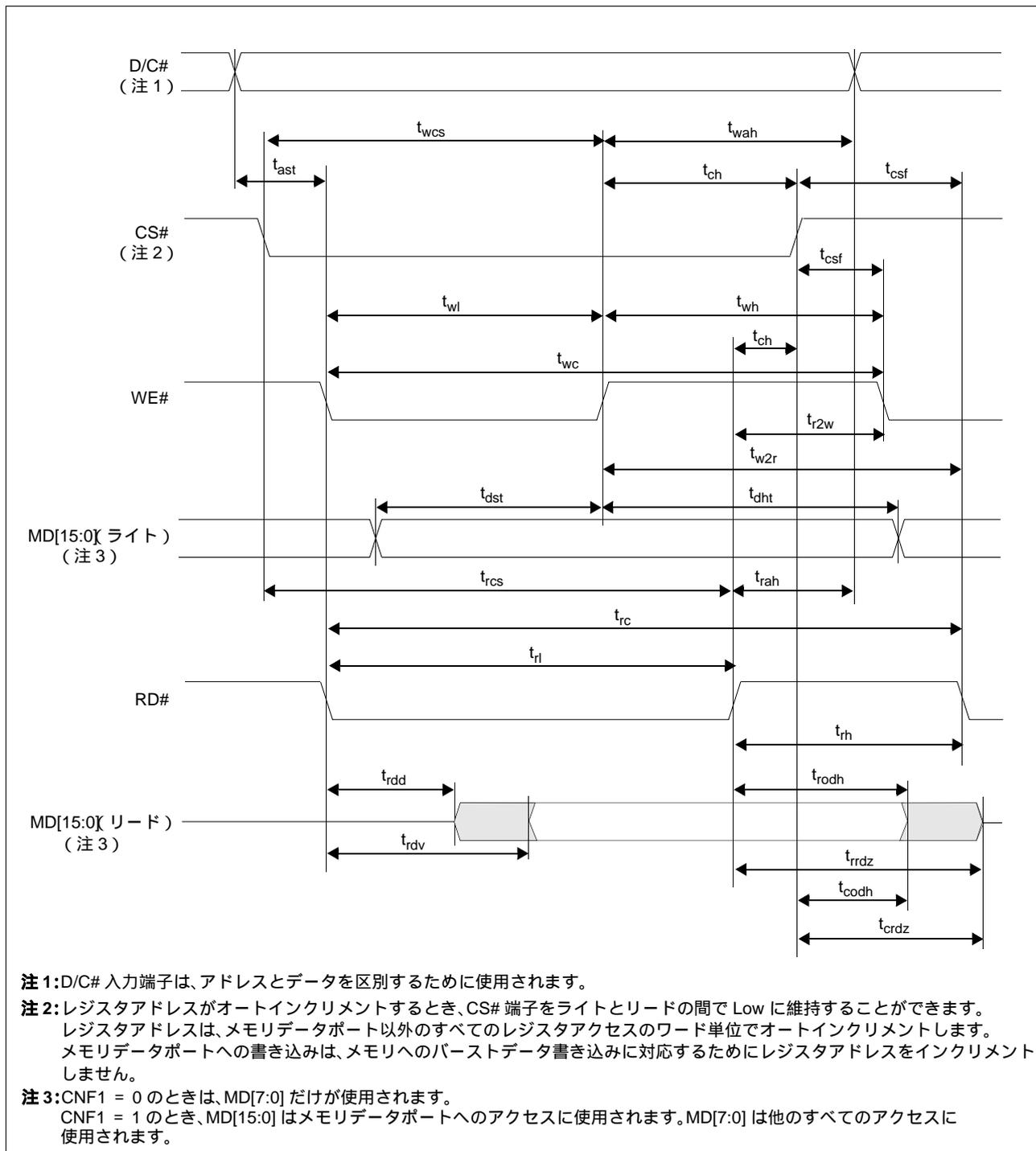


図7.5 Intel 80入力AC特性-3.3V

7. AC特性

表7.5 Intel 80入力AC特性-3.3V

信号	記号	パラメータ	Min	Max	単位	説明
D/C#	t_{ast}	アドレスセットアップ時間 (リード/ライト)	2	—	ns	
	t_{wah}	アドレスホールド時間 (ライト)	6	—	ns	
	t_{rah}	アドレスホールド時間 (リード)	31	—	ns	
CS#	t_{wcs}	チップセレクトセットアップ時間 (ライト)	t_{wl}	—	ns	
	t_{rcs}	チップセレクトセットアップ時間 (リード)	t_{rl}	—	ns	
	t_{ch}	チップセレクトホールド時間 (リード/ライト)	0	—	ns	
	t_{csf}	チップセレクトウェイト時間 (リード/ライト)	1	—	ns	
WE#	t_{wc}	レジスタライトサイクル	10	—	ns	
		LUTライトサイクル	$2SYSCLK + 2$	—	ns	
		メモリライトサイクル	$2SYSCLK + 2$	—	ns	
	t_{wl}	Lowパルス幅持続時間	5	—	ns	
	t_{wh}	Highパルス幅持続時間	$t_{wc} - t_{wl}$	—	ns	
	t_{w2r}	WR#立ち上がりエッジ RD#立ち下がりエッジ	12	—	ns	(注1)
RD#	t_{r2w}	RD#立ち上がりエッジ WR#立ち下がりエッジ	27	—	ns	(注2)
	t_{rc}	リードサイクル	$t_{rl} + t_{rh}$	—	ns	
	t_{rl}	Lowパルス幅持続時間	t_{rdv}	—	ns	
	t_{rh}	レジスタのHighパルス幅持続時間	36	—	ns	
		メモリとLUTのHighパルス幅持続時間	$1SYSCLK + 26$	—	ns	
MD[15:0] (注4)	t_{dst}	ライトデータセットアップ時間	2	—	ns	
	t_{dht}	ライトデータホールド時間	7	—	ns	
	t_{rodh}	RD#立ち上がりエッジからのリードデータホールド時間	11	—	ns	
	t_{rrdz}	RD#立ち上がりエッジ MD Hi-Z	—	31	ns	(注3)
	t_{codh}	CS#立ち上がりエッジからのリードデータホールド時間	0.5	—	ns	
	t_{crdz}	CS#立ち上がりエッジ MD Hi-Z	—	8	ns	
	t_{rdv}	RD#立ち下がりエッジ レジスタに有効なMD	—	12	ns	CL = 30pF
		RD#立ち下がりエッジ LUTに有効なMD	—	$4SYSCLK + 22$	ns	
		RD#立ち下がりエッジ メモリに有効なMD	—	$5SYSCLK + 15$	ns	
		RD#立ち下がりエッジ レジスタに有効なMD	—	10	ns	CL = 8pF
		RD#立ち下がりエッジ LUTに有効なMD	—	$4SYSCLK + 19$	ns	
		RD#立ち下がりエッジ メモリに有効なMD	—	$5SYSCLK + 12$	ns	
	t_{rdd}	RD#立ち下がりエッジ MD出力	3	—	ns	CL = 30pF
RD#立ち下がりエッジ MD出力		2	—	ns	CL = 8pF	

注

1. リードサイクルがライトサイクルの後の場合、MD[15:0]は、RD#の立ち下がりエッジ後の最大 t_{rdd} だけHi-Zにしなければなりません。
2. ライトサイクルがリードサイクルの後の場合、RD#の立ち上がりエッジ後の t_{rrdz} までMD[15:0]はホストによって駆動されないようにしてください。
3. CS#が低いままであるとして、RD#の立ち上がりエッジの後にCS#が t_{rrdz} までHighの場合、MD[15:0]は t_{crdz} に応じてHi-Zになります。
4. CNF1 = 0 のときは MD[7:0] だけが使用されます。CNF1 = 1 のときは、MD[15:0]が使用される時のメモリデータポートを除くすべてのアクセスにMD[7:0]が使用されます。

7.3.3 Hi-Z状態への遷移時間の定義

高速信号のハイインピーダンス測定が難しいため、High/LowからHi-Zへの遷移時間は次のように指定されます。

- HighからHi-Zへの遅延時間： t_{pHZ}
Pch-MOSFETの最終段のゲート電圧が $0.8 \times IOVDD$ になるときの遅延時間（Pch-MOSFETはオフ）。Hi-Zまでの総遅延時間は次のように計算されます。
内部ロジック遅延 + t_{pHZ} （HighからHi-Zへ）
- LowからHi-Zへの遅延時間： t_{pLZ}
Nch-MOSFETの最終段のゲート電圧が $0.2 \times IOVDD$ になるときの遅延時間（Nch-MOSFETはオフ）。Hi-Zまでの総遅延時間は次のように計算されます。
内部ロジック遅延 + t_{pLZ} （HighからHi-Zへ）

トライステート出力セルの最終段の機能モデルを図7.6「Hi-Z状態への遷移時間の定義」に示します。

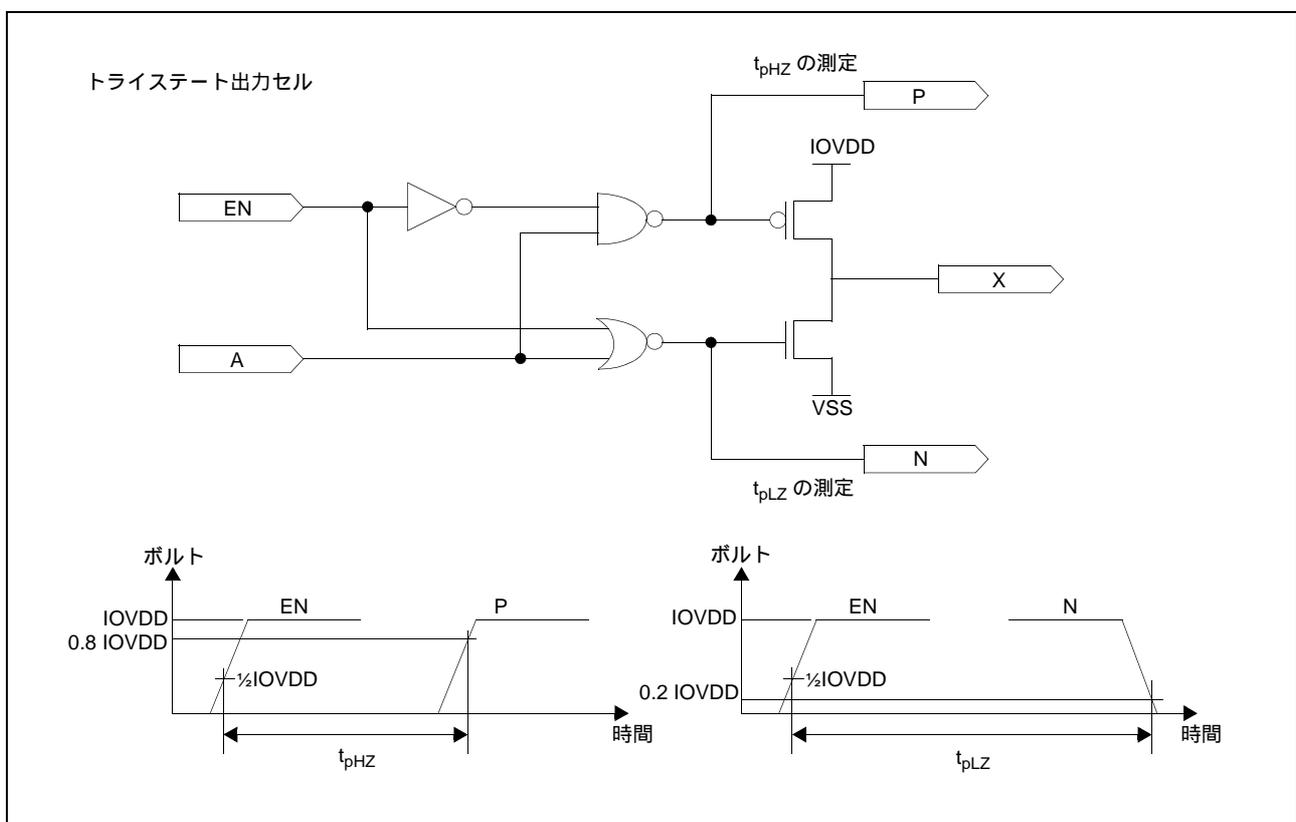


図7.6 Hi-Z状態への遷移時間の定義

7. AC特性

7.4 LCDインタフェース

フラットパネルLCDの駆動に必要なタイミングパラメータを以下に示します。サポートする各パネルタイプのタイミングの詳細は、この章の残りの部分で説明します。

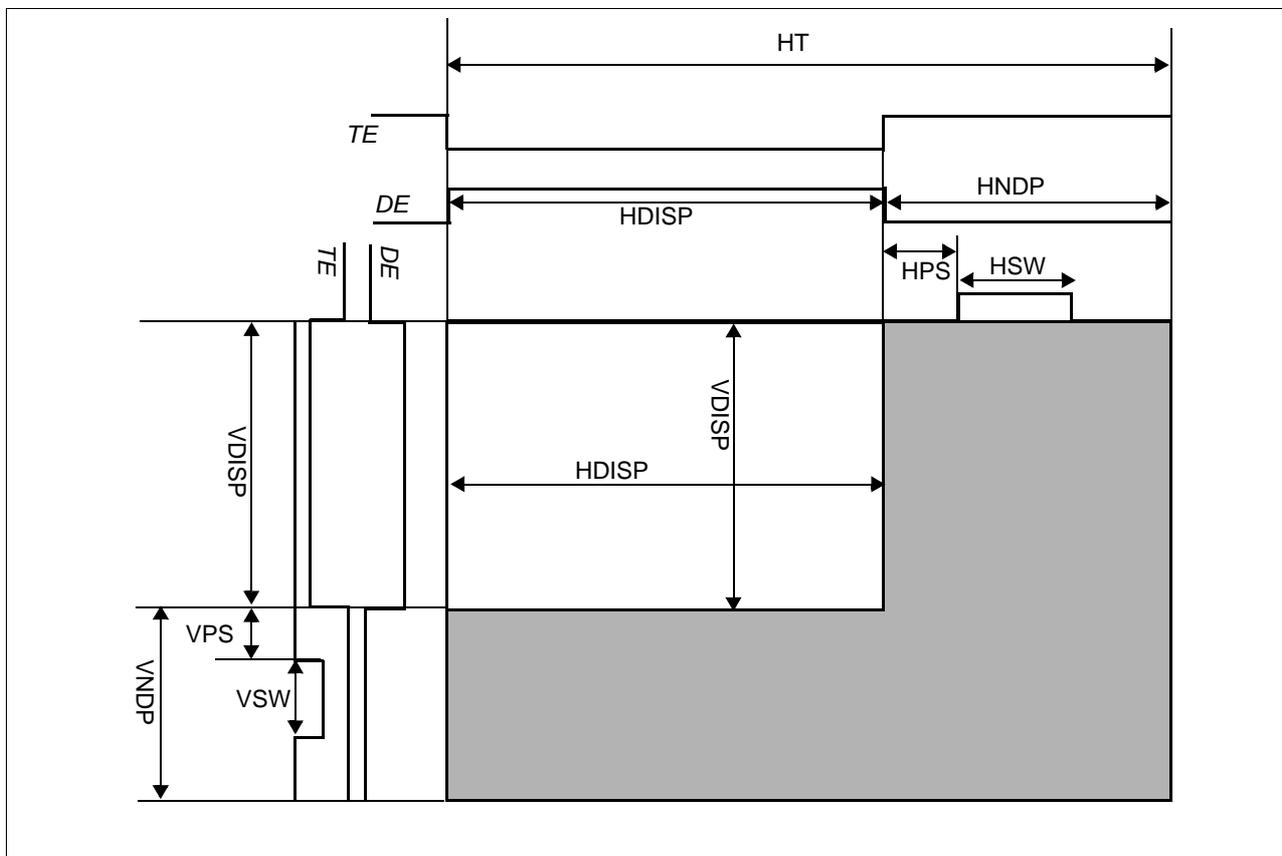


図7.7 パネルタイミングパラメータ

表7.6 パネルタイミングパラメータの定義とレジスタの一覧

記号	説明	導出方法	単位
HDISP	水平表示期間	REG[16h]ビット6~0×8	Ts (注1)
HNDP	水平非表示期間	REG[18h]ビット6~0	
HPS	HSパルス開始位置	REG[22h]ビット6~0	
HSW	HSパルス幅	REG[20h]ビット6~0	
VDISP	垂直表示期間	REG[1Ch]ビット1~0、REG[1Ah]ビット7~0	ライン (HT)
VNDP	垂直非表示期間	REG[1Eh]ビット7~0	
VPS	VSパルス開始位置	REG[26h]ビット7~0	
VSW	VSパルス幅	REG[24h]ビット5~0	

注

1. $TS = 1/f_{PCLK}$

7.4.1 TFTパワーオンシーケンス

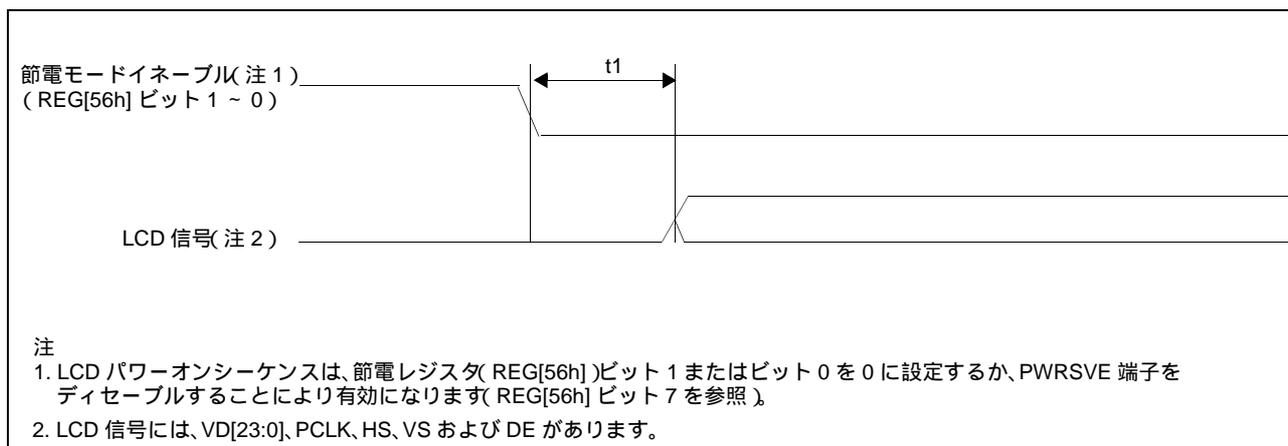


図7.8 TFTパワーオンシーケンスタイミング

表7.7 TFTパワーオンシーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	節電モードディセーブル LCD信号アクティブ	0	20	ns

7. AC特性

7.4.2 TFTパワーオフシーケンス



図7.9 TFTパワーオフシーケンスタイミング

表7.8 TFTパワーオフシーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	節電モードイネーブル LCD信号Low	0	20	ns

7.4.3 汎用18/24ビットTFTパネルタイミング

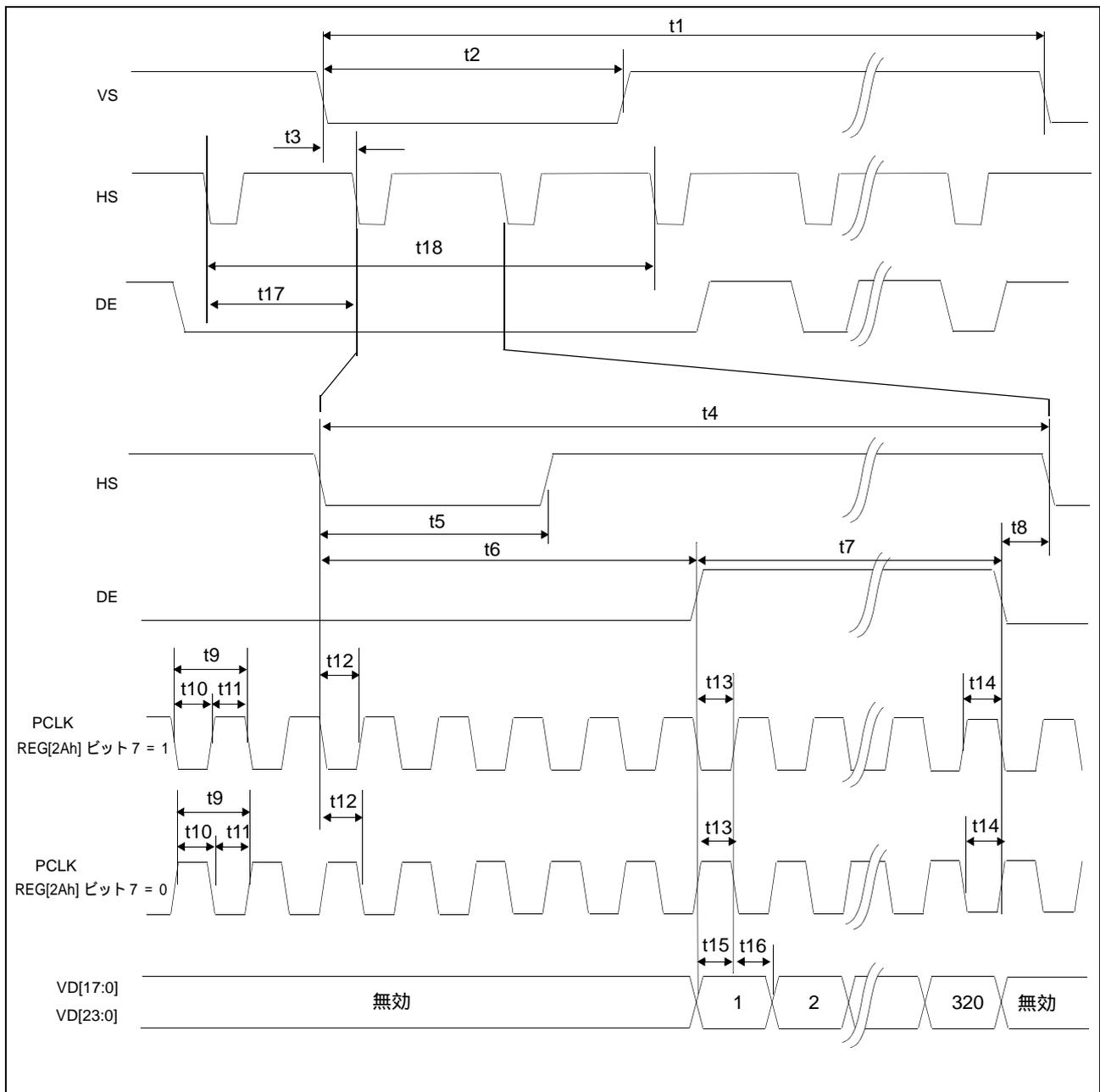


図7.10 18/24ビットTFT ACタイミング

注

HS、VS、PCLKはすべてレジスタによる極性選択ビットがあります。

7. AC特性

表7.9 18/24ビットTFT ACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	VSサイクル時間	—	VDISP + VNDP	—	ライン
t2	VS Lowパルス幅	—	VSW	—	ライン
t3	VS立ち下がりエッジ HS立ち下がりエッジ位相差	—	HPS	—	Ts (注1)
t4	HSサイクル時間	—	HDISP + HNDP	—	Ts
t5	HS Lowパルス幅	—	HSW	—	Ts
t6	HS立ち下がりエッジ DEアクティブ	—	HNDP - HPS	—	Ts
t7	DE Highパルス幅	—	HDISP	—	Ts
t8	DEインアクティブ HS立ち下がりエッジ	—	HPS	—	Ts
t9	PCLK周期	1	—	—	Ts
t10	PCLK Lowパルス幅	0.5	—	—	Ts
t11	PCLK Highパルス幅	0.5	—	—	Ts
t12	HSセットアップ PCLK立ち下がりエッジ	0.5	—	—	Ts
t13	DEセットアップ PCLK立ち上がりエッジ	0.5	—	—	Ts
t14	PCLK立ち上がりエッジ DEホールド	0.5	—	—	Ts
t15	データセットアップ PCLK立ち上がりエッジ	0.5	—	—	Ts
t16	PCLK立ち上がりエッジ データホールド	0.5	—	—	Ts
t17	DEストップセットアップ VS開始	—	VPS	—	Ts
t18	垂直非表示期間	—	VNDP	—	Ts

注

1. Ts = ピクセルクロック周期

注

24ビットモードでは、データは常にPCLKの適正なエッジで開始されます。このモードでは、PCLKの周波数は設定された内部値の1/2です。HSとVSを常にデータと同じPCLKのエッジで開始したい場合は、HNDP、HSWおよびHSSを同じ値に設定してください。

8. メモリ

S1D13743は464KBのSRAMを内蔵しています。このSRAMは2つのバンクで構成され、1番目は304KBで、2番目が160KBになっています。各バンクには隣接アドレスが対応します。

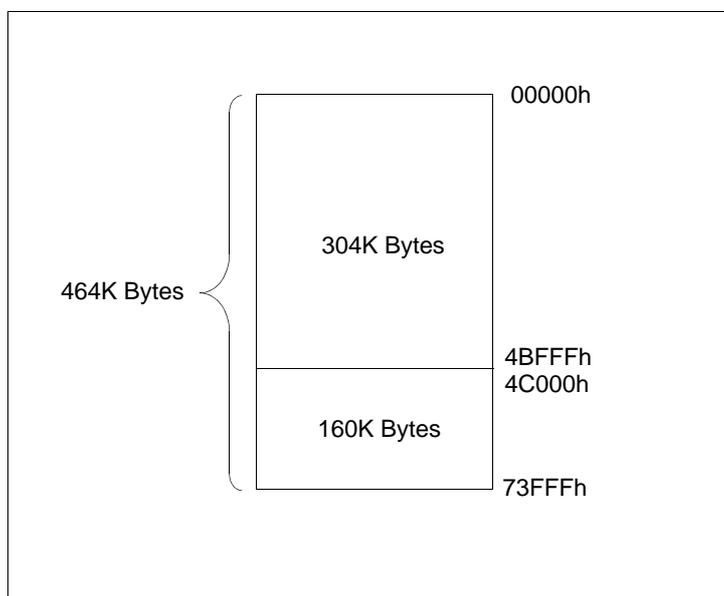


図8.1 S1D13743 物理メモリ

メモリに書き込まれたデータは全て、入力データのフォーマットに関わりなく、RGB 8:8:8のフォーマットになります。次の表に、ピクセルデータがどのようにS1D13743メモリに貯えられるかを示します。

表8.1 シングルバッファのメモリマップ (REG[36h] 6ビット = 0b)

メモリアドレス	説明
00000h	緑 [7:0] ピクセル1
00001h	赤 [7:0] ピクセル1
00002h	緑 [7:0] ピクセル2
00003h	赤 [7:0] ピクセル2
⋮	⋮
⋮	⋮
⋮	⋮
4C000h	青 [7:0] ピクセル1
4C001h	青 [7:0] ピクセル2
⋮	⋮
⋮	⋮
⋮	⋮
73FFFh	⋮

表8.2 ダブルバッファのメモリマップ (REG[36h] 6ビット = 1b)

メモリアドレス	説明
00000h	緑 [7:0] ピクセル1, バッファ 1
00001h	赤 [7:0] ピクセル1, バッファ 1
00002h	緑 [7:0] ピクセル2, バッファ 1
00003h	赤 [7:0] ピクセル2, バッファ 1
•	•
•	•
•	•
26000h	緑 [7:0] ピクセル1, バッファ 2
26001h	赤 [7:0] ピクセル1, バッファ 2
26002h	緑 [7:0] ピクセル2, バッファ 2
26003h	赤 [7:0] ピクセル2, バッファ 2
•	•
•	•
•	•
4C000h	青 [7:0] ピクセル1, バッファ 1
4C001h	青 [7:0] ピクセル2, バッファ 1
•	•
•	•
•	•
60000h	青 [7:0] ピクセル1, バッファ 2
60001h	青 [7:0] ピクセル2, バッファ 2
•	•
•	•
•	•
73FFFh	•

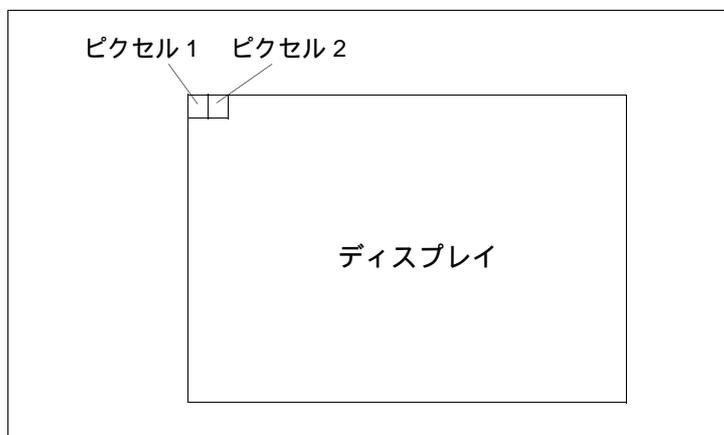


図8.2 ディスプレイピクセル位置

9. クロック

9.1 クロックの説明

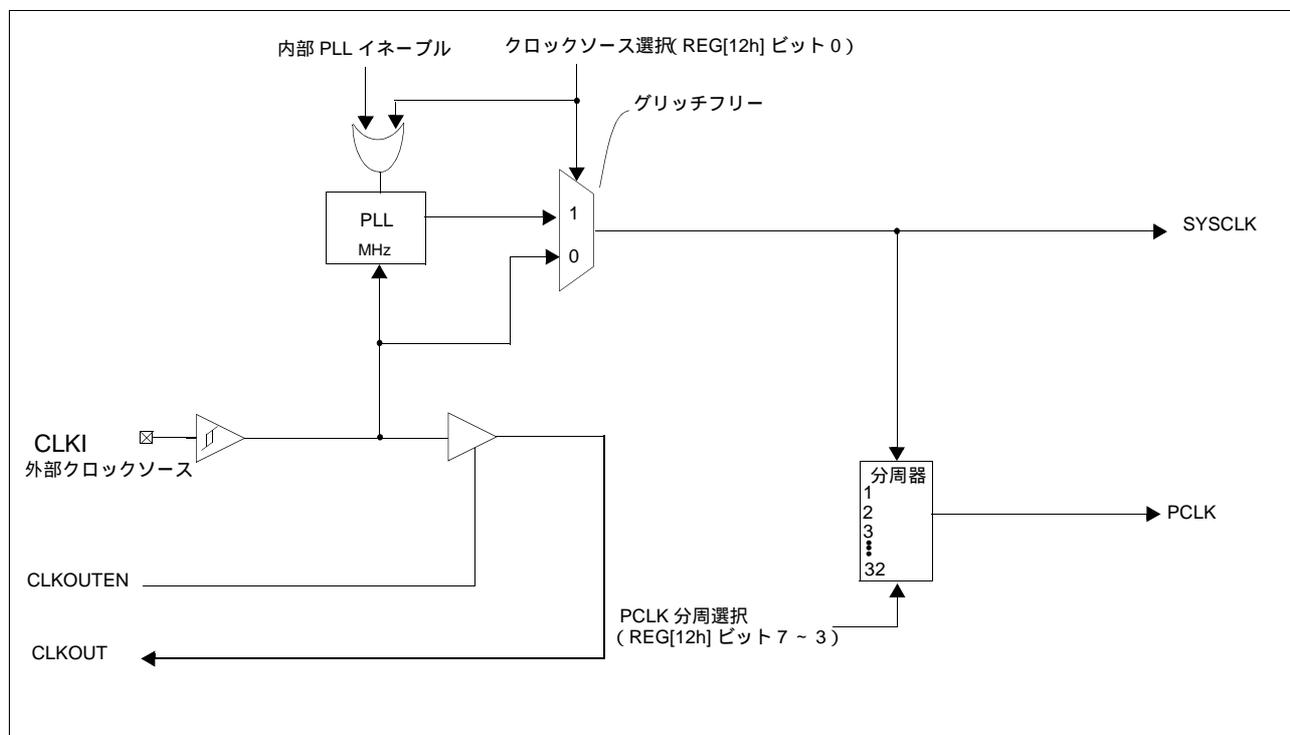


図9.1 S1D13743クロックのブロック図

9.3 クロックと機能

以下の表は、さまざまなS1D13743機能に必要な内部クロックの一覧です。

表9.1 内部クロック要件

機能	内部SYSCLK	内部PCLK
レジスタ読み書き	なし	なし
メモリ読み書き	あり	なし
ロックアップテーブルレジスタ 読み書き	あり	なし
パワーセーブ	なし	なし
LCD出力	あり	あり

注

S1D13743はバスサイクルのみからクロックを作成するので、レジスタアクセスに内部クロックは不要です。

9. クロック

9.4 SYSCLKとPCLKの設定

システムクロック周期 (TSYSCLK) は、以下の範囲になるように設定してください。

For PLL: $15.03\text{ns} < T_{\text{SYSCLK}} < (T_{\text{BBC}} - 0.976) \times 0.485\text{ns}$

For CLKI: $14.58\text{ns} < T_{\text{SYSCLK}} < (T_{\text{BBC}} - 0.976) \times 0.5\text{ns}$

ここで、 T_{BBC} は、Intel 80インタフェースの最小連続サイクル時間です。

例えば、Intel 80の最小連続サイクル時間が47.5nsの場合は、次のようになります。

For PLL: $15.03\text{ns} < T_{\text{SYSCLK}} < 22.584\text{ns}$

For CLKI: $14.58\text{ns} < T_{\text{SYSCLK}} < 23.262\text{ns}$

したがって、

For PLL: $44.28\text{MHz} < f_{\text{SYSCLK}} < 66.53\text{MHz}$

For CLKI: $42.99\text{MHz} < f_{\text{SYSCLK}} < 68.59\text{MHz}$

T_{SYSCLK} を設定するときは、PCLK周波数 (f_{PCLK}) が望ましい値になるように注意してください。PCLKは、SYSCLKを整数で割ったものです。以下のグラフは、 $T_{\text{BBC}} = 47.5\text{ns}$ でPCLKが所定値の場合のSYSCLKの設定を示しています。

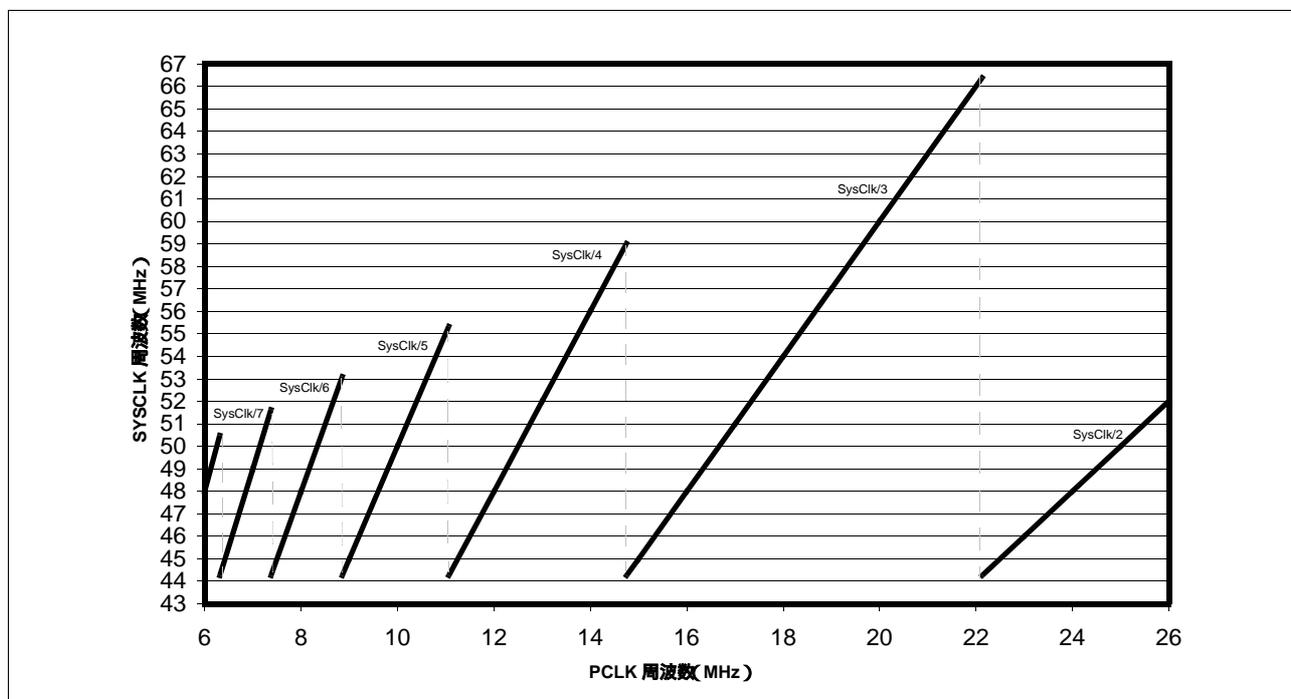


図9.3 望ましいPCLKのSYSCLKの設定

10. レジスタ

この章では、S1D13743レジスタにアクセスする方法と場所について説明します。また、各レジスタのレイアウトと使用方法について詳しく説明します。

レジスタ空間へのバーストデータ書き込みは、メモリデータポート (REG[48h] ~ REG[49h]) とガンマ補正テーブルデータレジスタ (REG[54h]) に対する書き込みアクセスを除くすべてのレジスタ書き込みアクセスに対応しています。これらのレジスタに対する書き込みは、内部メモリアドレスだけを常にオートインクリメントします。

10.1 レジスタマッピング

レジスタとメモリはすべて、Intel 80インタフェースを介してアクセスされます。CNF1端子の設定に従ってアクセスされるメモリデータポート (REG[48h ~ 49h]) を除くすべてのアクセスは8ビットです (CNF1 = 1では16ビット、CNF1 = 0では8ビット)。この設定の詳細は、11ページの4.3「構成オプションの一覧」を参照してください。

10. レジスタ

10.2 レジスタセット

S1D13743レジスタを以下の表に示します。

表10.1 S1D13743レジスタセット

レジスタ	ページ	レジスタ	ページ
読み出し専用設定レジスタ			
REG[00h] Revision Code Register	39	REG[02h] Configuration Readback Register	39
クロック設定レジスタ			
REG[04h] PLL M-Divider Register	40	REG[06h] PLL Setting Register 0	41
REG[08h] PLL Setting Register 1	41	REG[0Ah] PLL Setting Register 2	41
REG[0Ch] PLL Setting Register 3	42	REG[0Eh] PLL Setting Register 4	42
REG[10h]	43	REG[12h] Clock Source Select Register	43
パネル設定レジスタ			
REG[14h] Panel Type Register	45	REG[16h] Horizontal Display Width Register (HDISP)	45
REG[18h] Horizontal Non-Display Period Register (HNDP)	45	REG[1Ah] Vertical Display Height Register 0 (VDISP)	46
REG[1Ch] Vertical Display Height Register 1 (VDISP)	46	REG[1Eh] Vertical Non-Display Period Register (VNDP)	46
REG[20h] HS Pulse Width Register (HSW)	46	REG[22h] HS Pulse Start Position Register (HPS)	47
REG[24h] VS Pulse Width Register (VSW)	47	REG[26h] VS Pulse Start Position Register (VPS)	47
REG[28h] PCLK Polarity Register	47		
入力モードレジスタ			
REG[2Ah] Input Mode Register	48	REG[2Ch] Input YUV/RGB Translate Mode Register 0	49
REG[2Eh] Input YUV/RGB Translate Mode Register 1	50	REG[30h] U Data Fix Register	51
REG[32h] V Data Fix Register	51		
表示モードレジスタ			
REG[34h] Display Mode Register	52	REG[36h] Special Effects Register	53
ウィンドウ設定			
REG[38h] Window X Start Position Register 0	56	REG[3Ah] Window X Start Position Register 1	56
REG[3Ch] Window Y Start Position Register 0	56	REG[3Eh] Window Y Start Position Register 1	56
REG[40h] Window X End Position Register 0	57	REG[42h] Window X End Position Register 1	57
REG[44h] Window Y End Position Register 0	57	REG[46h] Window Y End Position Register 1	57
メモリアクセス			
REG[48h] Memory Data Port Register 0	58	REG[49h] Memory Data Port Register 1	58
REG[4Ah] Memory Read Address Register 0	59	REG[4Ch] Memory Read Address Register 1	59
REG[4Eh] Memory Read Address Register 2	59		
ガンマ補正レジスタ			
REG[50h] Gamma Correction Enable Register	60	REG[52h] Gamma Correction Table Index Register	61
REG[54h] Gamma Correction Table Data Register	61		
その他のレジスタ			
REG[56h] Power Save Register	62	REG[58h] Non-Display Period Control / Status Register	63
汎用IO端子レジスタ			
REG[5Ah] General Purpose IO Pins Configuration Register 0	65	REG[5Ch] General Purpose IO Pins Status/Control Register 0	65
REG[5Eh] GPIO Positive Edge Interrupt Trigger Register	65	REG[60h] GPIO Negative Edge Interrupt Trigger Register	66
REG[62h] GPIO Interrupt Status Register	66	REG[64h] GPIO Pull-down Control Register	66

10.3 レジスタの説明

予約ビットはすべてデフォルト値に設定してください。予約ビットにデフォルトでない値を書き込むと誤動作することがあります。n/aと示したビットはハードウェアに作用しません。特に断らない限り、レジスタビットはすべてパワーオンリセット中に0に設定されます。

10.3.1 読み出し専用設定レジスタ

REG[00h] Revision Code Register							
Default = 98h							Read Only
製品コードビット5-0					改訂コードビット1-0		
7	6	5	4	3	2	1	0

bits 7-2 製品コードビット[5:0]（読み出し専用）
これらの読み出し専用ビットは製品コードを示します。S1D13743の製品コードは100110です。

bits 1-0 改訂コードビット[1:0]（読み出し専用）
これらの読み出し専用ビットは改訂コードを示します。改訂コードは00です。

REG[02h] Configuration Readback Register							
Default = xxh							Read Only
n/a					CNF2状態	CNF1状態	CNF0状態
7	6	5	4	3	2	1	0

bits 2-0 CNF状態[2:0]（読み出し専用）
これらの読み出し専用状態ビットは、設定端子CNF[2:0]の状態を返します。CNF[2:0]機能の詳細は、11ページの4.3「構成オプションの一覧」を参照してください。

10. レジスタ

10.3.2 クロック設定レジスタ

REG[04h] PLL M-Divider Register							Read/Write
Default = 00h							
PLLロック (RO)	n/a			M分周ビット5-0			
7	6	5	4	3	2	1	0

bit 7 PLLロック (読み出し専用)
このビットは、PLL出力の状態を示します。
このビットが0のとき、PLL出力は不安定です。この状態では、表示バッファに対する読み書きアクセスは禁止されます。
このビットが1のとき、PLL出力は安定します。

bits 5-0 M分周ビット[5:0]
これらのビットは、CLKIとPLLへの実際の入力クロックとの分周比を決定します。

注

PLL (PLLCLK) に対する内部入力クロックは、1MHz ~ 2MHzでなければなりません。これらのビットはCLKIに従って設定される必要があります。

注

20hより大きい値は使用できません。

表10.2 PLL M分周選択

REG[04h]ビット5~0	M分周比
0h	1:1
01h	2:1
02h	3:1
03h	4:1
•	•
•	•
•	•
20h	33:1
21h ~ 3Fh	Reserved

REG[06h] PLL Setting Register 0

Default = 00h

Read/Write

PLL設定レジスタ0ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは値F8hに設定してください。

REG[08h] PLL Setting Register 1

Default = 00h

Read/Write

PLL設定レジスタ1ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは値80hに設定してください。

REG[0Ah] PLL Setting Register 2

Default = 00h

Read/Write

PLL設定レジスタ2ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは値28hに設定してください。

10. レジスタ

REG[0Ch] PLL Setting Register 3							
Default = 00h							Read/Write
PLL設定レジスタ3ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは値00hに設定してください。

REG[0Eh] PLL Setting Register 4							
Default = 00h							Read/Write
n/a	Lカウンタビット6-0						
7	6	5	4	3	2	1	0

bits 6-0

Lカウンタビット[6:0]

これらのビットは、PLL出力 (MHz) を設定するために使用され、次の式に従って設定してください。

$$\text{PLL出力} = (\text{Lカウンタ} + 1) \times \text{PLLCLK} = \text{LL} \times \text{PLLCLK}$$

ここで：

PLL出力は望ましいPLL出力周波数 (MHz) です。

Lカウンタはこのレジスタの値です (10進数)。

PLLCLKは、PLLへの内部入力クロック (MHz) です。

表10.3 PLL設定例

目標周波数 (MHz)	LL	CLKI入力 クロック (MHz)	M分周器 REG[04h]ビット5~0	M分周比	PLLCLK (MHz)	POUT (MHz)
53	53	12	0Bh	12:1	1.0	53
60	60	12	0Bh	12:1	1.0	60
•	•	•	•	•	•	•
53	53	19.2	12h	19:1	1.0105	53.53
60	60	19.2	12h	19:1	1.0105	60.63

REG[10h]							
Default = 00h							
Read/Write							
7	6	5	4	3	2	1	0

このレジスタへの書き込みはハードウェアに作用しません。オートインクリメントの際は、このレジスタにダミー書き込みを実行してください。

REG[12h] Clock Source Select Register							
Default = 00h							
Read/Write							
PCLK分周選択ビット4~0				n/a		SYSCLKソース選択	
7	6	5	4	3	2	1	0

bits 7-3

PCLK分周選択ビット[4:0]

これらのビットは、パネルクロック (PCLK) 周波数の分周比を指定します。PCLKのクロックソースはSYSCLKです。

得られるすべてのクロック周波数は、分周比に関係なくデューティサイクル50/50を維持します。

表10.4 PCLK分周比選択

REG[12h]ビット7~3	PCLK分周比	REG[12h]ビット7~3	PCLK分周比
00000	Reserved	10000	17:1
00001	2:1	10001	18:1
00010	3:1	10010	19:1
00011	4:1	10011	20:1
00100	5:1	10100	21:1
00101	6:1	10101	22:1
00110	7:1	10110	23:1
00111	8:1	10111	24:1
01000	9:1	11000	25:1
01001	10:1	11001	26:1
01010	11:1	11010	27:1
01011	12:1	11011	28:1
01100	13:1	11100	29:1
01101	14:1	11101	30:1
01110	15:1	11110	31:1
01111	16:1	11111	32:1

10. レジスタ

bit 0

SYSCLKソース選択

このビットは、S1D13743のシステムクロック (SYSCLK) のソースを選択します。

このビットが0のとき、SYSCLKソースは外部CLKI入力です。

このビットが1のとき、SYSCLKソースは内部PLLです。

PLLをSYSCLKソース (REG[12h]ビット0 = 1) として選択した場合は、これらのビットを設定する前にREG[06h]、REG[08h]、REG[0Ah]、REG[0Ch]、REG[0Eh] およびREG[10h]を使ってPLLを設定してください。

注

PLL出力は10ms後に安定します。PLL出力が安定するまで表示メモリとガンマ補正テーブルにアクセスしないでください。PLLロックビットREG[04h]ビット7を使って、PLL出力が安定しているかどうか判定することができます。

10.3.3 パネル設定レジスタ

REG[14h] Panel Type Register							Read/Write
Default = 00h							
VDデータスワップ				n/a			パネルデータ幅
7	6	5	4	3	2	1	0

- bit 7 VDデータスワップ
このビットは、パネルデータライン（VD[23:0]）をスワップするかどうかを決定します。イネーブルされた場合は、13ページの表5.2「24ビットパネルのLCDインタフェースデータ端子割り付け」と13ページの表5.3「18ビットパネルのLCDインタフェースデータ端子割り付け」に示したように、データスワップはアクティブ出力端子のMSBからLSBまでです。
このビットが0のとき、データラインは通常通りです（即ち、出力端子VD23 = VD23など）。
このビットが1のとき、データラインはスワップされます（即ち、出力端子VD23 = VD0など）。
- bit 0 パネルデータ幅
このビットは、LCDインタフェースのデータ幅を指定します。
このビットが0のとき、LCDインタフェースは18ビットとして設定されます（1ピクセル/クロック）。
このビットが1のとき、LCDインタフェースは24ビットとして設定されます（1ピクセル/クロック）。

REG[16h] Horizontal Display Width Register (HDISP)							Read/Write
Default = 01h							
n/a				水平表示期間ビット6~0			
7	6	5	4	3	2	1	0

- bits 6-0 水平表示期間ビット[6:0]
これらのビットは、LCDパネルの水平表示期間（HDISP）を8ピクセル解像度で指定します。
 $HDISP（ピクセル数） = （REG[16h]ビット6\sim 0） \times 8$

注

最小水平表示期間は8ピクセルです（REG[16h]ビット6~0 = 01h）。

REG[18h] Horizontal Non-Display Period Register (HNDP)							Read/Write
Default = 00h							
n/a				水平非表示期間ビット6~0			
7	6	5	4	3	2	1	0

- bits 6-0 水平非表示期間ビット[6:0]
これらのビットは、水平非表示期間（HNDP）をピクセルで指定します。
 $HNDP（ピクセル） = REG[18h]ビット6\sim 0$

注

最小水平非表示期間は3ピクセルです（REG[18h]ビット6~0 = 03h）。
HS開始 + HS幅 HNDP

10. レジスタ

REG[1Ah] Vertical Display Height Register 0 (VDISP)							
Default = 01h							Read/Write
垂直表示期間ビット7~0							
7	6	5	4	3	2	1	0

REG[1Ch] Vertical Display Height Register 1 (VDISP)							
Default = 00h							Read/Write
n/a				垂直表示期間ビット9~8			
7	6	5	4	3	2	1	0

REG[1Ch] bits 1-0

REG[1Ah] bits 7-0

垂直表示期間ビット[9:0]

これらのビットは、LCDパネルの垂直表示期間(VDISP)をラインで指定します。

$VDISP(ライン) = (REG[1Ch]ビット1~0、REG[1Ah]ビット7~0)$

注

最小垂直表示期間は1ラインです。

(REG[1Ch]ビット1~0、REG[1Ah]ビット7~0 = 001h)

REG[1Eh] Vertical Non-Display Period Register (VNDP)							
Default = 01h							Read/Write
垂直非表示期間ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

垂直非表示期間ビット[7:0]

これらのビットは、LCDパネルの垂直非表示期間(VNDP)をラインで指定します。

$VNDP(ライン) = REG[1Eh]ビット7~0$

注

最小垂直非表示期間は2ラインです(REG[1Eh]ビット7~0 = 02h)

REG[20h] HS Pulse Width Register (HSW)							
Default = 00h							Read/Write
HSパルス極性	HSパルス幅ビット6~0						
7	6	5	4	3	2	1	0

bit 7

HSパルス極性

このビットは、水平同期信号の極性を選択します。このビットは、パネルの水平同期信号に従って設定されます。

このビットが0のとき、水平同期信号はアクティブLowです。

このビットが1のとき、水平同期信号はアクティブHighです。

bits 6-0

HSパルス幅ビット[6:0]

これらのビットは、LCDパネル(HSW)の水平同期信号の幅をピクセルで指定します。パネルタイプにより水平同期信号は一般にHSです。

$HSW(ピクセル) = REG[20h]ビット6~0$

REG[22h] HS Pulse Start Position Register (HPS)

Default = 00h

Read/Write

n/a	HSパルス開始位置ビット6~0						
7	6	5	4	3	2	1	0

bits 6-0

HSパルス開始位置ビット[6:0]

これらのビットは、水平非表示期間（HPS）の開始に対する水平同期信号の開始位置をピクセルで指定します。

HPS（ピクセル）= REG[22h]ビット6~0

REG[24h] VS Pulse Width Register (VSW)

Default = 00h

Read/Write

VSパルス極性	n/a	VSパルス幅ビット5~0					
7	6	5	4	3	2	1	0

bit 7

VSパルス極性

このビットは、垂直同期信号の極性を選択します。このビットは、パネルの垂直同期信号に従って設定されます。

このビットが0のとき、垂直同期信号はアクティブLowです。

このビットが1のとき、垂直同期信号はアクティブHighです。

bits 5-0

VSパルス幅ビット[5:0]

これらのビットは、パネル（VSW）の垂直同期信号の幅をラインで指定します。パネルタイプによってVSYNCは一般にVSです。

VSW（ライン）= REG[24h]ビット5~0

REG[26h] VS Pulse Start Position Register (VPS)

Default = 00h

Read/Write

VSパルス開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

VSパルス開始位置ビット[7:0]

これらのビットは、垂直非表示期間（VPS）の開始に対する垂直同期信号の開始位置をラインで指定します。

VPS（ライン）= REG[26h]ビット7~0

REG[28h] PCLK Polarity Register

Default = 00h

Read/Write

PCLK極性	n/a						
7	6	5	4	3	2	1	0

bit 7

PCLK極性

このビットは、PCLKの極性を選択します。

このビットが0のとき、データはPCLKの立ち上がりエッジで出力されます。

このビットが1のとき、データはPCLKの立ち下がりエッジで出力されます。

10. レジスタ

10.3.4 入力モードレジスタ

REG[2Ah] Input Mode Register															
Default = 01h							Read/Write								
7		6		5		4		3		2		1		0	
n/a				入力データ形式ビット3~0											

bits 3-0

入力データ形式ビット[3:0]

これらのビットは、入力データ形式を選択します。入力データ形式とメモリデータ形式の詳細は、69ページの13.「Intel 80、8ビットインタフェースカラー形式」、72ページの14.「Intel 80、16ビットインタフェースカラー形式」、および77ページの15.「YUVタイミング」を参照してください。

表10.5 入力データタイプの選択

REG[2Ah]ビット3~0	入力データタイプ
0000	Reserved
0001	RGB 5:6:5
0010	RGB 6:6:6 Mode 1
0011	RGB 8:8:8 Mode 1
0100	Reserved
0101	Reserved
0110	RGB 6:6:6 Mode 2
0111	RGB 8:8:8 Mode 2
1000	YUV 4:2:2
1001	YUV 4:2:0
1010 ~ 1111	Reserved

注

入力データはすべて24 bppとして記憶されます。

注

YUV 4:2:2とYUV 4:2:0は、画像幅がそれぞれ2と4の倍数でなければなりません。YUV 4:2:0の場合、高さは2の倍数でなければなりません。RGB 6:6:6とRGB 8:8:8モード1では、画像幅が奇数の場合、各ラインの最終ワードの赤ピクセルデータは無視されます。赤ピクセルデータは、次の転送で緑データと一緒に再び書き込まなければなりません。73ページの図14.2「18bppモード1 (RGB 6:6:6) および262,144色」または75ページの図14.4「24bppモード1 (RGB 8:8:8) 16,777,216色」を参照してください。

注

8ビットホストインタフェースには、RGB 6:6:6モード2とRGB 8:8:8モード2の設定は使用できません。

REG[2Ch] Input YUV/RGB Translate Mode Register 0							Read/Write
Default = 00h							
Reserved 7	YRCリセット 6	UVフィックスビット1~0 5 4		3	2	1	0

- bit 7 Reserved
このビットのデフォルト値は0です。
- bit 6 YRCリセット
このビットは、YRC（YUV-RGBコンバータ）のソフトウェアリセットを実行します。リセットを行うには、1を書き込んでリセットし、次に0を書き込んでリセット状態から戻してください。
読み出しの場合：
このビットが0のとき、YRCはリセット状態ではありません。
このビットが1のとき、YRCはリセット状態です。
書き込みの場合：
このビットに0を書き込むと、YRCがリセット状態から戻ります。
このビットに1を書き込むと、YRCのソフトウェアリセットが行われます。
- bits 5-4 UVフィックス選択ビット[1:0]
これらのビットは、YRC（YUV-RGBコンバータ）へのUV入力を制御します。

表10.6 UVフィックス選択

REG[2Ch]ビット5~4	YRCへのUV入力
00	オリジナルUデータ、オリジナルVデータ
01	Uデータ = REG[32h]ビット7~0、オリジナルVデータ
10	オリジナルUデータ、Vデータ = REG[34h]ビット7~0
11	Uデータ = REG[32h]ビット7~0、Vデータ = REG[34h]ビット7~0

10. レジスタ

REG[2Eh] Input YUV/RGB Translate Mode Register 1							Read/Write
Default = 05h							
Reserved		YUV入力データタイプ選択ビット1~0		Reserved		YUV/RGB転送モードビット2~0	
7	6	5	4	3	2	1 0	

bits 7-6

Reserved

これらのビットのデフォルト値は00です。

bits 5-4

YUV入力データタイプ選択ビット[1:0]

これらのビットは、YUV-RGBコンバータ（YRC）に対するYUV入力のデータタイプを指定します。YRC入力はオフセットデータでなければなりません。

表10.7 YUVデータタイプの選択

REG[2Eh]ビット5~4	YRC入力データ範囲
00	0 Y 255 -128 U 127 -128 V 127
01	16 Y 235 -113 U 112 -113 V 112
10	0 Y 255 0 U 255 0 V 255
11	16 Y 235 16 U 240 16 V 240

bit 3

Reserved

このビットのデフォルト値は0です。

bits 2-0

YUV/RGB転送モードビット[2:0]

これらのビットはYUV/RGB転送モードを指定します。各種仕様の推奨設定は次の通りです。

表10.8 YUV/RGB転送モードの選択

REG[2Eh]ビット2~0	YUV/RGB仕様
000	Reserved
001	ITU-R勧告BT.709
010	Reserved
011	Reserved
100	ITU-R勧告BT.470-6システムM
101 (デフォルト)	ITU-R勧告BT.470-6システムB、G (ITU-R勧告BT.601-5)
110	SMPTE 170M
111	SMPTE 240M(1987)

REG[30h] U Data Fix Register

Default = 00h

Read/Write

Uデータフィックスビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

Uデータフィックスビット[7:0]

これらのビットは、UVフィックス選択ビットが01または11に設定された場合 (REG[2Ch]ビット5~4 = 01または11) のみ有効です。YRC (YUV-RGBコンバータ) へのUデータ入力は、これらのビットの値に固定されます。

REG[32h] V Data Fix Register

Default = 00h

Read/Write

Vデータフィックスビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

Vデータフィックスビット[7:0]

これらのビットは、UVフィックス選択ビットが10または11に設定された場合 (REG[2Ch]ビット5~4 = 10または11) のみ有効です。YRC (YUV-RGBコンバータ) へのVデータ入力は、これらのビットの値に固定されます。

10. レジスタ

10.3.5 表示モードレジスタ

REG[34h] Display Mode Register						Read/Write
Default = 08h						
表示ブランク 7	6	FRMモード選択ビット2~0 5 4		Reserved 3	n/a 2	SwivelViewモード選択ビット1~0 1 0

bit 7 表示ブランク
このビットは、LCDディスプレイパイプラインをディセーブルし、すべてのLCDデータ出力をなくすことによって表示を消去します。
このビットが0のとき、LCDディスプレイパイプラインがイネーブルされ、表示はアクティブになります。
このビットが1のとき、LCDディスプレイパイプラインがディセーブルされ、表示は消去されます。

bits 6-4 FRMモード選択ビット[2:0]
これらのビットはFRMモードを選択します。

注

出力が24 bppのときは、REG[34]ビット6~4 = 000に設定してください。

表10.9 FRMモード選択

REG[34h]ビット6~4	FRMモード選択
000	通常モード
001	18 bppバイパス
010	FRM
011	Reserved
100	ディザリング
101	Reserved
110	FRM + ディザリング
111	Reserved

bit 3 Reserved
このビットのデフォルト値は1です。

bits 1-0

ウィンドウSwivelViewモード選択ビット[1:0]

これらのビットは、ウィンドウに適用されるSwivelView™の向きを選択します。表示バッファに書き込む前に回転が実行されるので、アクティブなディスプレイ上の各ウィンドウを独立に回転させることができます。

表10.10 SwivelViewモードの選択オプション

REG[34h]ビット1~0	SwivelViewの向き
00	0° (標準)
01	90°
10	180°
11	270°

REG[36h] Special Effects Register

Default = 00h

Read/Write

ウィンドウデータ タイプ	ダブルバッファ イネーブル	n/a				ウィンドウピクセルサイジング ビット1~0	
7	6	5	4	3	2	1	0

bit 7

ウィンドウデータタイプ

このビットは、ダブルバッファイネーブルビット (REG[36h]ビット6) と一緒に使用され、ホストから入力されたデータをダブルバッファするかどうかを決定します。表示サイクル中に表示パイプによって使用されるように、ウィンドウ座標が内部的にラッチされるので、このビットは、ウィンドウデータが書き込まれる前に設定しなければなりません。

このビットが0のとき、ホストから書き込まれるデータはシングルバッファだけが行われます。

このビットが1のとき、ホストから書き込まれるデータはダブルバッファされます。

表10.11 ウィンドウデータタイプ/バッファの選択

REG[36h]ビット7	REG[36h]ビット6	使用例
0	0	ディスプレイ上のどこにもダブルバッファがないシングルバッファウィンドウ
0	1	前に定義されたダブルバッファウィンドウ内の分断を防ぎながらシングルバッファウィンドウを書き込むときにこの設定を使用します
1	0	Reserved
1	1	ダブルバッファするデータを書き込むときにこの設定を使用します

注

ダブルバッファがイネーブルされている間はウィンドウ座標を修正しないでください。

注

入力データ形式がYUV 4:2:0 (REG[2Ah]ビット3~0 = 1001) の場合、YYCが使用中 (REG[58h]ビット4 = 1) の間はウィンドウデータタイプを変更しないでください。

10. レジスタ

bit 6

ダブルバッファイネーブル

このビットは、ウィンドウデータタイプビット (REG[36h]ビット7) と一緒に使用され、ダブルバッファを制御します。ダブルバッファは、ストリーミング入力ソースから表示を更新するときの画像分断を防ぐためのものです。ウィンドウ座標は、表示サイクル中に表示パイプによって使用されるように内部的にラッチされるので、このビットは、ウィンドウデータを書き込む前に設定されなければなりません。

このビットが0のとき、ダブルバッファはディセーブルされます。

このビットが1のとき、ダブルバッファはイネーブルされます。

この機能は、表示サイズと色深度によるメモリサイズが表示バッファの許容量の1/2以内に収まる場合だけ使用可能です。

ウィンドウデータタイプ/ダブルバッファオプションの一覧は、53ページの表 10.11 「ウィンドウデータタイプ/バッファの選択」を参照してください。

注

ダブルバッファがイネーブルされている間はウィンドウ座標を修正しないでください。

注

1つのウィンドウだけをダブルバッファすることができます。他のウィンドウはすべてシングルバッファされます。

bits 1-0

ウィンドウピクセルサイジングビット[1:0]
 これらのビットは、ウィンドウデータのサイズ変更を制御します。
 ウィンドウ座標は、表示サイクル中に表示パイプによって使用されるように内部的にラッチされるため、これらのビットは、ウィンドウデータが書き込まれる前に設定されなければなりません。

表10.12 ウィンドウピクセルのサイジング

REG[36h]ビット1~0	結果
00	リサイジングなし
01	ピクセルダブリング
10	ピクセルハーピング
11	Reserved

注

ピクセルダブリングをイネーブ爾することができるのは1つのアクティブウィンドウだけです。ピクセルダブリングは、ダブリングを容易にするために水平平均と垂直平均を使用します。

下の図は、リサイジングオプションの例です。リサイジングはすべて左上角を基準に実行されます。

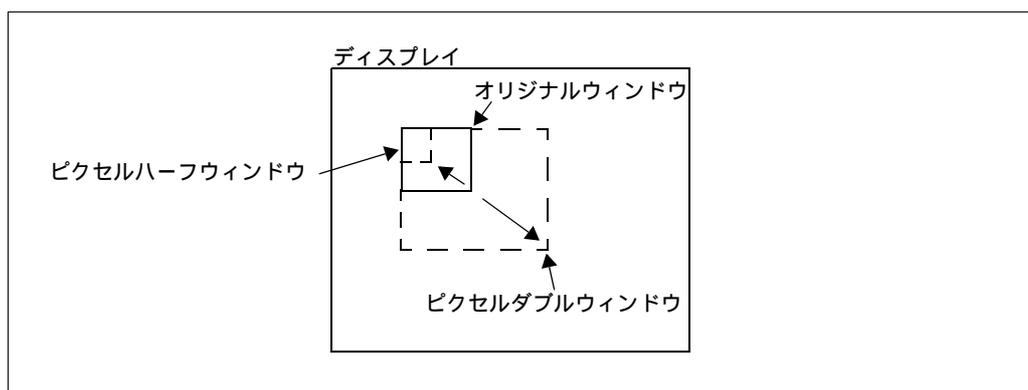


図10.1 サイジングの例

注

現在ピクセルが二倍にされているウィンドウのピクセルダブリングをディセーブルするには、次のいずれかの方法で行ってください。

1. ピクセルダブルウィンドウの任意の部分新しいウィンドウで上書きする。
2. 新しいピクセルダブルウィンドウを作成する。

10. レジスタ

10.3.6 ウィンドウ設定

REG[38h] Window X Start Position Register 0							
Default = 00h							
Read/Write							
ウィンドウX開始位置ビット7~0							
7	6	5	4	3	2	1	0

REG[3Ah] Window X Start Position Register 1							
Default = 00h							
Read/Write							
n/a				ウィンドウX開始位置ビット9~8			
7	6	5	4	3	2	1	0

REG[3Ah] bits 1-0

REG[38h] bits 7-0

ウィンドウX開始位置ビット[9:0]

これらのビットは、表示画像の左上角を基準にしてウィンドウのX開始位置を決定します。向きが回転された場合でも（REG[34h]ビット1~0を参照）、表示画像の基準は左上角のままです。

注

ピクセルダブリングまたはピクセルハーピングがイネーブルされたとき（REG[36h]ビット1~0を参照）、これらのビットは、あらかじめリサイズした座標でプログラムしてください。

REG[3Ch] Window Y Start Position Register 0							
Default = 00h							
Read/Write							
ウィンドウY開始位置ビット7~0							
7	6	5	4	3	2	1	0

REG[3Eh] Window Y Start Position Register 1							
Default = 00h							
Read/Write							
n/a				ウィンドウY開始位置ビット9~8			
7	6	5	4	3	2	1	0

REG[3Eh] bits 1-0

REG[3Ch] bits 7-0

ウィンドウY開始位置ビット[9:0]

これらのビットは、表示画像の左上角を基準にしてウィンドウのY開始位置を決定します。向きが回転された場合でも（REG[34h]ビット1~0を参照）、表示画像の基準は左上角のままです。

注

ピクセルダブリングまたはピクセルハーピングがイネーブルされたとき（REG[36h]ビット1~0を参照）、これらのレジスタは、あらかじめリサイズした座標でプログラムしてください。

REG[40h] Window X End Position Register 0							
Default = 00h							Read/Write
ウィンドウX終了位置ビット7~0							
7	6	5	4	3	2	1	0

REG[42h] Window X End Position Register 1							
Default = 00h							Read/Write
n/a				ウィンドウX終了位置ビット9~8			
7	6	5	4	3	2	1	0

REG[42h] bits 1-0

REG[40h] bits 7-0

ウィンドウX終了位置ビット[9:0]

これらのビットは、表示画像の左上角を基準にしてウィンドウのX終了位置を決定します。向きが回転された場合でも（REG[34h]ビット1~0を参照）、表示画像の基準は左上角のままです。

注

ピクセルダブリングまたはピクセルハーピングがイネーブルされたとき（REG[36h]ビット1~0を参照）、これらのレジスタは、あらかじめリサイズした座標でプログラムしてください。

REG[44h] Window Y End Position Register 0							
Default = 00h							Read/Write
ウィンドウY終了位置ビット7~0							
7	6	5	4	3	2	1	0

REG[46h] Window Y End Position Register 1							
Default = 00h							Read/Write
n/a				ウィンドウY終了位置ビット9~8			
7	6	5	4	3	2	1	0

REG[46h] bits 1-0

REG[44h] bits 7-0

ウィンドウY終了位置ビット[9:0]

これらのビットは、表示画像の左上角を基準にしてウィンドウのY終了位置を決定します。向きが回転された場合でも（REG[34h]ビット1~0を参照）、表示画像の基準は左上角のままです。

注

ピクセルダブリングまたはピクセルハーピングがイネーブルされたとき（REG[36h]ビット1~0を参照）、これらのレジスタは、あらかじめリサイズした座標でプログラムしてください。

10. レジスタ

10.3.7 メモリアクセス

REG[48h] Memory Data Port Register 0							
Default = n/a							
Read/Write							
メモリデータポートビット7~0							
7	6	5	4	3	2	1	0

REG[49h] Memory Data Port Register 1							
Default = n/a							
Read/Write							
メモリデータポートビット15~8							
7	6	5	4	3	2	1	0

REG[48h] bits 7-0

メモリデータポートビット[7:0]
これらのビットは、データワードのLSBを指定します。

REG[49h] bits 15-8

メモリデータポートビット[15:8]
これらのビットは、データワードのMSBを指定します。

注

CNF1 = 0 (8ビットインタフェース) の場合は、REG[49h]は使用されません。

注

バーストデータの書き込みは、これらのレジスタによってサポートされます。レジスタオートインクリメントは、このアドレスに達した後で自動的にディセーブルされます。このレジスタへの書き込みは、常に内部メモリアドレスだけをオートインクリメントします。

注

パネル寸法レジスタは、ウィンドウデータを書き込む前に設定されなければなりません。

注

定義されたウィンドウ内に最後のピクセルが書き込まれると、これらのビットは、自動的にウィンドウ内の最初のピクセルに戻ります。従って、ポインタを初期設定しなおす必要はありません。

REG[4Ah] Memory Read Address Register 0							
Default = 00h							Read/Write
メモリリードアドレスビット7-0							
7	6	5	4	3	2	1	0

REG[4Ch] Memory Read Address Register 1							
Default = 00h							Read/Write
メモリリードアドレスビット15-8							
7	6	5	4	3	2	1	0

REG[4Eh] Memory Read Address Register 2							
Default = 00h							Read/Write
n/a			メモリリードアドレスビット18-16				
7	6	5	4	3	2	1	0

REG[4Eh] bits 2-0

REG[4Ch] bits 7-0

REG[4Ah] bits 7-0

メモリリードアドレスビット[18:0]

これらのビットは、個々の記憶場所の読み出しだけに使用されます。個々の記憶場所の書き込みには対応していません。

メモリアクセスの完了後、これらのビットはオートインクリメントされます。

注

16ビットインタフェース (CNF1=1) 使用時、すべてのリードは偶数バイトになります。メモリリードアドレスビット0は無視され、内部的には自動的に0になります。

10. レジスタ

10.3.8 ガンマ補正レジスタ

注

ガンマ補正は、ルックアップテーブルとして実行されます。RGB入力データ（YUV入力データはRGBに変換される）は、設定された表の値を参照するために使用されます。ガンマLUTが表示読み出しパス上に置かれ、24ビット出力がLCDインタフェースに送られます。

注

表示が乱れますので表示期間中にガンマ補正テーブルにアクセスしないでください。LUTへの更新は、非表示期間中またはLUTがディセーブルされ使用中でないときだけ行ってください。

REG[50h] Gamma Correction Enable Register							Read/Write	
Default = 00h								
n/a					ルックアップテーブルアクセスモード ビット1-0		ガンマ補正 イネーブル	
7	6	5	4	3	2	1	0	

bits 2-1

ルックアップテーブルアクセスモードビット[1:0]
これらのビットは、ルックアップテーブル（LUT）にアクセスするために使用するモードを指定します。

表10.13 ルックアップテーブルアクセスモード

REG[50h]ビット2~1	説明
00	赤、緑、および青すべてのテーブルに書き込みが行われます。赤テーブルから読み出しが行われます。
01	赤テーブルに読み書きが行われます。
10	緑テーブルに読み書きが行われます。
11	青テーブルに読み書きが行われます。

bit 0

ガンマ補正イネーブル

このビットは、ガンマ補正を制御します。
このビットが0のとき、ガンマ補正はディセーブルされ、入力データはガンマ補正ルックアップテーブルをバイパスされます。
このビットが1のとき、ガンマ補正がイネーブルされ、入力データはガンマ補正ルックアップテーブルを通ります。

注

表示が乱れるので表示期間中にガンマ補正テーブルにアクセスしないでください。LUTへの更新は、非表示期間中またはLUTがディセーブルされ使用中でないときだけ行ってください。

REG[52h] Gamma Correction Table Index Register							
Default = 00h							Read/Write
ガンマ補正テーブルインデックスビット7~0							
7	6	5	4	3	2	1	0

bits 7-0 ガンマ補正テーブルインデックスビット[7:0]
 これらのビットは、ガンマ補正ルックアップテーブルの次の読み書きを始める
 インデックスを指定します。

REG[54h] Gamma Correction Table Data Register							
Default = n/a							Read/Write
ガンマ補正テーブルデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0 ガンマ補正テーブルデータビット[7:0]
 これらのビットに書き込むとき、内部ガンマ補正テーブルデータへのインデッ
 クスは、ガンマ補正テーブルデータレジスタに書き込むたびに1だけオートイン
 クリメントされます。これにより、最初に書き込む前にガンマ補正テーブルイ
 ンデックスREG[52h]に一度書き込むだけでガンマ補正テーブルへの連続書き
 込みが可能になります。

注

オートインクリメント書き込みを実行するときは、各LUTの256すべての位置
 に書き込んでください。

10. レジスタ

10.3.9 その他のレジスタ

REG[56h] Power Save Register						Read/Write	
Default = 00h							
PWRSVE入力端子機能	n/a				スリープモード イネーブル/ ディセーブル	スタンバイモード イネーブル/ ディセーブル	
7	6	5	4	3	2	1	0

- bit 7 **PWRSVE入力端子機能**
このビットは、PWRSVE入力端子の機能を決定します。
このビットが0のとき、PWRSVE端子は、スリープモードイネーブル/ディセーブルビット（REG[56h]ビット1）と論理和され、どちらかを1に設定するとスリープモードがイネーブルされます。
このビットが1のとき、PWRSVE端子は、スタンバイモードイネーブル/ディセーブルビット（REG[56h]ビット0）と論理和され、どちらかを1に設定するとスタンバイモードがイネーブルされます。
- bit 1 **スリープモードイネーブル/ディセーブル**
このビットは、スリープパワーセーブモードを制御します。スリープモードは、REG[56h]ビット7=0のときにPWRSVE端子によって制御することもできます。
このビットが0のとき、スリープモードはディセーブルされます（通常動作）。
このビットが1のとき、スリープモードはイネーブルされます。

スリープモードがイネーブルされたとき、PLLを含むすべての内部ブロックがディセーブルされます。
スリープモードがディセーブルされたとき、PLLは、メモリアクセスをする前に約10msのロックイン時間を必要とします。PLLロックビットREG[04h]ビット7を読み出して、PLLが安定したことを確認することができます。
- bit 0 **スタンバイモードイネーブル/ディセーブル**
このビットは、スタンバイパワーセーブモードを制御します。スタンバイモードは、REG[56h]ビット7=b1のときにPWRSVE端子によって制御することもできます。
このビットが0のとき、スタンバイモードはディセーブルされます（通常動作）。
このビットが1のとき、スタンバイモードはイネーブルされます。

スタンバイモードがイネーブルされたとき、PLLを除くすべての内部ブロックがディセーブルされます。
スタンバイモードがディセーブルされたとき、チップにすぐにアクセスすることができます。

REG[58h] Non-Display Period Control / Status Register						
Default = 00h						Read/Write
垂直非表示期間状態 (RO)	水平非表示期間状態 (RO)	HDP状態と論理和されたVDP (RO)	YYC最終ライン	n/a	TE出力端子イネーブル	TE出力端子機能選択ビット1~0
7	6	5	4	3	2	1 0

- bit 7 垂直非表示期間状態（読み出し専用）
 このビットは、LCDパネル出力が垂直非表示期間（VNDP）かどうかを示します。VNDPは、あるフレームの最後のライン上の最後のピクセルから次のフレームの最初のライン上の最初のピクセルまでの時間として定義されます。このビットが0のとき、LCDパネル出力は垂直表示期間内にあります。このビットが1のとき、LCDパネル出力は垂直非表示期間内にあります。
- bit 6 水平非表示期間状態（読み出し専用）
 このビットは、LCDパネル出力が水平非表示期間（HNDP）内にあるかどうかを示します。HNDPは、ライン n の最後のピクセルからライン $n+1$ の最初のピクセルまでの時間として定義されます。このビットが0のとき、LCDパネル出力は水平非表示期間内にあります。このビットが1のとき、LCDパネル出力は水平表示期間内にあります。
- bit 5 HDP状態と論理和されたVDP（読み出し専用）
 このビットは、LCDパネルが表示期間内にあるか非表示期間内にあるかを示します。このビットが0のとき、LCDパネルは表示期間内にあります。このビットが1のとき、LCDパネルは水平または垂直非表示期間内にあります。
- bit 4 YYC最終ライン
 このビットは、YYCの状態を示します（YUV-YUVコンバータ）。入力データ形式がYUV 4:2:0（REG[2Ah]ビット3~0 = 1001）の場合、このビットは、Intel 80インタフェースが現行ウィンドウの最後のピクセルを書き込み終わった後MCLKの5CLK分だけHighになります。このビットは、YYCがアイドル状態に戻った後Lowになります。この時点で、新しいウィンドウに書き込むことができます。このビットが0のとき、YYCはアイドル状態です。このビットが1のとき、YYCはYUV 4:2:0データを変換しています。
- 異なる寸法または形式の連続ウィンドウ書き込みを行い、第1のウィンドウがYUV 4:2:0のとき、このビットは、第2のウィンドウに書き込み始めるまでLow（0）でなければなりません。
- bit 2 TE出力端子イネーブル
 このビットはTE出力端子を制御します。このビットが0のとき、TE出力端子はディセーブルされます。このビットが1のとき、TE出力端子はイネーブルされます。

10. レジスタ

bits 1-0

TE出力端子機能選択ビット[1:0]
これらのビットは、TE出力端子が持つ機能を選択します。

表10.14 TE出力端子機能の選択

REG[58h]ビット1~0	TE出力端子機能
00	Reserved
01	水平非表示期間
10	垂直非表示期間
11	VSと論理和されたHS

10.3.10 汎用IO端子レジスタ

REG[5Ah] General Purpose IO Pins Configuration Register 0							
Default = 00h							Read/Write
GPIO7設定	GPIO6設定	GPIO5設定	GPIO4設定	GPIO3設定	GPIO2設定	GPIO1設定	GPIO0設定
7	6	5	4	3	2	1	0

bits 7-0

GPIO設定[7:0]

これらのビットは、それぞれ対応するGPIO[7:0]端子を入力または出力に設定します。

このビットが0（通常動作）のとき、対応するGPIO端子は入力として設定されます。

このビットが1のとき、対応するGPIO端子は出力として設定されます。

REG[5Ch] General Purpose IO Pins Status/Control Register 0							
Default = 00h							Read/Write
GPIO7状態	GPIO6状態	GPIO5状態	GPIO4状態	GPIO3状態	GPIO2状態	GPIO1状態	GPIO0状態
7	6	5	4	3	2	1	0

bits 7-0

GPIO状態[7:0]

対応するGPIO[7:0]端子が出力として設定されたとき（REG[5Ah]を参照）、このビットに1に書き込むとGPIO_xがHighになり、このビットに0を書き込むとGPIO_xがLowになります。

対応するGPIO[7:0]端子が入力として設定されたとき（REG[5Ah]を参照）、このビットから読み出すとGPIO_xが未設定状態に戻ります。

REG[5Eh] GPIO Positive Edge Interrupt Trigger Register							
Default = 00h							Read/Write
GPIO7ポジティブ エッジ割り込み トリガ	GPIO6ポジティブ エッジ割り込み トリガ	GPIO5ポジティブ エッジ割り込み トリガ	GPIO4ポジティブ エッジ割り込み トリガ	GPIO3ポジティブ エッジ割り込み トリガ	GPIO2ポジティブ エッジ割り込み トリガ	GPIO1ポジティブ エッジ割り込み トリガ	GPIO0ポジティブ エッジ割り込み トリガ
7	6	5	4	3	2	1	0

bits 7-0

GPIOポジティブエッジ割り込みトリガ[7:0]

このビットは、関連付けられたGPIO割り込みをポジティブエッジ（GPIO_x端子が0から1に変化する時）でトリガするかどうかを決定します。

このビットが0のとき、関連付けられたGPIO割り込み（GPIO_INT）はポジティブエッジでトリガされません。

このビットが1のとき、関連付けられたGPIO割り込み（GPIO_INT）はポジティブエッジでトリガされます。

10. レジスタ

REG[60h] GPIO Negative Edge Interrupt Trigger Register							Read/Write
Default = 00h							
GPIO7ネガティブ エッジ割り込み トリガ	GPIO6ネガティブ エッジ割り込み トリガ	GPIO5ネガティブ エッジ割り込み トリガ	GPIO4ネガティブ エッジ割り込み トリガ	GPIO3ネガティブ エッジ割り込み トリガ	GPIO2ネガティブ エッジ割り込み トリガ	GPIO1ネガティブ エッジ割り込み トリガ	GPIO0ネガティブ エッジ割り込み トリガ
7	6	5	4	3	2	1	0

bits 7-0

GPIOネガティブエッジ割り込みトリガ[7:0]

このビットは、関連付けられたGPIO割り込みをネガティブエッジ（GPIO_x端子が1から0に変化するとき）でトリガするかどうかを決定します。

このビットが0のとき、関連付けられたGPIO_x割り込み（GPIO_INT）はネガティブエッジでトリガされません。

このビットが1のとき、関連付けられたGPIO_x割り込み（GPIO_INT）はネガティブエッジでトリガされます。

REG[62h] GPIO Interrupt Status Register							Read/Write
Default = 00h							
GPIO7割り込み 状態	GPIO6割り込み 状態	GPIO5割り込み 状態	GPIO4割り込み 状態	GPIO3割り込み 状態	GPIO2割り込み 状態	GPIO1割り込み 状態	GPIO0割り込み 状態
7	6	5	4	3	2	1	0

bits 7-0

GPIO割り込み状態[7:0]

GPIOが割り込みを生成するように設定された場合（REG[5Eh]とREG[60h]を参照）、これらの状態ビットは、GPIOが割り込みを生成したことを示します。

対応するGPIO[7:0]割り込み状態ビットをクリアするには、ビットに1を書き込み次に0を書き込んでください。

REG[64h] GPIO Pull-down Control Register							Read/Write
Default = FFh							
GPIO7プルダウン 制御	GPIO6プルダウン 制御	GPIO5プルダウン 制御	GPIO4プルダウン 制御	GPIO3プルダウン 制御	GPIO2プルダウン 制御	GPIO1プルダウン 制御	GPIO0プルダウン 制御
7	6	5	4	3	2	1	0

bits 7-0

GPIOプルダウン制御 [7:0]

GPIO[7:0]端子にはすべて内部プルダウン抵抗があります。これらのビットは、対応するプルダウン抵抗の状態を個別に制御します。

ビットが0のとき、対応するGPIO端子のプルダウン抵抗はインアクティブです。

ビットが1のとき、対応するGPIO端子のプルダウン抵抗はアクティブです。

11. フレームレートの計算

表示フレームレートの計算には以下の式を使用します。

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{(\text{HT}) \times (\text{VT})}$$

ここで：

f_{PCLK} = PCLK周波数 (Hz)

HT = 全水平期間
= 水平表示期間 + 水平非表示期間

VT = 全垂直期間
= 垂直表示期間 + 垂直非表示期間

注

パネルタイミングパラメータの定義は、26ページの7.4「LCDインタフェース」を参照してください。

12. RGB入力データ変換

12. RGB入力データ変換

RGB入力データはすべてRGB 8:8:8に変換され、次のように記憶されます。詳細は31ページの8.「メモリ」を参照してください。

表12.1 RGB 5:6:5 RGB 8:8:8変換メモリ形式

ピクセルバイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
2	R4	R3	R2	R1	R0	R4	R3	R2
1	G5	G4	G3	G2	G1	G0	G5	G4
0	B4	B3	B2	B1	B0	B4	B3	B2

表12.2 RGB 6:6:6 RGB 8:8:8変換メモリ形式

ピクセルバイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
2	R5	R4	R3	R2	R1	R0	R5	R4
1	G5	G4	G3	G2	G1	G0	G5	G4
0	B5	B4	B3	B2	B1	B0	B5	B4

表12.3 RGB 8:8:8メモリ形式

ピクセルバイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
2	R7	R6	R5	R4	R3	R2	R1	R0
1	G7	G6	G5	G4	G3	G2	G1	G0
0	B7	B6	B5	B4	B3	B2	B1	B0

13. Intel 80、8ビットインタフェースカラー形式

13.1 16bppモード (RGB 5:6:5) 65,536色

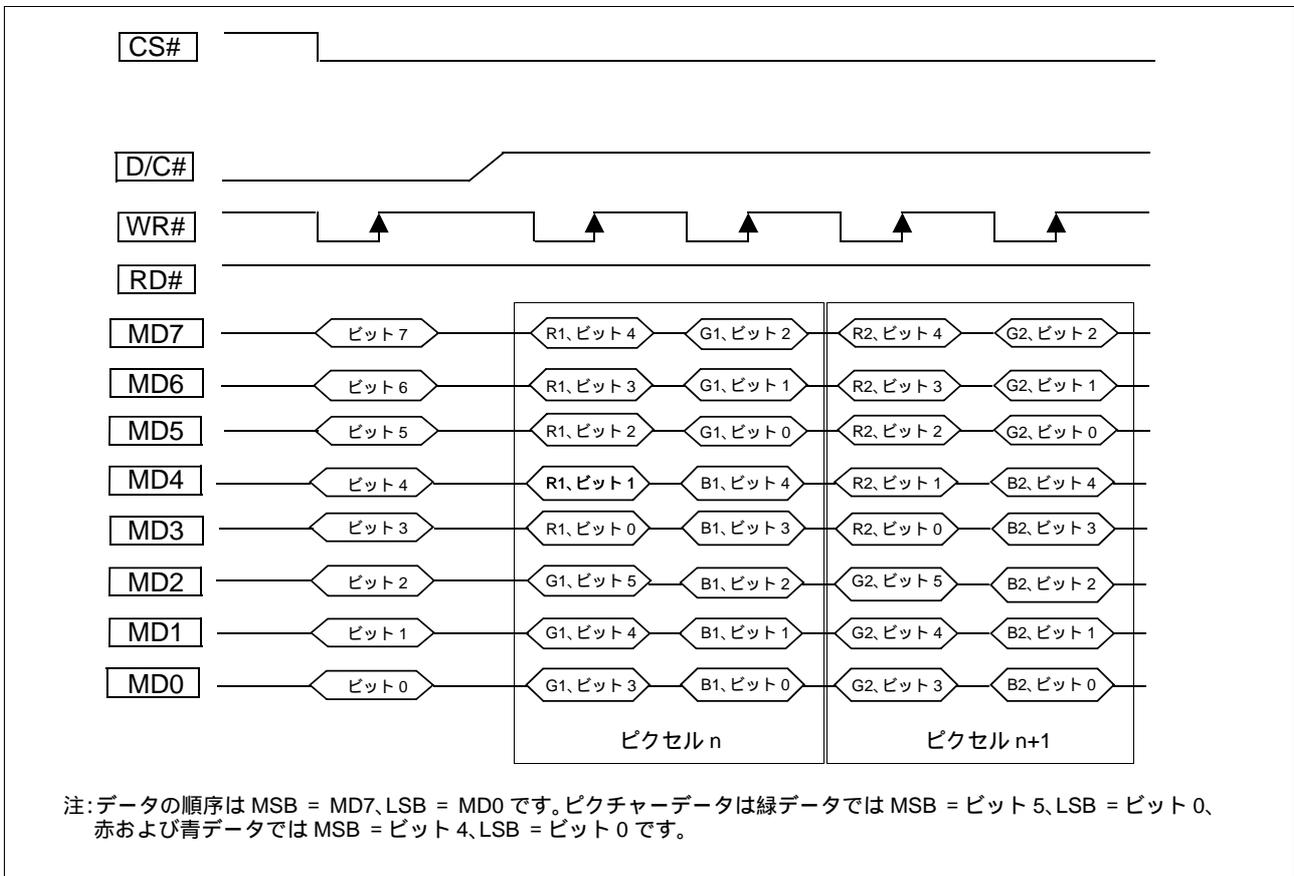


図13.1 16bppモード (RGB 5:6:5) 65,536色

13. Intel 80、8ビットインタフェースカラー形式

13.2 18 bpp (RGB 6:6:6) 262,144色

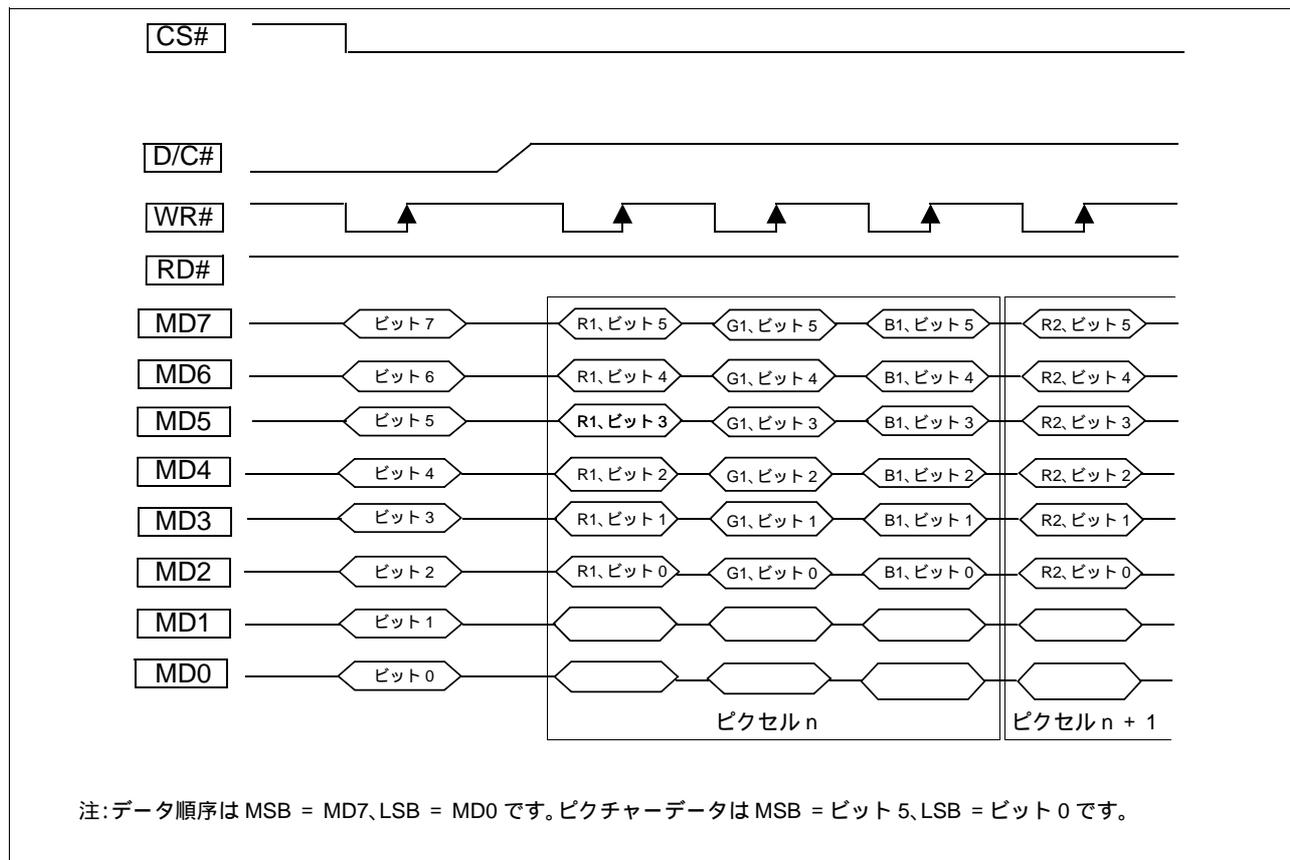


図13.2 18 bpp (RGB 6:6:6) 262,144色

13.3 24 bpp (RGB 8:8:8) 16,777,216色

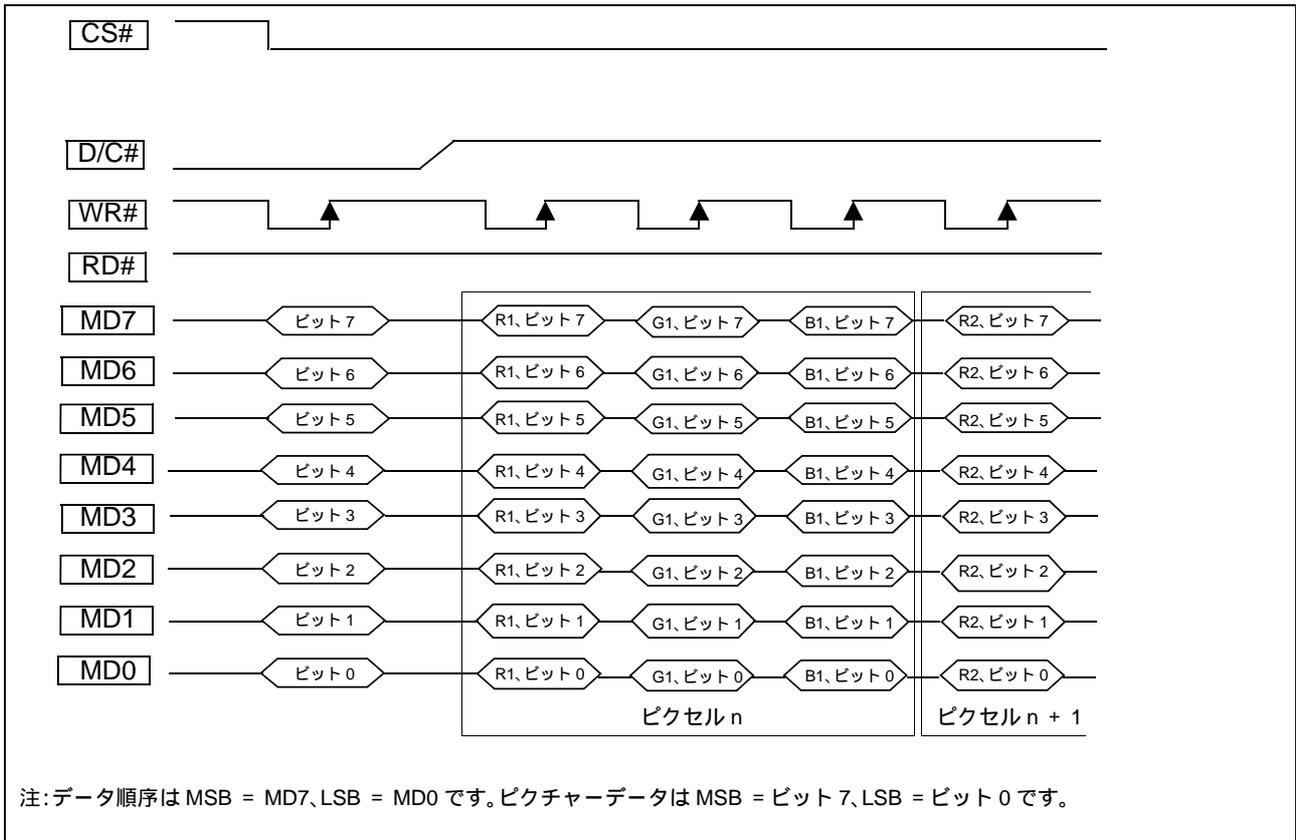


図13.3 24 bpp (RGB 8:8:8) 16,777,216色

14. Intel 80、16ビットインタフェースカラー形式

14. Intel 80、16ビットインタフェースカラー形式

14.1 16 bpp (RGB 5:6:5) 65,536色

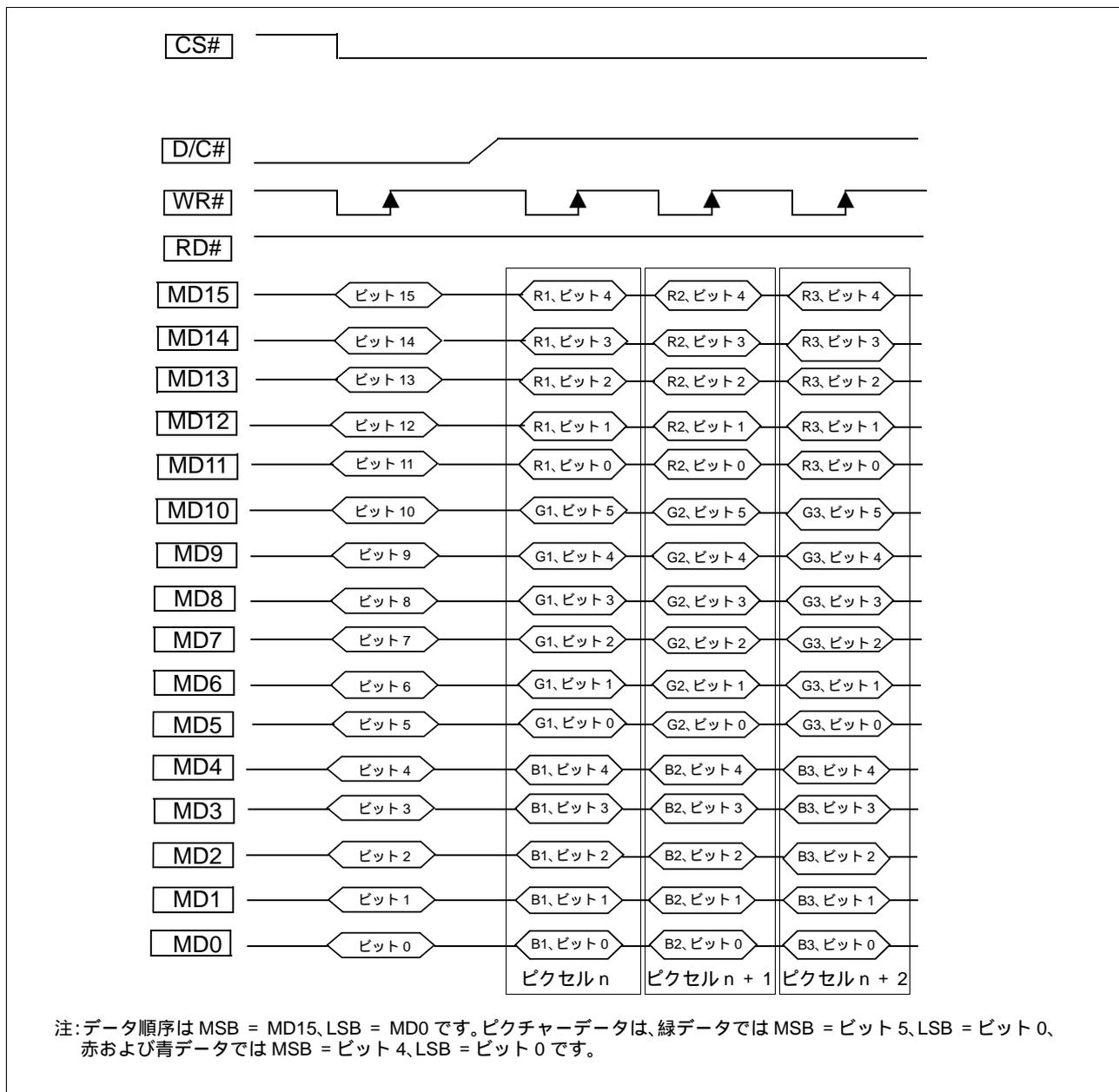


図14.1 16 bpp (RGB 5:6:5) 65,536色

14.2 18bppモード1 (RGB 6:6:6) 262,144色

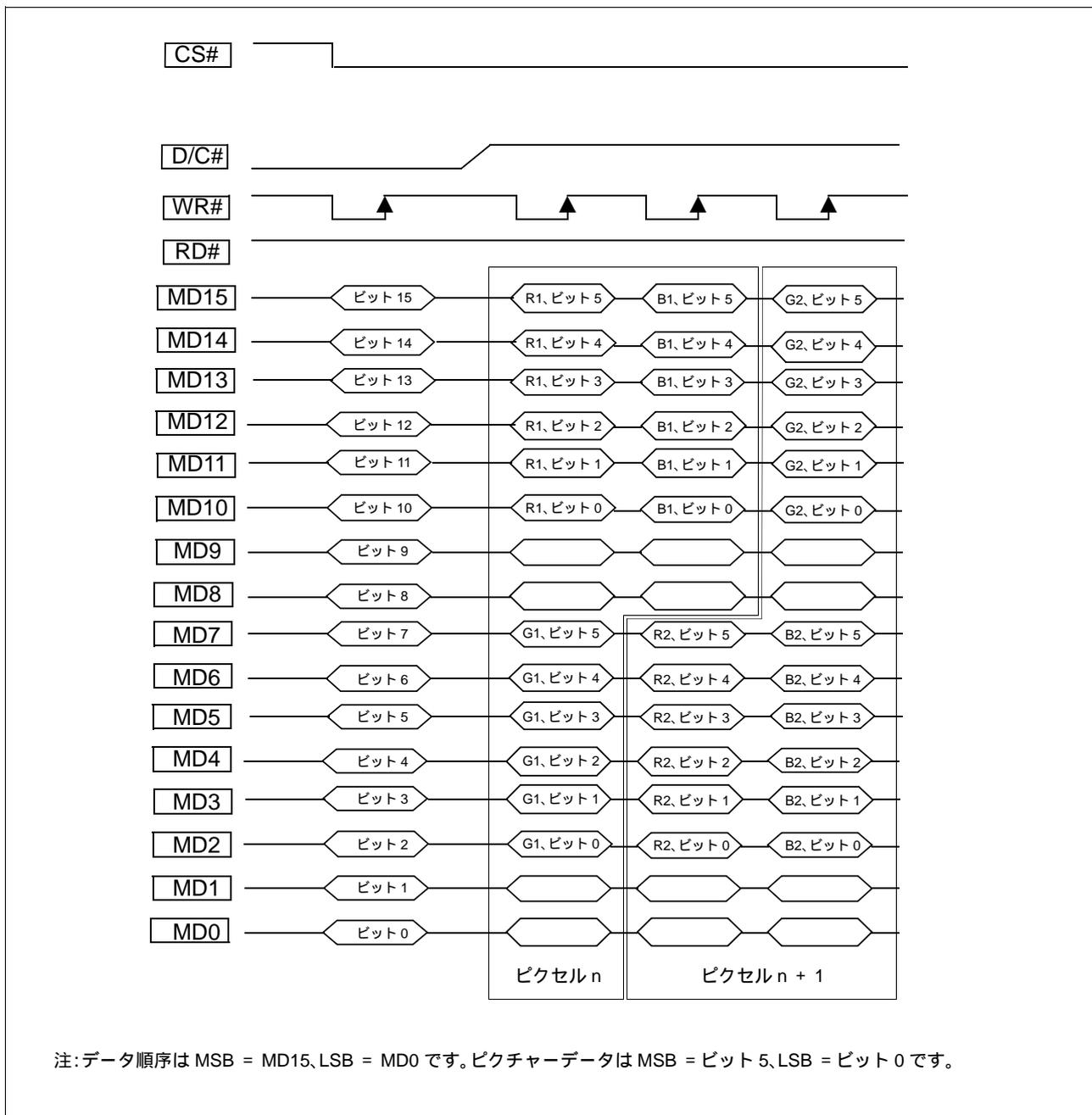


図14.2 18bppモード1 (RGB 6:6:6) および262,144色

14. Intel 80、16ビットインタフェースカラー形式

14.3 18bppモード2 (RGB 6:6:6) 262,144色

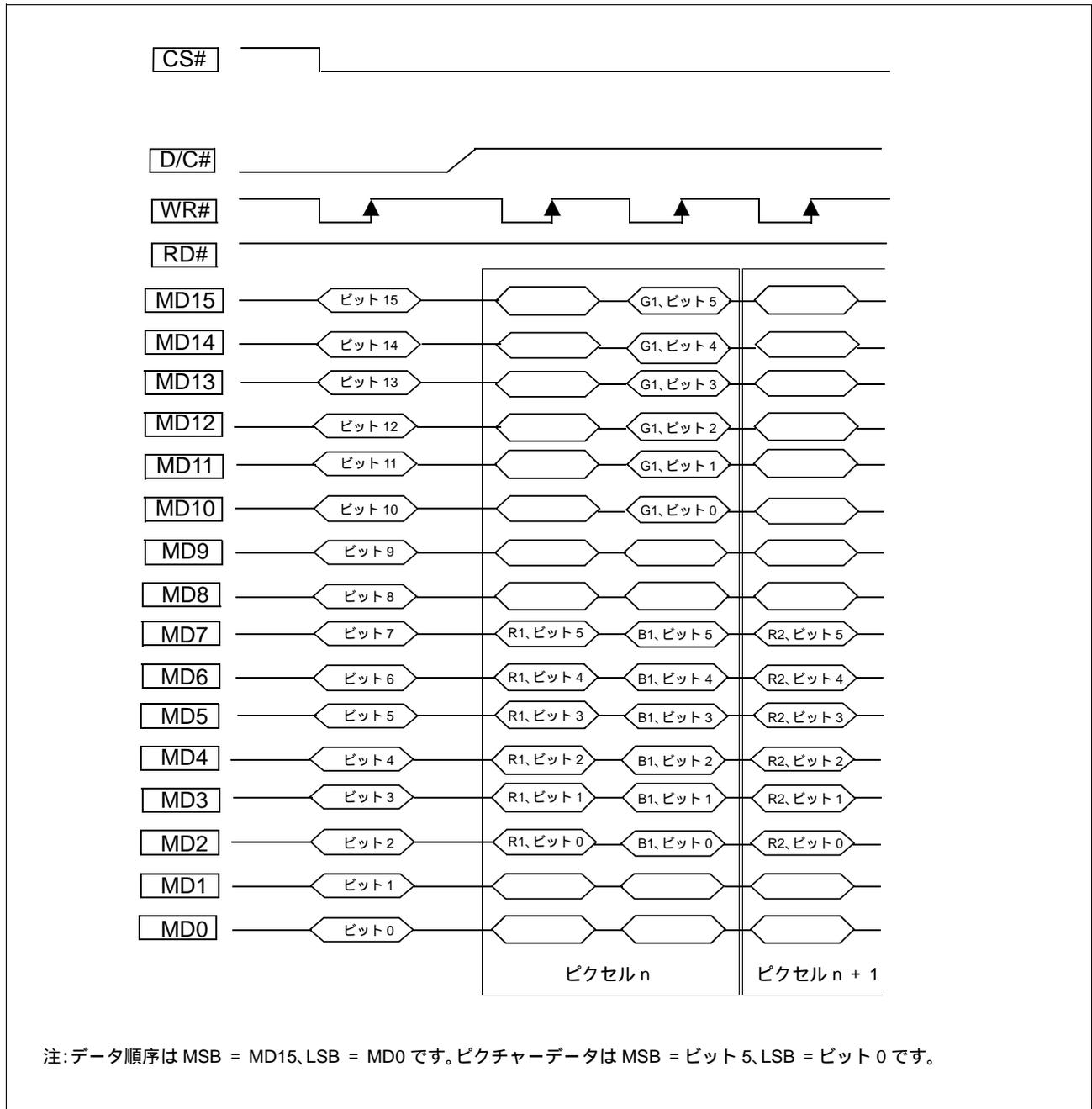


図14.3 18bppモード2 (RGB 6:6:6) 262,144色

14.4 24bppモード1 (RGB 8:8:8) 16,777,216色

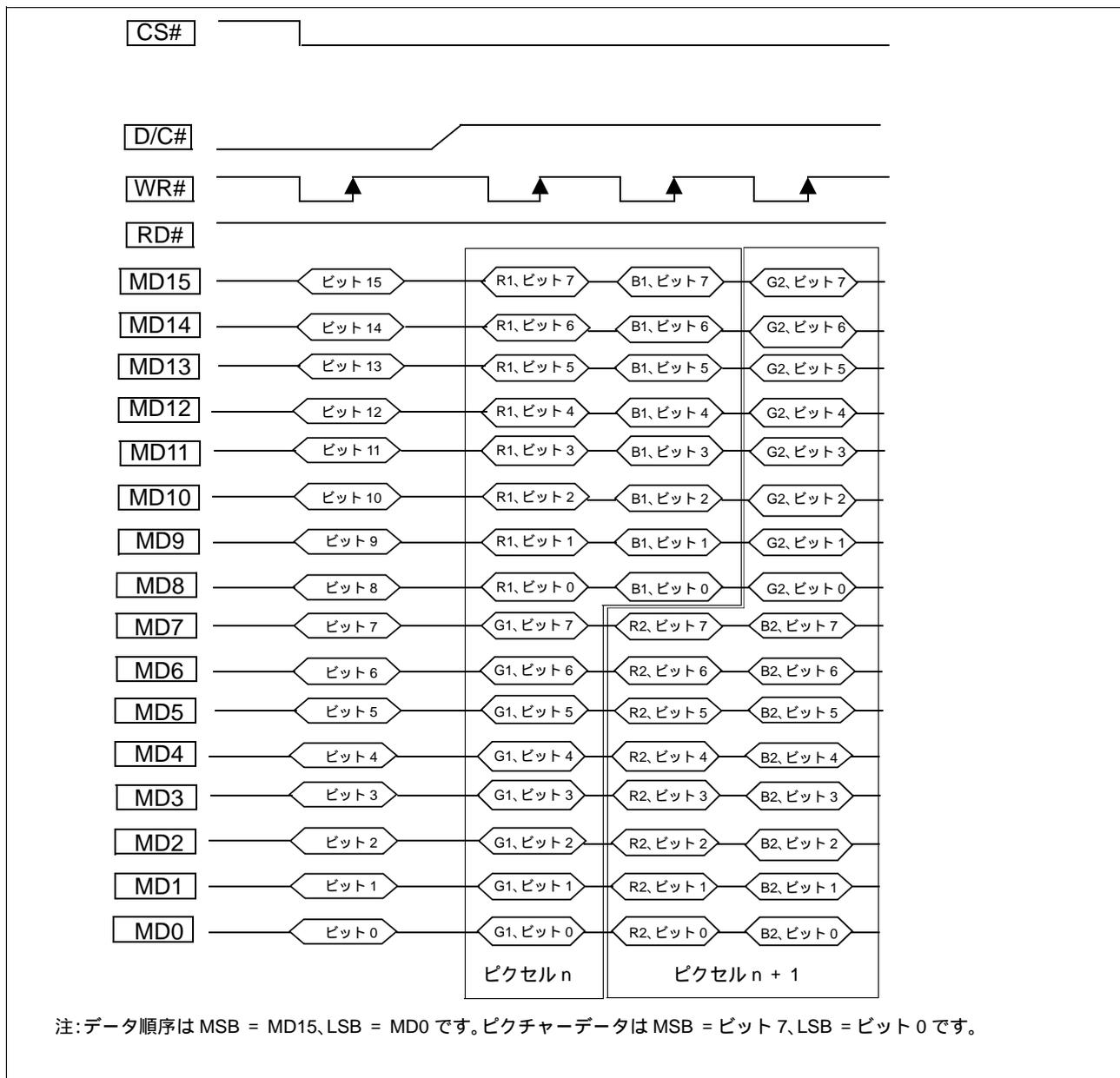


図14.4 24bppモード1 (RGB 8:8:8) 16,777,216色

14. Intel 80、16ビットインタフェースカラー形式

14.5 24bppモード2 (RGB 8:8:8) 16,777,216色

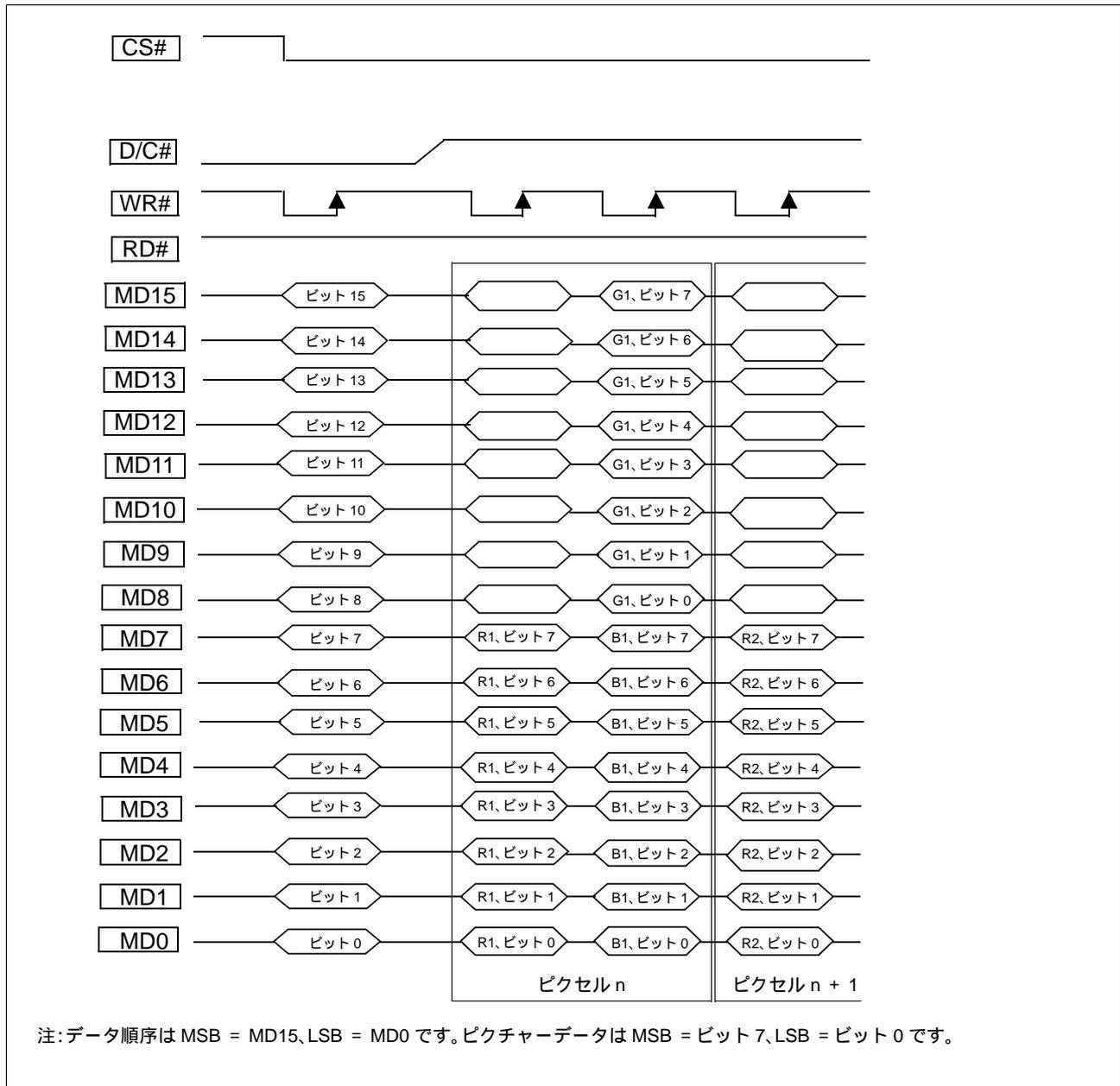


図14.5 24bppモード2 (RGB 8:8:8) 16,777,216色

15. YUVタイミング

形式の定義

- 1ライン当たりのピクセル数は常に同じです。
- $Y_C B_C R_C$ 色空間はITU-R BT601.4で定義されます。
- YUV 4:2:2形式
 $U_{11}Y_{11}V_{11}Y_{12}U_{13}Y_{13}V_{13}Y_{14}\dots$
- YUV 4:2:0形式
 奇数ライン : $UY_{11}Y_{12}\dots$
 偶数ライン : $VY_{21}Y_{22}\dots$

注

ウィンドウがYUVデータ用に設定されているとき、データは常に、奇数ラインから始まり、奇数ラインと偶数ラインが交互にならなければなりません。

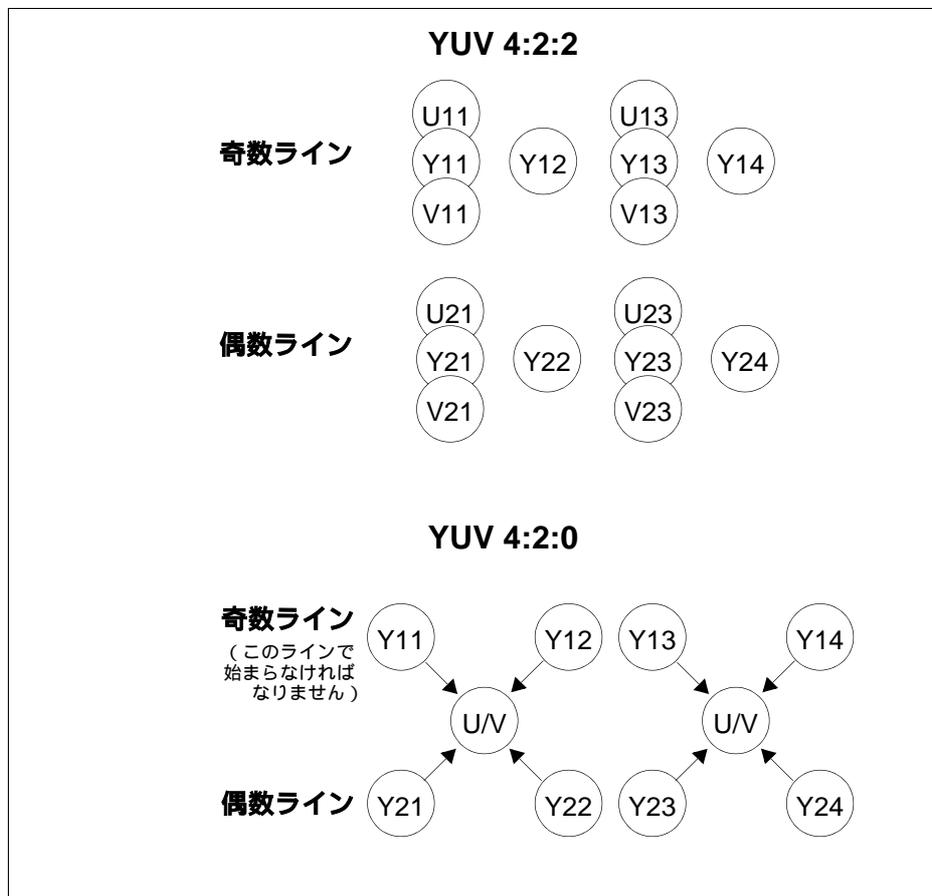


図15.1 YUV形式の定義

15. YUVタイミング

15.1 YUV 4:2:2とIntel 80、8ビットインタフェース

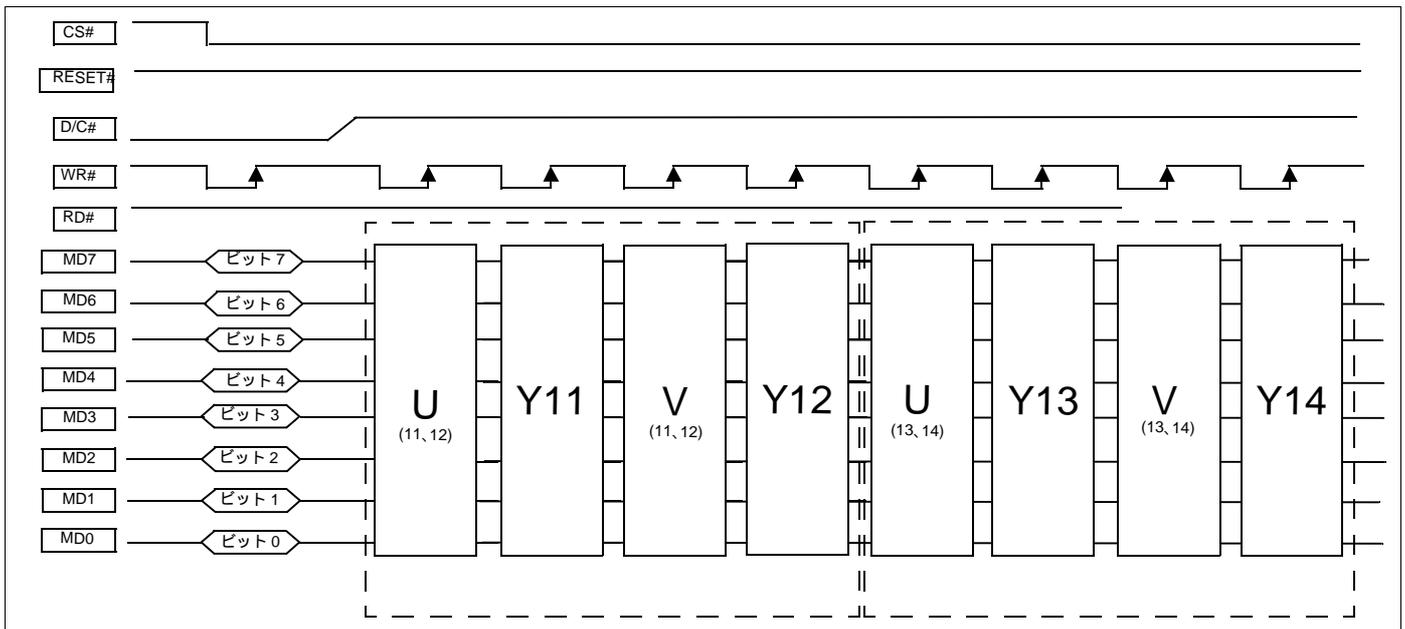


図15.2 Intel 80、8ビットインタフェースとYUV 4:2:2

15.2 YUV 4:2:0奇数ラインとIntel 80、8ビットインタフェース

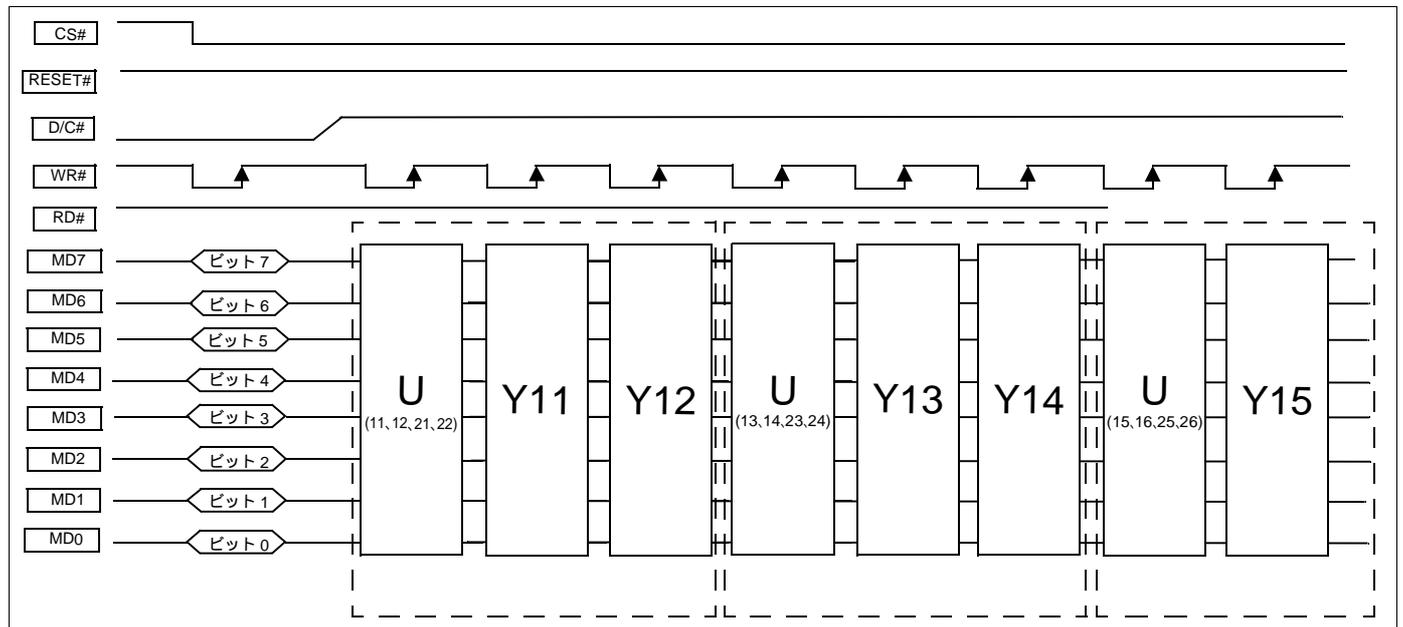


図15.3 YUV 4:2:0 奇数ラインとIntel 80、8ビットインタフェース

15.3 YUV 4:2:0 偶数ラインとIntel 80、8ビットインタフェース

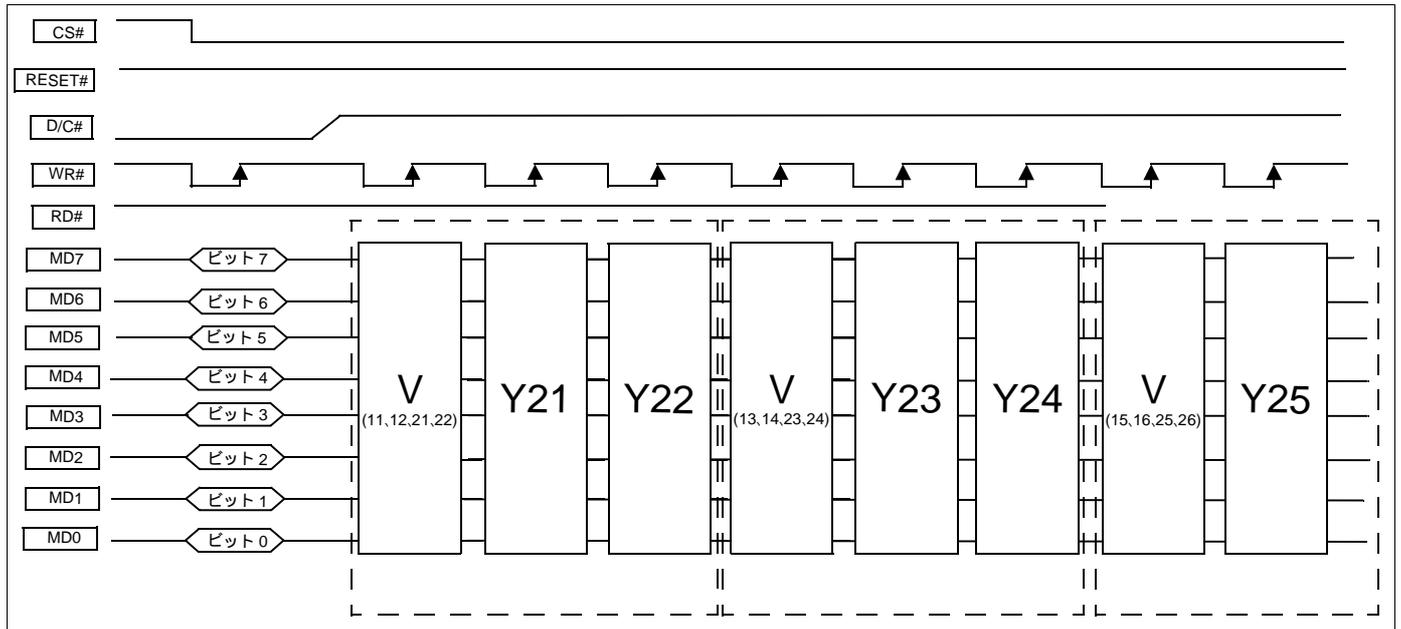


図15.4 YUV 4:2:0 偶数ラインとIntel 80、8ビットインタフェース

15. YUVタイミング

15.4 YUV 4:2:2とIntel 80、16ビットインタフェース

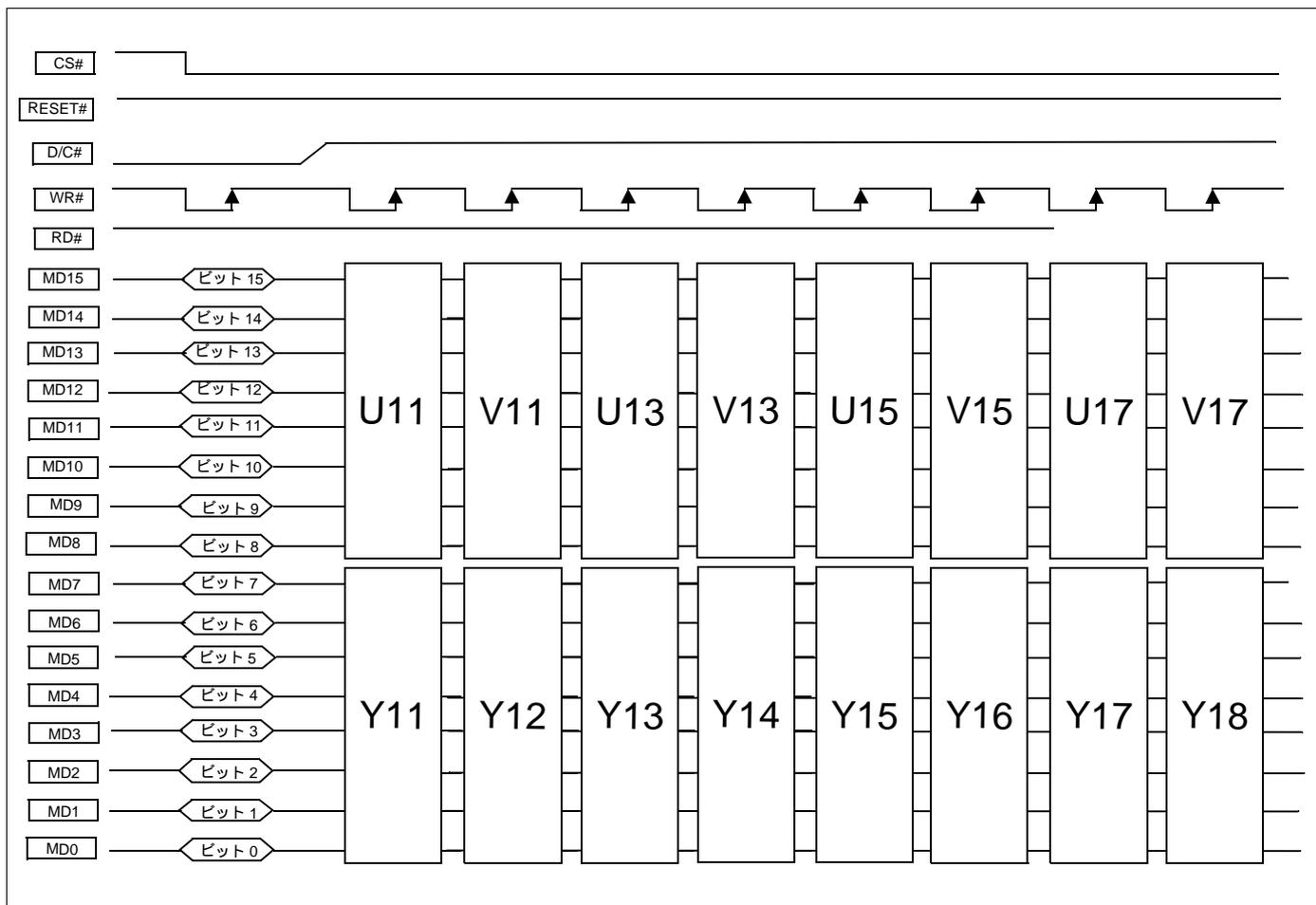


図15.5 YUV 4:2:2とIntel 80、16ビットインタフェース

15.5 YUV 4:2:0奇数ラインとIntel 80、16ビットインタフェース

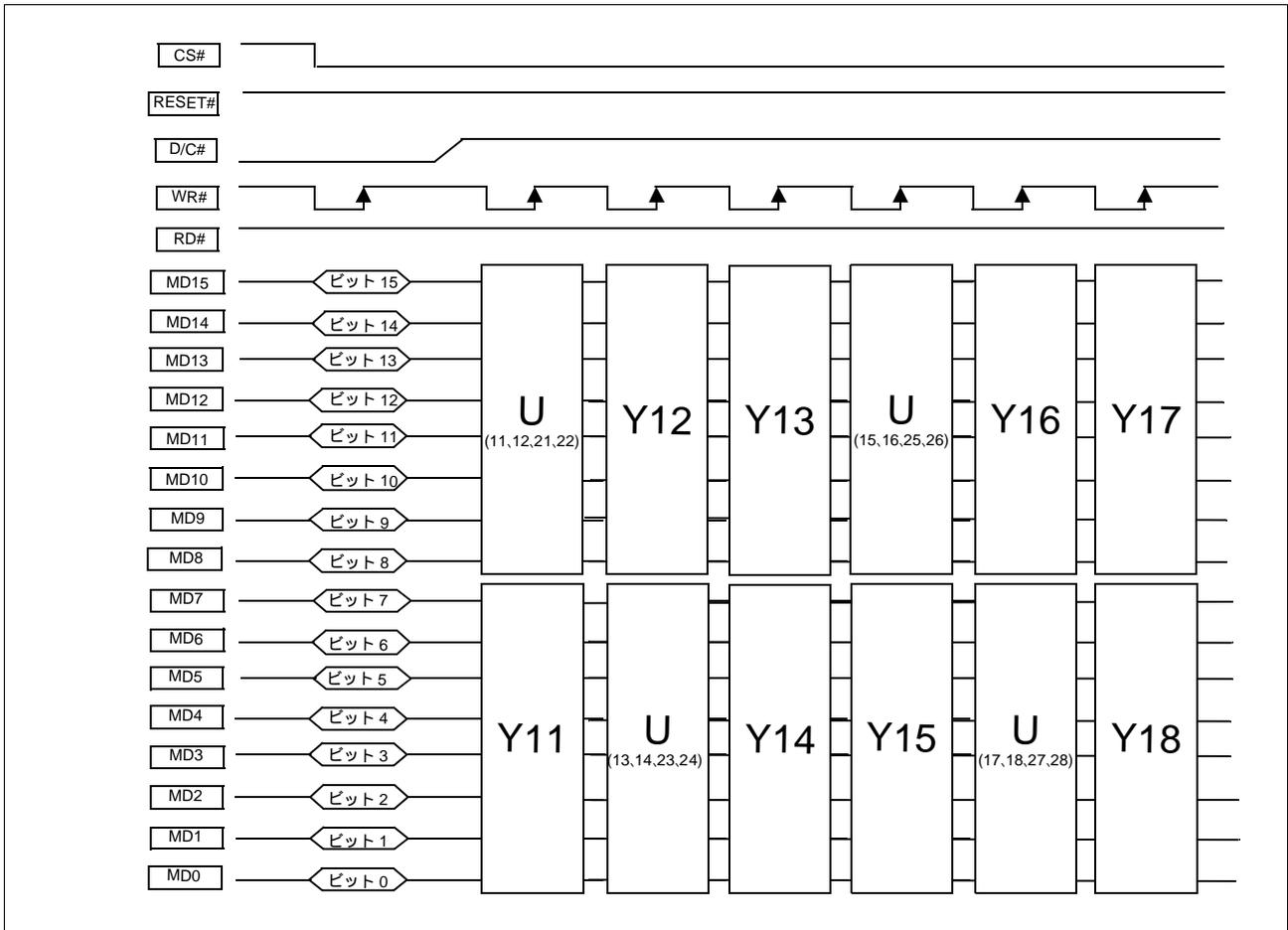


図15.6 YUV 4:2:0奇数ラインとIntel 80、16ビットインタフェース

15. YUVタイミング

15.6 YUV 4:2:0偶数ラインとIntel 80、16ビットインタフェース

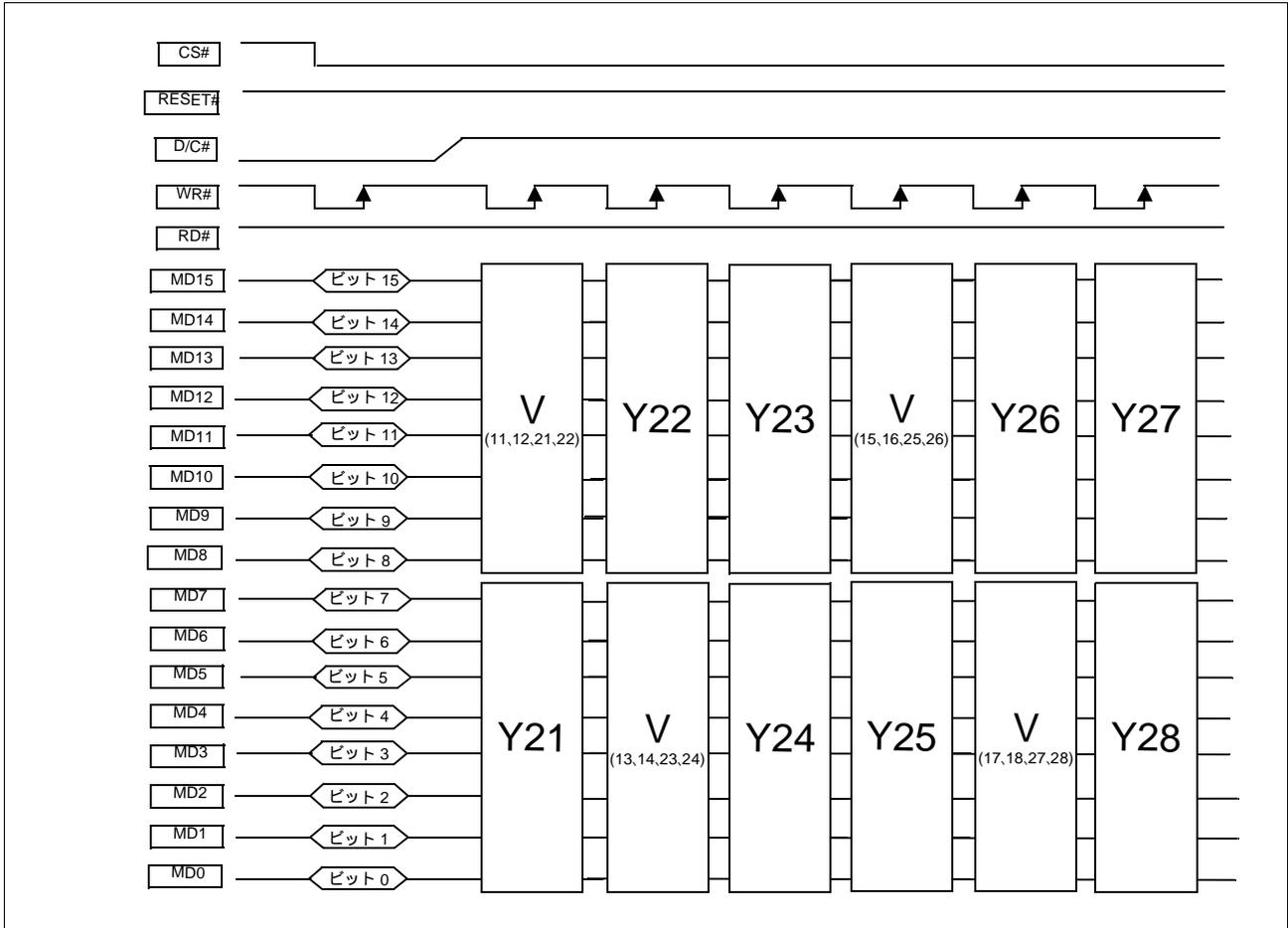


図15.7 YUV 4:2:0偶数ラインとIntel 80、16ビットインタフェース

16. ガンマ補正ルックアップテーブルアーキテクチャ

以下の図は、表示データの出力パスだけを示し、LUTを使用する24 bppのアーキテクチャを示しています。

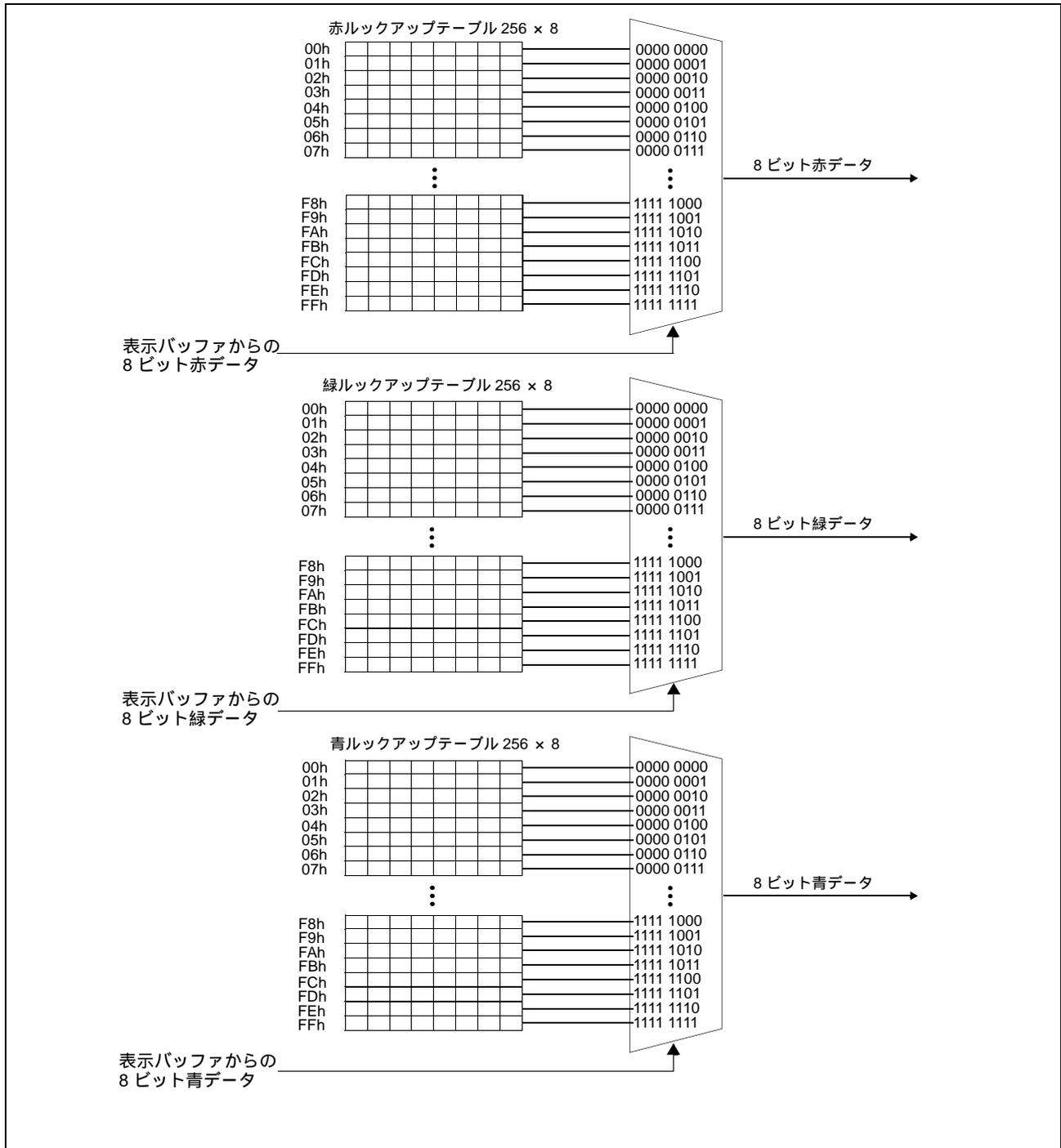


図16.1 ルックアップテーブルアーキテクチャ (LUTを使用する24bpp)

16. ガンマ補正ルックアップテーブルアーキテクチャ

16.1 ガンマ補正プログラミングの例

ガンマ補正ルックアップテーブルを作成し、プログラムするには、以下の手順に従ってください。

- 表示の乱れを防ぐために、LUTをディセーブルするかLUTへのアクセスを非表示期間中だけにしてください。
- ガンマ補正イネーブルレジスタ (REG[50h]) のレジスタ「アドレス」を書き込みます。
- 希望するLUTアクセスモードを設定するデータを書き込みます (REG[50h]ビット2~1を参照)。
- データを書き込んでLUTインデックスを「x」に設定します (オートインクリメントは既にイネーブルされていますので、ガンマ補正テーブルインデックスレジスタ「アドレス」を書き込む必要はありません)。
- ガンマ補正テーブルデータレジスタにデータを書き込みます (インデックス「x」のデータ値)。
- ガンマ補正テーブルデータレジスタにデータを書き込みます (インデックス「x + 1」のデータ値)。
- 256すべてのポジションに書き込み終わるまで続けます。
- ガンマ補正をイネーブルします (REG[50h]ビット0 = 1)。

17. 表示データ形式

表17.1 24ビットデータ形式（スワップなし、REG[14h]ビット7=0）

端子名	サイクルカウント				
	1	2	3	...	n
VD23	R_0^7	R_1^7	R_2^7	...	R_n^7
VD22	R_0^6	R_1^6	R_2^6	...	R_n^6
VD21	R_0^5	R_1^5	R_2^5	...	R_n^5
VD20	R_0^4	R_1^4	R_2^4	...	R_n^4
VD19	R_0^3	R_1^3	R_2^3	...	R_n^3
VD18	R_0^2	R_1^2	R_2^2	...	R_n^2
VD17	R_0^1	R_1^1	R_2^1	...	R_n^1
VD16	R_0^0	R_1^0	R_2^0	...	R_n^0
VD15	G_0^7	G_1^7	G_2^7	...	G_n^7
VD14	G_0^6	G_1^6	G_2^6	...	G_n^6
VD13	G_0^5	G_1^5	G_2^5	...	G_n^5
VD12	G_0^4	G_1^4	G_2^4	...	G_n^4
VD11	G_0^3	G_1^3	G_2^3	...	G_n^3
VD10	G_0^2	G_1^2	G_2^2	...	G_n^2
VD9	G_0^1	G_1^1	G_2^1	...	G_n^1
VD8	G_0^0	G_1^0	G_2^0	...	G_n^0
VD7	B_0^7	B_1^7	B_2^7	...	B_n^7
VD6	B_0^6	B_1^6	B_2^6	...	B_n^6
VD5	B_0^5	B_1^5	B_2^5	...	B_n^5
VD4	B_0^4	B_1^4	B_2^4	...	B_n^4
VD3	B_0^3	B_1^3	B_2^3	...	B_n^3
VD2	B_0^2	B_1^2	B_2^2	...	B_n^2
VD1	B_0^1	B_1^1	B_2^1	...	B_n^1
VD0	B_0^0	B_1^0	B_2^0	...	B_n^0

17. 表示データ形式

表17.2 24ビットデータ形式（スワップ、REG[14h]ビット7=1）

端子名	サイクルカウント				
	1	2	3	...	n
VD23	B_0^0	B_1^0	B_2^0	...	B_n^0
VD22	B_0^1	B_1^1	B_2^1	...	B_n^1
VD21	B_0^2	B_1^2	B_2^2	...	B_n^2
VD20	B_0^3	B_1^3	B_2^3	...	B_n^3
VD19	B_0^4	B_1^4	B_2^4	...	B_n^4
VD18	B_0^5	B_1^5	B_2^5	...	B_n^5
VD17	B_0^6	B_1^6	B_2^6	...	B_n^6
VD16	B_0^7	B_1^7	B_2^7	...	B_n^7
VD15	G_0^0	G_1^0	G_2^0	...	G_n^0
VD14	G_0^1	G_1^1	G_2^1	...	G_n^1
VD13	G_0^2	G_1^2	G_2^2	...	G_n^2
VD12	G_0^3	G_1^3	G_2^3	...	G_n^3
VD11	G_0^4	G_1^4	G_2^4	...	G_n^4
VD10	G_0^5	G_1^5	G_2^5	...	G_n^5
VD9	G_0^6	G_1^6	G_2^6	...	G_n^6
VD8	G_0^7	G_1^7	G_2^7	...	G_n^7
VD7	R_0^0	R_1^0	R_2^0	...	R_n^0
VD6	R_0^1	R_1^1	R_2^1	...	R_n^1
VD5	R_0^2	R_1^2	R_2^2	...	R_n^2
VD4	R_0^3	R_1^3	R_2^3	...	R_n^3
VD3	R_0^4	R_1^4	R_2^4	...	R_n^4
VD2	R_0^5	R_1^5	R_2^5	...	R_n^5
VD1	R_0^6	R_1^6	R_2^6	...	R_n^6
VD0	R_0^7	R_1^7	R_2^7	...	R_n^7

表17.3 18ビットデータ形式（スワップなし、REG[14h]ビット7=0）

端子名	サイクルカウント				
	1	2	3	...	n
VD[23:18]	Low				
VD17	R_0^7	R_1^7	R_2^7	...	R_n^7
VD16	R_0^6	R_1^6	R_2^6	...	R_n^6
VD15	R_0^5	R_1^5	R_2^5	...	R_n^5
VD14	R_0^4	R_1^4	R_2^4	...	R_n^4
VD13	R_0^3	R_1^3	R_2^3	...	R_n^3
VD12	R_0^2	R_1^2	R_2^2	...	R_n^2
VD11	G_0^7	G_1^7	G_2^7	...	G_n^7
VD10	G_0^6	G_1^6	G_2^6	...	G_n^6
VD9	G_0^5	G_1^5	G_2^5	...	G_n^5
VD8	G_0^4	G_1^4	G_2^4	...	G_n^4
VD7	G_0^3	G_1^3	G_2^3	...	G_n^3
VD6	G_0^2	G_1^2	G_2^2	...	G_n^2
VD5	B_0^7	B_1^7	B_2^7	...	B_n^7
VD4	B_0^6	B_1^6	B_2^6	...	B_n^6
VD3	B_0^5	B_1^5	B_2^5	...	B_n^5
VD2	B_0^4	B_1^4	B_2^4	...	B_n^4
VD1	B_0^3	B_1^3	B_2^3	...	B_n^3
VD0	B_0^2	B_1^2	B_2^2	...	B_n^2

17. 表示データ形式

表17.4 18ビットデータ形式（スワップ、REG[14h]ビット7=1）

端子名	サイクルカウント				
	1	2	3	...	n
VD[23:18]	Low				
VD17	B_0^2	B_1^2	B_2^2	...	B_n^2
VD16	B_0^3	B_1^3	B_2^3	...	B_n^3
VD15	B_0^4	B_1^4	B_2^4	...	B_n^4
VD14	B_0^5	B_1^5	B_2^5	...	B_n^5
VD13	B_0^6	B_1^6	B_2^6	...	B_n^6
VD12	B_0^7	B_1^7	B_2^7	...	B_n^7
VD11	G_0^2	G_1^2	G_2^2	...	G_n^2
VD10	G_0^3	G_1^3	G_2^3	...	G_n^3
VD9	G_0^4	G_1^4	G_2^4	...	G_n^4
VD8	G_0^5	G_1^5	G_2^5	...	G_n^5
VD7	G_0^6	G_1^6	G_2^6	...	G_n^6
VD6	G_0^7	G_1^7	G_2^7	...	G_n^7
VD5	R_0^2	R_1^2	R_2^2	...	R_n^2
VD4	R_0^3	R_1^3	R_2^3	...	R_n^3
VD3	R_0^4	R_1^4	R_2^4	...	R_n^4
VD2	R_0^5	R_1^5	R_2^5	...	R_n^5
VD1	R_0^6	R_1^6	R_2^6	...	R_n^6
VD0	R_0^7	R_1^7	R_2^7	...	R_n^7

18. SwivelView™

18.1 概念

ほとんどのコンピュータ表示は、ランドスケープ方向、すなわち左から右、上から下にリフレッシュされます。コンピュータの画像は同じように記憶されます。SwivelView™は、LCD上で表示画像を反時計回りに90°、180°または270°回転するように設計されています。この回転は、ハードウェアで行われ、すべての表示バッファの読み書きはユーザが意識する必要はありません。ハードウェアで回転を処理することによって、SwivelView™では表示イメージをソフトウェアで回転するよりもパフォーマンスが良くなります。

実際のアドレス変換はホスト書き込み中に行われるため、画像データはその回転された向きでメモリに記憶されます。この回転ロジックの設計により、S1D13743に書き込まれる各ウィンドウは、互いに独立して回転することができます。

18. SwivelView™

18.2 90°SwivelView

下の図は、320×480ポートレートがプログラマにどのように見え、画像がどのように表示されるか示しています。アプリケーション画像は、S1D13743にA-B-C-Dの向きで書き込まれます。表示は、B-D-A-Cの向きにリフレッシュされます。

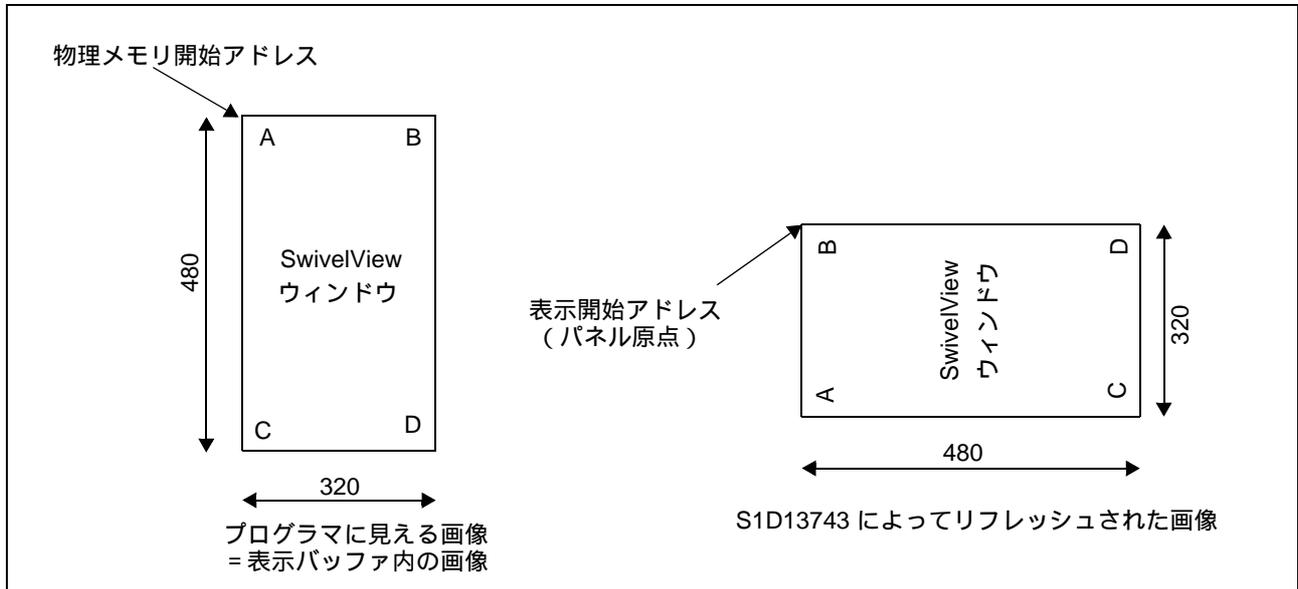


図18.1 画面画像と90°SwivelViewでリフレッシュされた画像の関係

18.2.1 レジスタの設定

回転自体をイネーブルすること以外、特にプログラムする条件はありません (REG[34h]ビット1~0を参照)。開始アドレスとラインオフセットはすべてハードウェアによって自動的に計算されます。

18.3 180°SwivelView

以下の図は、480×320ランドスケープ画像がプログラマにどのように見え、画像がどのように表示されるかを示しています。アプリケーション画像は、S1D13743にA-B-C-Dの向きで書き込まれます。表示はD-C-B-Aの向きでリフレッシュされます。

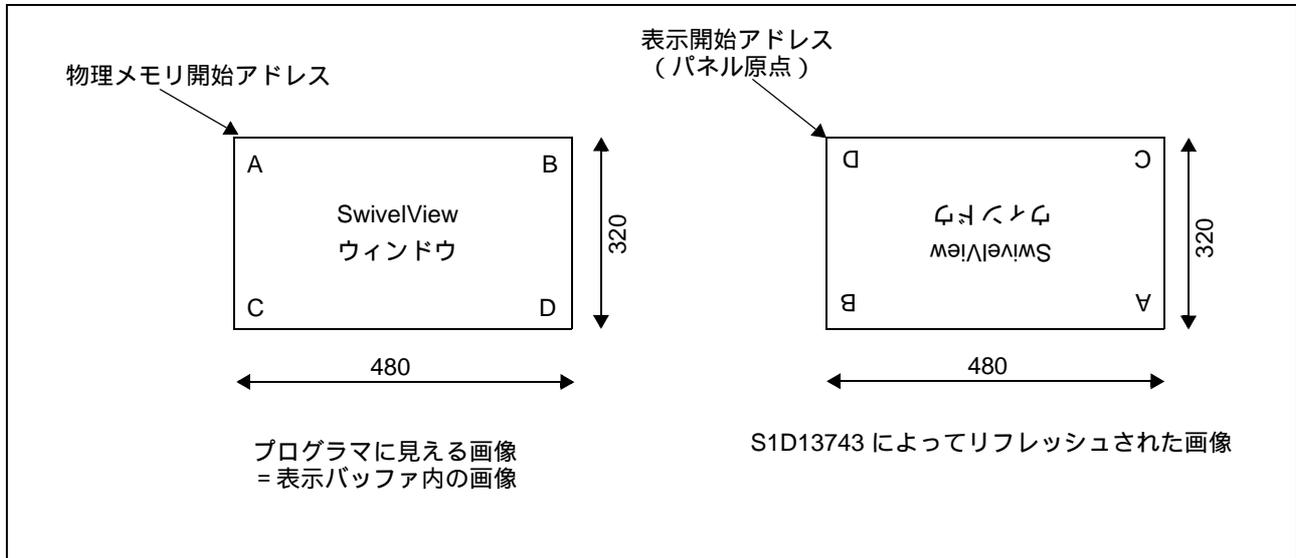


図18.2 画面画像と180°SwivelViewでリフレッシュされた画像の関係

18.3.1 レジスタの設定

回転自体をイネーブルすること以外特にプログラムする条件はありません (REG[34h]ビット1~0を参照)。開始アドレスとラインオフセットはすべてハードウェアによって自動的に計算されます。

18. SwivelView™

18.4 270°SwivelView

以下の図は、320×480ランドスケープ画像がプログラマにどのように見え、画像がどのように表示されるかを示しています。アプリケーション画像は、S1D13743にA-B-C-Dの向きで書き込まれます。表示はC-A-D-Bの向きでリフレッシュされます。

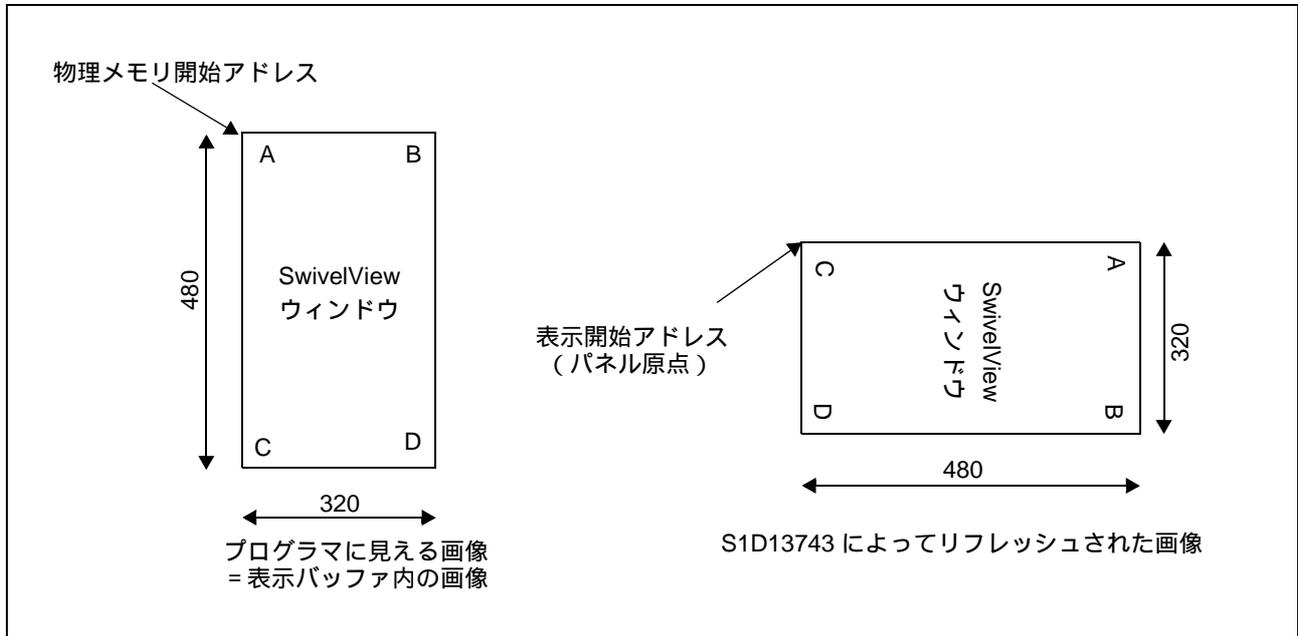


図18.3 画面画像と270°SwivelViewにリフレッシュされた画像の関係

18.4.1 レジスタの設定

回転自体をイネーブルすること以外、特にプログラムする条件はありません (REG[34h]ビット1~0を参照)。開始アドレスとラインオフセットはすべてハードウェアによって自動的に計算されます。

19. ホストインタフェース

19.1 Intel 80インタフェースの使用法

Intel 80ホストインタフェースによるS1D13743へのアクセスは、複数ステップのプロセスです。すべてのレジスタとメモリは、レジスタ空間を介してアクセスされます。

注

レジスタアクセスはすべて、メモリデータポートを除き8ビットのみです。ホストインタフェースが16ビット幅 (CNF1=1) の場合、メモリデータポート以外のすべてのレジスタにLSB (MD[7:0]) が使用されます。

メモリデータポート (REG[48h、49h]) には、ホストインタフェースが16ビット幅 (CNF1=1) のときは両方のレジスタが使用され、8ビット幅 (CNF1=0) のときはREG[48h]だけが使用されます。

最初に、「アドレス書き込み」を実行してレジスタアドレスをセットアップしてください。次に、「データ読み出し/書き込み」を実行して、「アドレス書き込み」サイクルで指定したレジスタまたはメモリに記憶するか読み出すデータを指定します。その後、レジスタアドレスを変化させるアドレス書き込みのないデータ読み出し/書き込みを行うと、メモリデータポート (REG[48h]、REG[49h]) にアクセスした場合に、レジスタアドレスまたは内部メモリアドレスがオートインクリメントされます。

ウィンドウアパーチャに表示データを書き込むには、ウィンドウ座標を指定した後でウィンドウを埋めるようにメモリデータポートにバーストデータを書き込みます。このシーケンスでは、内部メモリのアドレッシングは自動的に行われます (例を参照)。メモリデータポートは、アドレス書き込み数を最小にするためにウィンドウ座標のすぐ後に配置されます。

表示データを読み出すには、メモリアドレスポート (3バイト) へのアドレス書き込みを実行し、次にメモリデータポートからデータを読み出してください。その後で読み出すと、内部メモリアドレスがオートインクリメントされます。

19. ホストインタフェース

19.1.1 レジスタ書き込み手順

1. アドレス書き込みを実行して、レジスタアドレスビット7~0をセットアップします。
2. データ書き込みを実行して、レジスタを更新します。
3. レジスタアドレスがオートインクリメントされるので、追加のデータ書き込みを実行することができます。

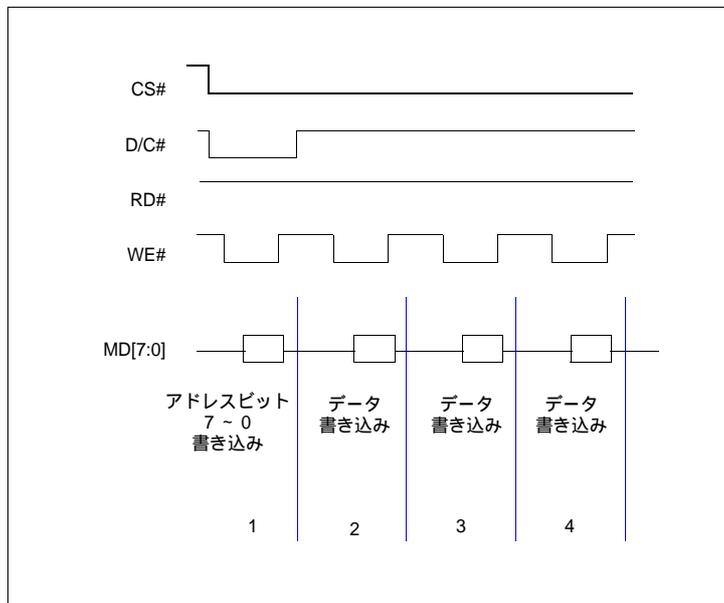


図19.1 レジスタ書き込みの手順例

19.1.2 レジスタ読み出し手順

1. アドレス書き込みを実行して、レジスタアドレスビット7~0をセットアップします。
2. データ読み出しを実行して、レジスタ値を取得します。
3. レジスタアドレスがオートインクリメントされるので、追加のデータ読み出しを実行することができます。

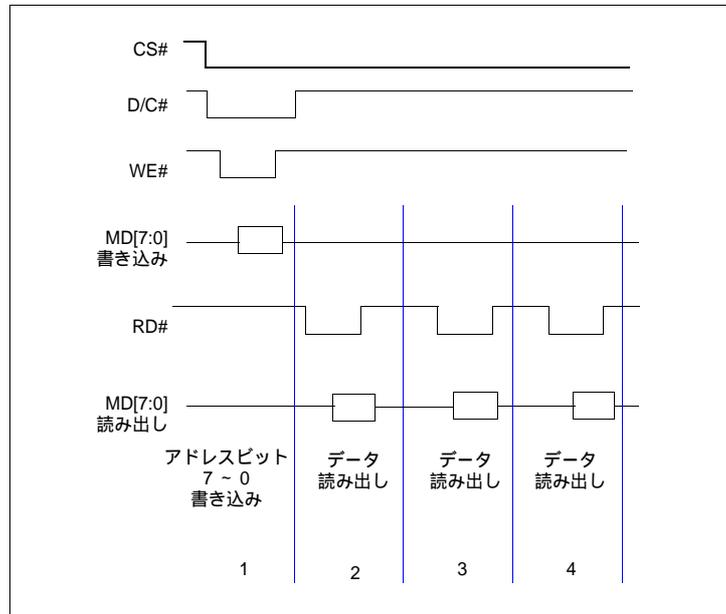


図19.2 レジスタ読み出しの手順例

19. ホストインタフェース

19.1.3 新しいウィンドウオーバーチャの書き込み手順

S1D13743には、ウィンドウデータをバーストするときのセットアップアクセスを最小にする特別な手順があります。

1. ウィンドウデータを書き込む前にパネル寸法レジスタを設定します。
2. アドレス書き込みを実行して、最初のウィンドウレジスタを指定します(ウィンドウX開始位置レジスタ0、REG[38h])
3. 次の8つの8ビットレジスタ (REG[38h] ~ REG[46h]) への「データ」書き込みを実行します。これですべてのウィンドウ座標がセットアップされます。

注

レジスタアドレスは、各データ書き込み後にオートインクリメントされ、終了したときにメモリデータポートレジスタ0 (REG[48h]) を指定します。

4. ウィンドウを埋めるようにバーストデータ書き込みを実行します(レジスタアドレスはメモリデータポートを指定します)。

メモリデータポートレジスタは、ウィンドウX開始位置後9番目のレジスタアドレスにあります。メモリデータポートに書き込むと、内部メモリアドレスだけがオートインクリメントされます。

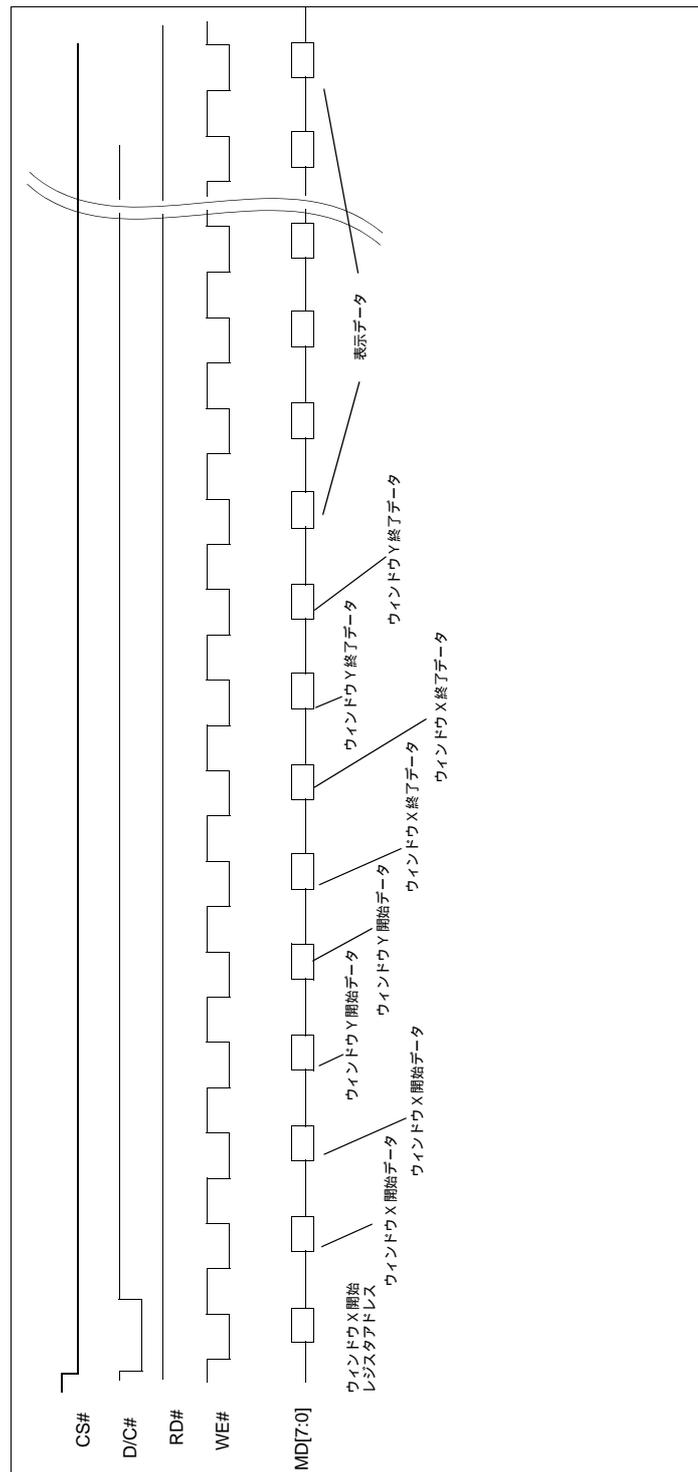


図19.3 連続メモリ書き込みの例

19. ホストインタフェース

19.1.4 複数のウィンドウを開く

1. それぞれの新しいウィンドウに新しいウィンドウ座標がある場合は、96ページの19.1.3「新しいウィンドウアパーチャの書き込み手順」に示したステップを繰り返してください。
2. ピクセルが二倍にされていないウィンドウは、最後のウィンドウに重ねることができません。

19.1.5 既存のウィンドウ座標を使ったウィンドウの更新

1. アドレス書き込みを実行して、メモリデータポートレジスタ0 (REG[48h]) を指定します。
2. ウィンドウを埋めるようにバーストデータ書き込みを実行します。

注

このケースでは、ウィンドウアパーチャの前の座標を使用します。メモリデータポートに書き込むたびに、内部メモリアドレスがオートインクリメントされます。

19.1.6 個別の記憶場所の読み出し

注

この機能は、テスト専用であり、実際のシステムには使用できません。

1. 読み出す記憶場所の物理アドレスを、メモリ読み出しアドレスレジスタ (REG[4Ah] ~ REG[4Eh]) に書き込みます。16ビットバスの場合、このアドレスのLSBは無視されます。
2. メモリデータポート (REG[48h] ~ REG[49h]) から読み出しを行います。
3. メモリデータポートからの連続的な読み出しは、メモリ読み出しアドレスレジスタ内のアドレスをインクリメントするので、バースト読み出しがサポートされません。

注

各24ビット値の8つのLSBにアクセスするためには、それらのLSBが上位16ビットと異なる場所に記憶されているので、その物理アドレスを知らなければなりません。

20. ダブルバッファリング

20.1 ダブルバッファコントローラ

ダブルバッファは、ストリーミングビデオデータの分断を防ぐために提供されます。静的（ビデオでない）画像データはすべて、常にフレームバッファの上側半分（バッファ1）に書き込まれます。ビデオを入力するとき、最初のフレームが、ダブルバッファの下側半分（バッファ2）に書き込まれます。2番目のフレームがバッファ1に書き込まれます。ビデオデータを入力している間、LCDに送られる画像の静的部分がまだ常にバッファ1から来ます。ビデオウィンドウのソースは、最後に完全に更新されたバッファ1またはバッファ2からのものです。

バッファ読み書きポイントの切り換えは、垂直非表示期間の最初に、1フレームに1回だけ行うことができます。ポイントは、最終出力フレーム期間内の完了したビデオフレームが更新され、新しいビデオフレームが書き込まれていない場合だけ切り替わります。したがって、ユーザがビデオデータのフレームを書き込み終わるたびに、次のフレームを書き込む前に次の垂直非表示期間まで待たなければなりません。これは、TE端子を使用するか、垂直表示期間状態をポーリングすることにより行うことができます（REG[58h]ビット7）。この代わりに、ユーザが、最大入力ビデオフレームレートをLCDフレームレートの1/2にでき、ビデオフレームを書き込むバースト長を1LCDフレーム期間より短くできる場合は、垂直非表示期間を確認する必要はありません。ポイントの切り替えに注意しないとフレームが脱落する可能性があります。

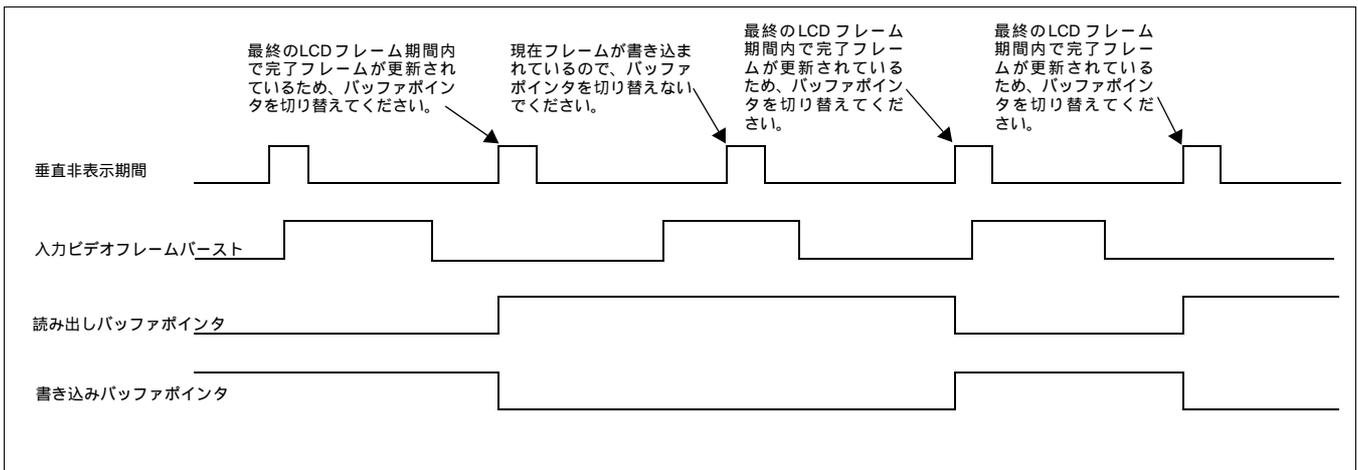


図20.1 バッファポイントの切り替え

ダブルバッファ機能の使い方

- 特殊効果レジスタREG[36h]ビット7～6内の適切なビットを11に設定します。
- ウィンドウ位置レジスタ（REG[38h]～REG[46h]）をセットアップします。
- メモリデータポート（REG[48h]～REG[49h]）にビデオデータを書き込みます。

ダブルバッファリングがイネーブルされている間は、ビデオストリームの途中でも静的ウィンドウを更新することができます。これは次のように行います。

- ビデオデータの現行フレームの最終ピクセルを書き込みます。
- 特殊効果レジスタREG[36h]ビット7～6のうちの適切なビットを01に設定します。
- ウィンドウ位置レジスタ（REG[38h]～REG[46h]）をセットアップします。

20. ダブルバッファリング

- メモリデータポート (REG[48h] ~ REG[49h]) に静的データを書き込みます。

これにより、ダブルバッファウィンドウの分断を防ぎながらいつでも静止画像を書き込むことができます。静止画像を書き込んだ後、ユーザは、ダブルバッファ機能を使用する前述のステップに従って、ストリームビデオデータの書き込みに戻ることができます。

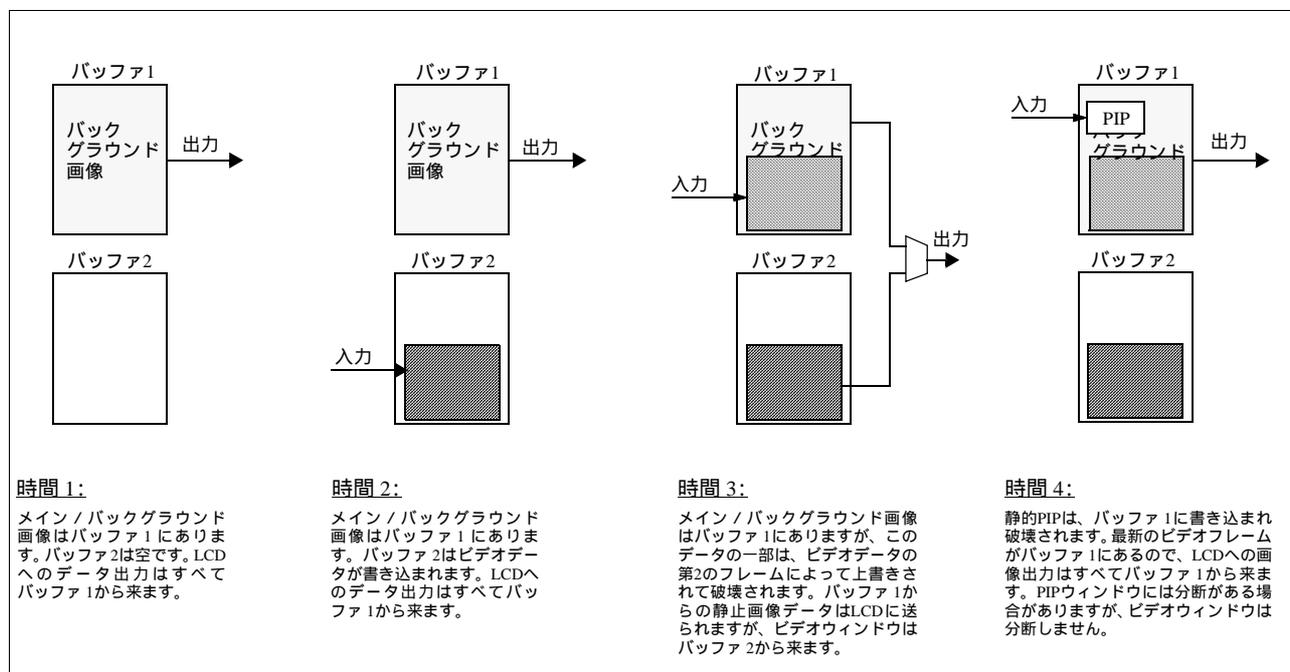


図20.2 ダブルバッファの例

20.2 ダブルバッファの制限

ダブルバッファには、次のようないくつかの制限があります。

- ビデオストリームを入力しており、ユーザが、静的PIPをビデオウィンドウの全体または一部分の上に置きたい場合、ユーザはPIPを書き込むことができますが、ビデオストリームが続くときは、PIPを上書きして破壊し、PIPがビデオウィンドウの下にあるように見えます。
- ビデオの最終フレームが送られた後でビデオストリームが止まる場合、ビデオの最終フレームは、LCD上に表示されたままです。この最終フレームがバッファ2に記憶されると仮定すると、ユーザがダブルバッファをディセーブルした場合は、バッファ読み出しポインタがすぐにバッファ1にリセットされます。すなわち、このとき最終フレームの代わりに最後から2番目のフレームが表示されます。
- ユーザは、ビデオデータの書き込みフレーム間の垂直非表示期間を待つか、あるいは最大入力フレームレートがLCDフレームレートの1/2になるようにし、またビデオデータのフレームをバースト書き込みするのにかかる時間の長さが1LCDフレーム期間より短くなるようにしなければなりません。
- ダブルバッファすることができるウィンドウは1度に1つだけです。

21. S1D13743とTFTパネルの接続

この章では、S1D13743モバイルグラフィックエンジンと352×416 TFTパネルを接続するために必要なハードウェアとソフトウェアの環境を説明します。

この章で説明する設計は、そのようなインタフェースの実現方法の例です。

21.1 概要

S1D13743は、Sanyo LC13015を直接サポートするように設計されており、追加のハードウェアが不要で、最小限のプログラミングしか必要ありません。S1D13743のレジスタ設定とLCDインタフェースについては後で説明します。

21.1.1 LCDインタフェース

表21.1 端子の割り付け

S1D13743端子名	S1D13743ピン番号	LCD13015端子名
HS	D9	HS
VS	D10	VS
PCLK	D11	PCLK
DE	C11	DE
VD[17:0]	J8、J9、J10、J11、K4、K5、K6、K7、K8、K9、K10、L3、L4、L5、L6、L7、L8、L9	R5、R4、R3、R2、R1、R0、G5、G4、G3、G2、G1、G0、B5、B4、B3、B2、B1、B0

21. S1D13743とTFTパネルの接続

21.1.2 352×416 TFTパネル用のS1D13743レジスタ設定

注

下のリストのレジスタは、パネル固有のタイミングの問題に関連するものだけであり、他のレジスタはこのリストには示してありません。

注

ウィンドウがYUVデータ用にセットアップされたとき、データは、常に奇数ラインで始まり、奇数ラインと偶数ラインが交互にならなければなりません。

表21.2 352×416 TFTパネルのレジスタ設定例

レジスタ	値	コメント
すべて	デフォルト	リセットから開放され、すべてのレジスタがデフォルト値に設定されます。
REG[56h]	02h	スリープモードに入ります (またはPWRSVE端子を使用します)。
REG[04h]	12h	PLL M分周器を設定します。 CLKI = 19.2MHz PLL入力クロック = CLKI/19 = 1.01MHz
REG[06h]	F8h	
REG[08h]	80h	
REG[0Ah]	28h	
REG[0Ch]	00h	
REG[0Eh]	2Fh	LL = 48、SYSCLK = LL × PLL入力クロック = 48MHzになります。
REG[12h]	19h	PCLK分周を設定します。PCLK = 12.1MHz SYSCLKソース = PLLに設定します。
REG[14h]	0h	パネルデータスワップなし。18ビットパネル
REG[16h]	2Ch	HDP = 352ピクセル
REG[18h]	5Ah	HNDP = 90ピクセル
REG[1Ah]	A0h	VDP = 416ライン
REG[1Ch]	01h	
REG[1Eh]	06h	VNDP = 6ライン
REG[20h]	14h	HSパルス幅 = 20ピクセル
REG[22h]	2Dh	HS開始位置 = 45ピクセル
REG[24h]	02h	VS幅 = 2ライン
REG[26h]	01h	VS開始位置 (VFP) = 1ライン
REG[28h]	80h	PCLK極性: 立ち下がりエッジ上のデータ出力
REG[2Ah]	01h	入力データモードをRGB 5:6:5に設定します。
REG[56h]	00h	スリープモードをディセーブルします。
REG[04h]ビット7	—	PLLがロックするのを待ち、REG[04h]ビット7をポーリングします。
REG[38h]	00h	ウィンドウX開始位置 = 0
REG[3Ah]	00h	
REG[3Ch]	00h	
REG[3Eh]	00h	ウィンドウY開始位置 = 0
REG[40h]	5Fh	ウィンドウX終了位置 = 351
REG[42h]	01h	

表21.2 352×416 TFTパネルのレジスタ設定例（続き）

レジスタ	値	コメント
REG[44h]	9Fh	ウィンドウY終了位置 = 415
REG[46h]	01h	
REG[48h]	メモリデータポートREG[48h]とREG[49h]に画像データを書き込みます。画像がすぐにLCDに現われ始めます。	
REG[49h]		

注

上記の値は例です。この例では、CLKI = 19.2MHz であり、PLLがSYSCLKを生成するために使用されると仮定しています。実際の設定は、LCDパネルタイミング要件の範囲内で変化することができます。

21.2 ホストバスタイミング

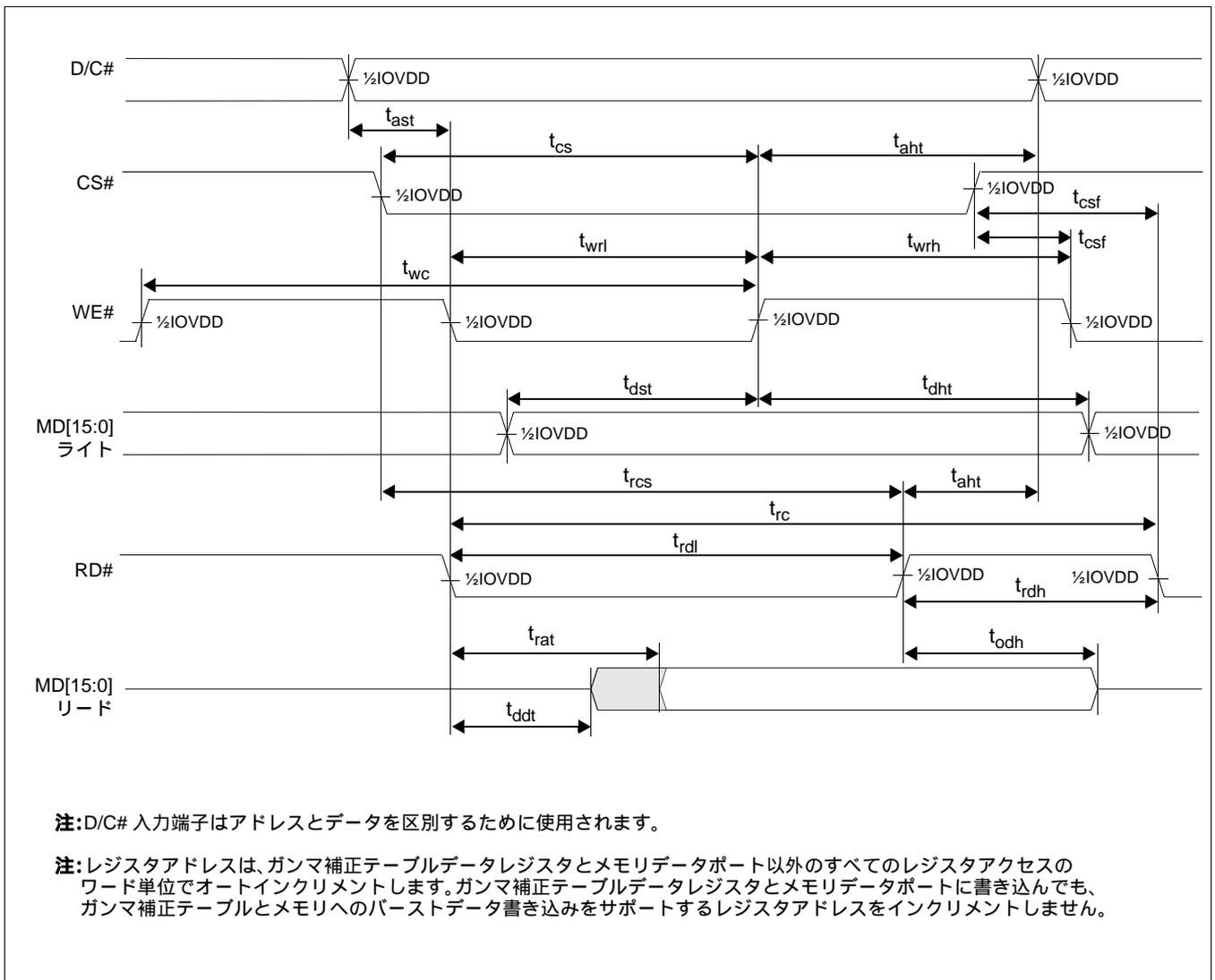


図21.1 Intel 80入力AC特性

21. S1D13743とTFTパネルの接続

21.2.1 352 × 416 TFTパネルのホストバスタイミング

表21.3 Intel 80入力AC特性 (352 × 416パネルタイミング)

端子名	記号	パラメータ	Min	Max	単位	説明
D/C#	t_{ast}	アドレスセットアップ時間	1.4	—	ns	
	t_{aht}	アドレスホールド時間	0.3	—	ns	
CS#	t_{cs}	チップセレクトセットアップ時間 (ライト)	$0.6 + twrl$	—	ns	
	t_{rcs}	チップセレクトセットアップ時間 (リード)	$1.3 + trdl$	—	ns	
	t_{csf}	チップセレクト待ち時間	9.2	—	ns	
WE#	t_{wc}	ライトサイクル (立ち上がりエッジ 次の立ち上がりエッジ)	42.6	—	ns	
	t_{wrh}	Highパルス幅持続時間	(注1)	—		
	t_{wrl}	Lowパルス幅持続時間	0.1	—	ns	
RD#	t_{rc}	レジスタのリードサイクル	42.6	—	ns	
		メモリのリードサイクル	$122.1 + trdh$	—	ns	
		LUTのリードサイクル	$108.1 + trdh$	—	ns	
	t_{rdh}	Highパルス幅持続時間	(注2)	—		
	t_{rdl}	レジスタのLowパルス幅持続時間	10.2	—	ns	
		メモリのLowパルス幅持続時間	122.1	—	ns	
LUTのLowパルス幅持続時間		108.1	—	ns		
MD[15:0]	t_{dst}	データセットアップ時間	0.3	—	ns	最大では CL = 30pF 最小では CL = 8pF
	t_{dht}	データホールド時間	6.4	—	ns	
	t_{rat} (注)	リード立ち下がりエッジ レジスタに有効なデータ	—	12.2	ns	
		リード立ち下がりエッジ メモリに有効なデータ	—	122.1	ns	
		リード立ち下がりエッジ LUTに有効なデータ	—	108.1	ns	
	t_{odh} (注)	リードホールド時間	10.7	32.1	ns	
t_{ddt} (注)	リード立ち下がりエッジ データ出力	3.0	12.3	ns		

SYSCLK = 48MHz、PCLK = 12MHz、CLKI = 12MHz

注

1. t_{wrh} 最小 = t_{wc} を満たすのに十分な長さ
2. t_{rdh} 最小 = t_{rc} を満たすのに十分な長さ

21.3 パネルタイミング

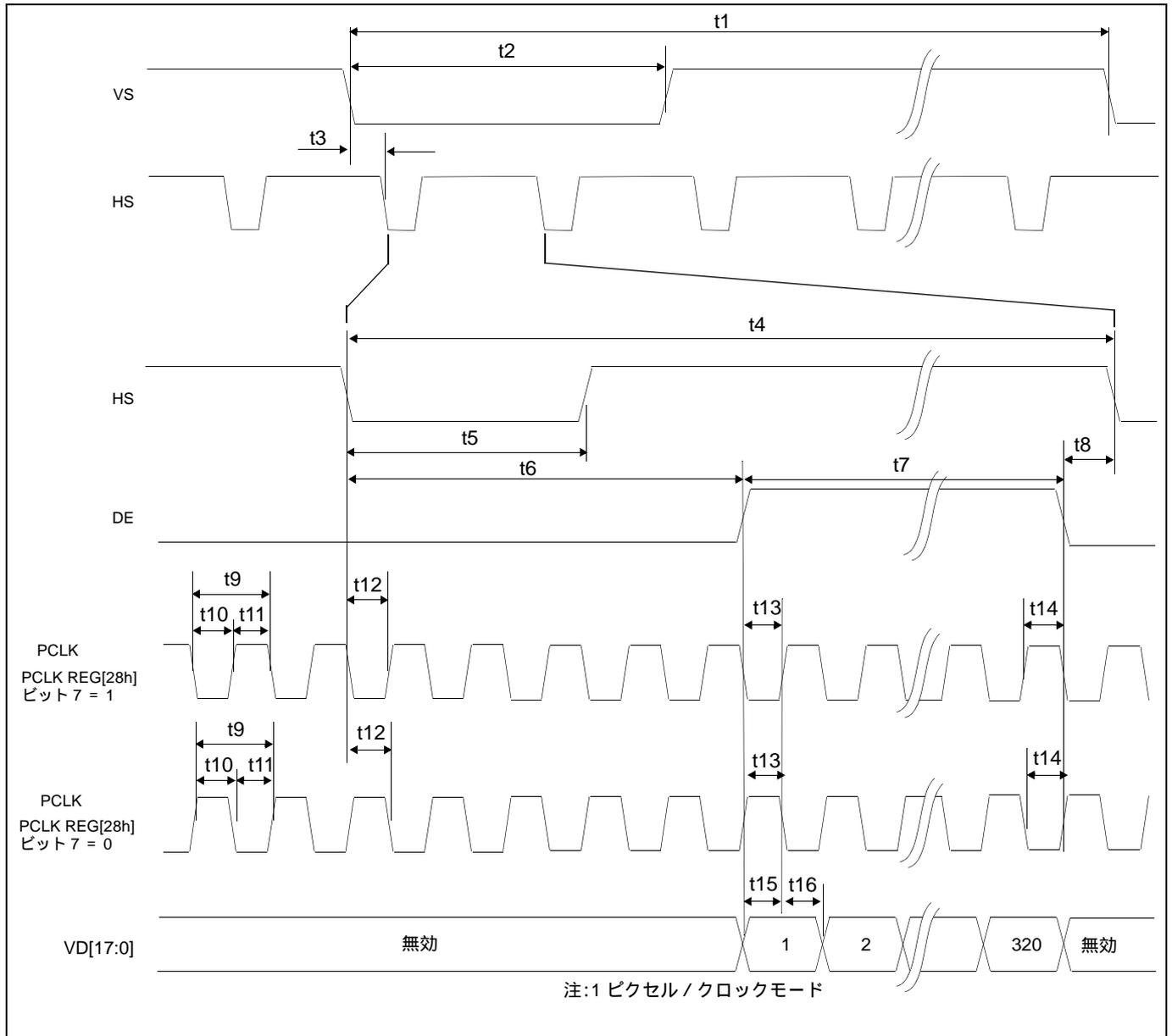


図21.2 18ビットTFT ACタイミング

21. S1D13743とTFTパネルの接続

21.3.1 352×416 TFTパネルのパネルタイミング

表21.4 18ビットTFT ACタイミング (352×416パネルタイミング)

記号	パラメータ	Min	Typ	Max	単位
t1	VSサイクル時間	—	15.54	—	ms
t2	VS Lowパルス幅	—	73.67	—	us
t3	VS立ち下がりエッジ HS立ち下がりエッジ位相差	0	—	36.75	us
t4	HSサイクル時間	—	36.83	—	us
t5	HS Lowパルス幅	—	1.67	—	us
t6	HS立ち下がりエッジ DEアクティブ	—	3.75	—	us
t7	DE Highパルス幅	—	29.3	—	us
t8	DE立ち下がりエッジ HS立ち下がりエッジ	—	3.75	—	us
t9	PCLK期間	83.3	—	—	ns
t10	PCLK Lowパルス幅	41.7	—	—	ns
t11	PCLK Highパルス幅	41.7	—	—	ns
t12	HSセットアップ PCLK立ち下がりエッジ	41.7	—	—	ns
t13	DE PCLK立ち上がりエッジセットアップ時間	41.7	—	—	ns
t14	PCLK立ち上がりエッジからのDEホールド時間	41.7	—	—	ns
t15	データセットアップ PCLK立ち上がりエッジ	41.7	—	—	ns
t16	PCLK立ち上がりエッジからのデータホールド時間	41.7	—	—	ns

注

1. Ts = ピクセルクロック期間 = 83.3 ns (12MHz PCLK)

21.4 Play.exeスクリプトの例

以下のスクリプトの例は、PLAY.EXEプログラムのために作成したものです。スクリプト Demo.txtは、S1D13743を初期化し、次に横線をさまざまな回転で表示し、次にPIP+ウィンドウを表示します。

Demo.txt

```

verbose cmd:off out:on set:off
halt 0

' =====
' =====
' _DEMO_.txt - Play script for 13743 to demonstrate various features.
'
' This demonstration code is written in the Play.exe script language so that
' various steps can be easily observed. Some steps such as the initialization
' and the memory fills use Play intrinsic commands. These operation of these
' commands are easily determined.
' =====
' =====

' Initialize the registers to the default state by
' running the register list generated by 13743CFG
'-----
init

```

```
' Set the window to the full screen and clear the display
'-----
SetWin.txt
f WIN 0

' ROTATE 0
'-----
print "Color bars at SwivelView 0\n"
x 34 0
DrawBarsA.txt
Pause.txt

' ROTATE 90
' NOTE: There is a bug with the Fill WINDOW command in
'       Play which causes the 90 and 270 degree fills
'       to be filled incorrectly. This will be corrected.
'-----
print "Color bars at SwivelView 90\n"
x 34 1
DrawBarsB.txt
Pause.txt

' ROTATE 180
'-----
print "Color bars at SwivelView 180\n"
x 34 2
DrawBarsA.txt
Pause.txt

' ROTATE 270
' NOTE: There is a bug with the Fill WINDOW command in
'       Play which causes the 90 and 270 degree fills
'       to be filled incorrectly. This will be corrected.
'-----
print "Color bars at SwivelView 270\n"
x 34 3
DrawBarsB.txt
Pause.txt

' PIP
'-----
print "Draw Color bars in a PIP (small window)\n"

x 34 0
SetWin.txt
f WIN 0

DrawBarsA.txt
DrawPIP.txt 50 50 100 128
Pause.txt

section END
```

21. S1D13743とTFTパネルの接続

DrawBarsA.txt

```
verbose cmd:off out:on set:off

' =====
' DrawBars.txt - Play script for the 13743
'
' This script draws eight equally sized horizontal
' bars on the display.
' =====
=====

set $Height ((reg[1C] << 8) + (reg[1A]))
set $Lines ($Height / 8)
set $StartX 0
set $StartY 0
set $EndX width
set $EndY $Lines

set $Color 0
set $Bars 8

section LOOP

SetWin.txt $StartX $StartY $EndX $EndY

f WIN $Color

set $StartY ($StartY + $Lines)
set $EndY ($EndY + $Lines)
set $Color ($Color + 0821)

set $Bars ($Bars - 1)
if $Bars!=0 then goto LOOP
```

DrawBarsB.txt

```
verbose cmd:off out:on set:off

' =====
' DrawBarsB.txt - Play script for the 13743
'
' This script draws horizontal bars in SwivelView 90 and SwivelView 270
' display modes.
' =====
=====

set $Height (reg[16] * 8)
set $Lines  ($Height / 8)
set $StartX 0
set $StartY 0
set $EndX    height
set $EndY    $Lines

set $Color  0
set $Bars   8

section LOOP

SetWin.txt $StartX $StartY $EndX $EndY

f WIN $Color

set $StartY ($StartY + $Lines)
set $EndY   ($EndY   + $Lines)
set $Color  ($Color + 0821)

set $Bars ($Bars - 1)
if $Bars != 0 then goto LOOP
```

21. S1D13743とTFTパネルの接続

DrawPIP.txt

```
verbose cmd:off out:on set:off

' =====
' =====
' DrawPIP.txt - Play script for the 13743
'
' This script draws eight equally sized horizontal bars on the display.
' =====
' =====

set $StartX arg[1].nt
set $StartY arg[2].nt
set $Width   arg[3].nt
set $Height arg[4].nt

set $Lines ($Height / 8)

set $Color 0
set $Bars 8

section LOOP

SetWin.txt $StartX $StartY $Width $Lines

f WIN $Color

set $StartY ($StartY + $Lines)
set $Color ($Color + 0821)

set $Bars ($Bars - 1)
if $Bars!=0 then goto LOOP
```

Pause.txt

```
verbose cmd:off out:on set:off
halt 0

print "Paused . . . press any key to continue\n"
input line
```

SetWin.txt

```

verbose cmd:off out:on set:off

'-----
' SetWin.txt - Play script for the 13743
'
' This script is functionally identical to the Play command 'win'. Call this
' script to set the 13743 window co-ordinates as specified by the arguments.
'
'   Syntax:  SetWin X Y W H
'   Where:   X - Left edge window X position
'            Y - Top edge window Y position
'            W- Window width
'            H - Window height
'
'   Example: SetWin 0 0 100 100
'            Sets the window to start at 0,0 and end at 100, 100
'
'            SetWin
'            Sets the window size to the size of the display
'
'   win SX:0 SY:0 EX:width EY:height
'-----

' Set the default window values to the display size.
set $SX 0
set $SY 0
set $EX (width - 1)
SET $EY (height - 1)

' Use non-default values ONLY if all four arguments are given
if (argn!=5) then goto SETWINDOW

set $SX arg[1].n
set $SY arg[2].n
set $EX (arg[1].n + arg[3].n - 1)
set $EY (arg[2].n + arg[4].n - 1)

section SETWINDOW

' Change the register window settings

x 38 $SX
x 3A ($SX >> 8)

x 3C $SY
x 3E ($SY >> 8)

x 40 $EX
x 42 ($EX >> 8)

x 44 $EY
x 46 ($EY >> 8)

```

22. PLL電源の考察

22. PLL電源の考察

22.1 PLL電力レイアウトのガイドライン

PLL回路はアナログ回路であり、入力クロック波形や電源のノイズにきわめて敏感です。クロックや電源のノイズは、PLL回路の動作を不安定にしたりジッタを大きくしたりすることがあります。

そのようなノイズの制約により、PLL用の電源トレースまたは電源プレーンを他の電源のトレースやプレーンから離すようにしてください。電源のノイズをできるだけ少なくするためにフィルタも使用してください。

次のガイドラインに従うことにより、PLLの電源ノイズを少なくし、クロックのノイズを少なくし安定させることができます。これらのガイドラインの一部を実施するだけでも有効です。

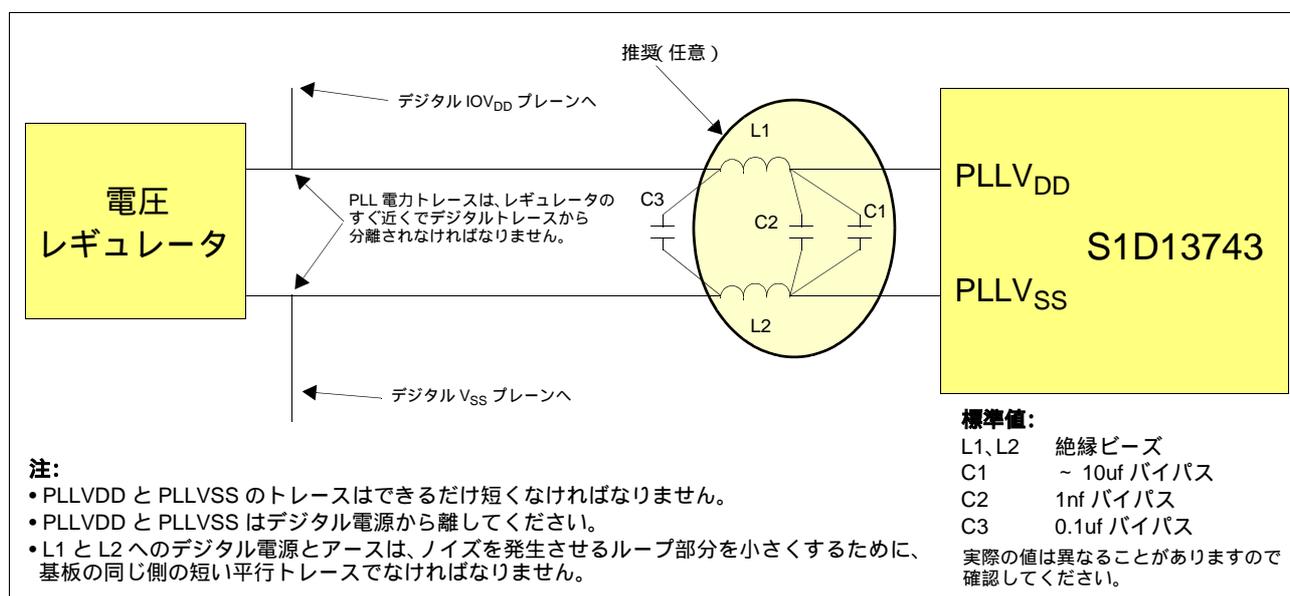


図22.1 PLL電源レイアウト

- 絶縁ビーズ (L1とL2) は、間隔が最小になるように互いに平行に配置してください。バイパス容量 (C2とC3) は、両方ともインダクタにできるだけ近づけてください。C3から電源プレーンまでのトレースは、基板の同じ側にあって間隔が狭い平行トレースでなければなりません。ループ面積を大きくするとノイズが発生します。基板上に電圧レギュレータがある場合は、これらの電源トレースを、電源プレーンまで引き回さずに電圧レギュレータに直接接続してみてください (平行トレースに関する規則にも従ってください)。
- バイパス容量 (C2) がアース絶縁インダクタ (L2) につながるアナログアース点は、アーススタートポロジのアナログアース中心点になります。C2からPLLVSS端子への1本の短いトレース以外、構成要素はどれもMGE (PLLVSS) のアナロググラウンド端子に直接接続されません。大容量バイパスキャパシタ (C1) のアース側もスターポイントに直接接続されなければなりません。
- L2をC2に接続するアナログ電源接続にも、アナログアースに使用されるのと同じスタートポロジ規則が適用されます。
- すべてのトレース長をできるだけ短くしてください。
- すべてのPLLトレースをできるだけ基板の外側の同じ層に配置してください。唯一の例外はC1です。C1は、必要に応じて基板の反対側に配置することができます。C1は、他の構成要素ほどアナログアースおよび電源スターポイントに近くなくてもかまいません。
- 部分プレーンができるだけPLLの下領域 (PLL構成要素とトレースの下領域) だけに入るようにしてください。固体アナログプレーンをC2 (バイパス) パッドにアース接続してください。このプレーンが大きすぎると効果がありません。厳密には、これは、同じ基板領域内の他の層の信号との結合を防ぐ静電気シールドです。そのようなアナログプレーンが可能でない場合は、信号層の代わりにPLL構成要素の下領域をデジタル電源プレーンにしてみてください。
- できるだけ他の基板の信号が任意の層上のPLL端子ビアのすぐそばを通らないようにしてください。
- 特にC2のどちらかの面へのアナログアースおよび電源スター接続は、できるだけ太いトレースを使用してください。構成要素パッドと同じくらいの幅にしてみてください。トレースが細いほど誘導が大きくなります。

製造上の規定により、提案したようなアースおよび電源スター接続ができない可能性があります。例えば、4本の幅の広いトレースが1つのパッドに集まると、キャパシタパッドのまわりのすべての銅トレースの熱の影響のために、組み立て中にリフロー問題が生じる可能性があります。1つの解決策は、1本のトレースだけをそのパッドに接続し、他のすべてのトレースをパッドから最小距離でこの幅の広いトレースに接続することです。もう1つの解決策は、トレースをパッドに接続し、銅の接続を断つためにパッドのまわりに熱安全弁を配置することです。最終的には基板も製造できなければならず、したがって最大限の努力が可能です。

23. メカニカルデータ

23. メカニカルデータ

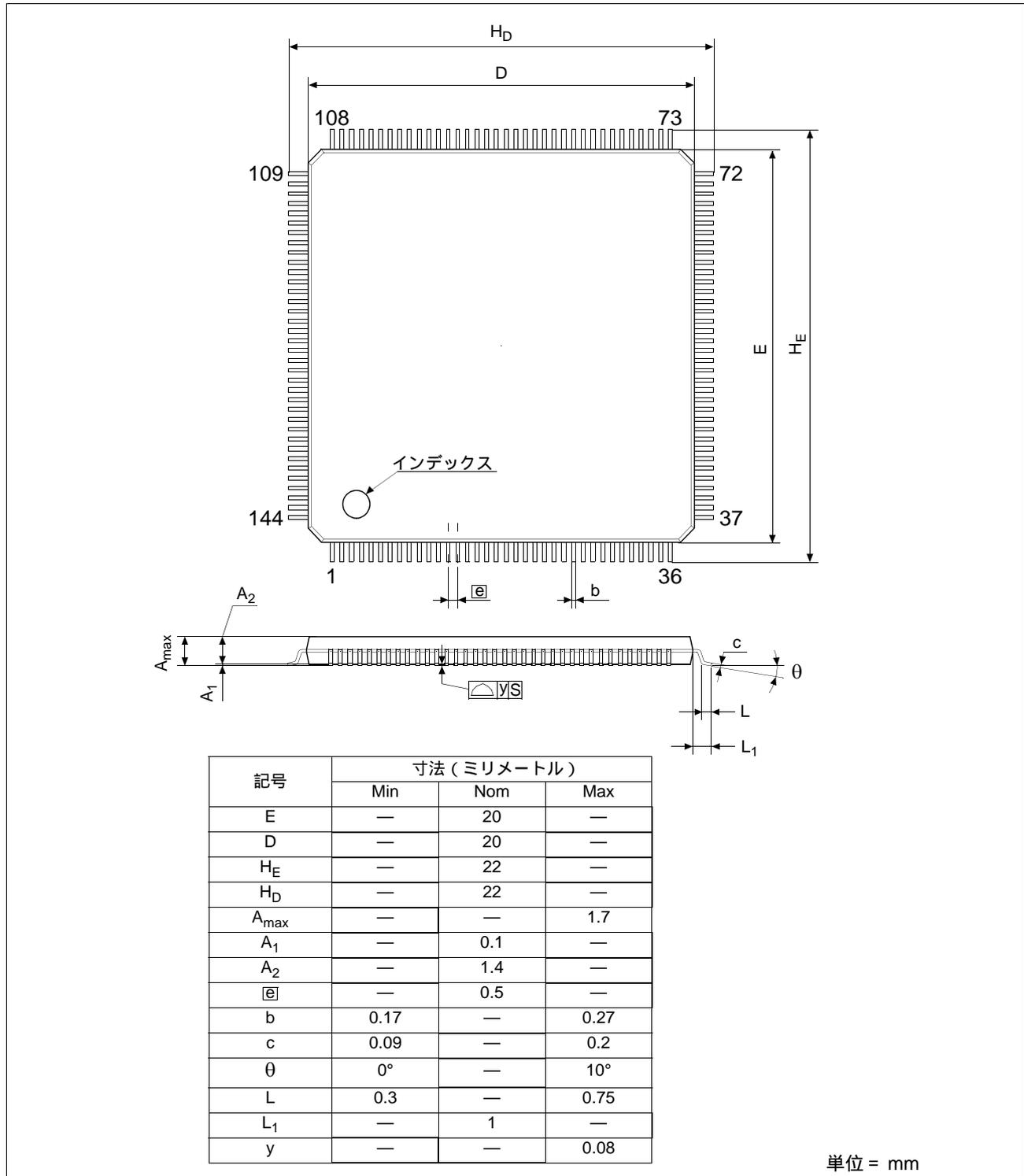


図23.1 S1D13743 QFP20 144端子パッケージ

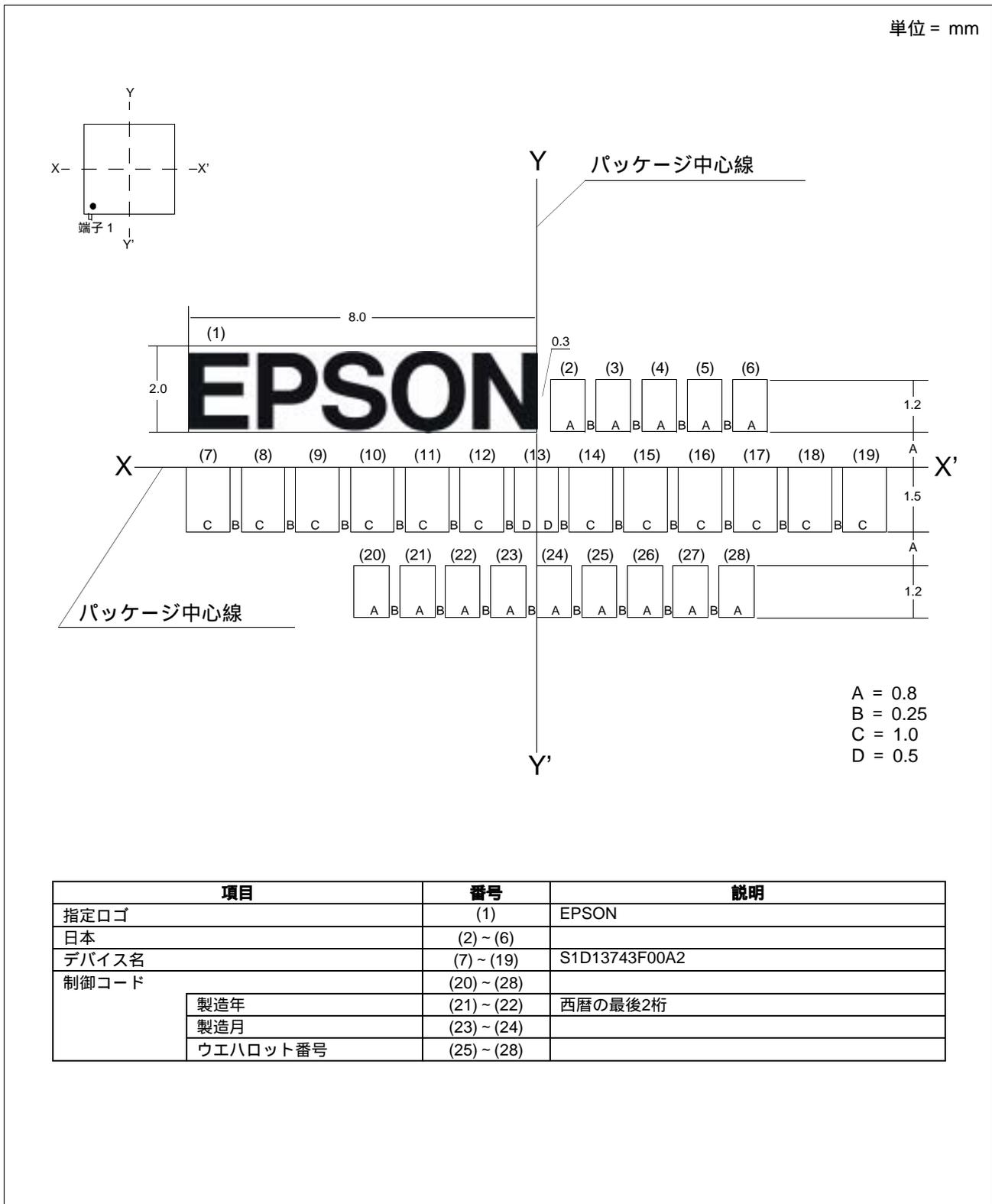


図23.2 S1D13743 QFP 144ピンパッケージ表示

24. 参考文献

24. 参考文献

以下の文献には、S1D13743に関する更に詳しい情報が記載されています。文書名の後のかっこ内に文書番号を示します。文書はすべて、www.erd.epson.comのEpson Research and Developmentウェブサイトで閲覧することができます。

- S1D13743製品概要 (X70A-C-001-xx)
- S5U13743P00C100評価ボードユーザーマニュアル (X70A-G-001-xx)

改訂履歴

Rev. No.	日付	ページ	種別	改訂内容
Rev. 2.5	2008/5/7	全ページ	新規	新規制定
Rev. 2.6	2010/2/26	全ページ	-	前リビジョンからの変更内容を赤字で示します。
		P1	変更	1.1 適用範囲 記述を変更。
		P3	追加	2.8 その他 パッケージに製品番号を追加。
		P16	変更	6.3 電気特性 表6.4の動作ピーク電流のMaxを74に変更。
		P29	変更	7.4.3 汎用18/24ビットTFTパネルタイミング 図7.10を変更。(VD[17:0]とVD[23:0]を変更。)
		P31	追加	8. メモリを追加
		P36	追加	9.4 SYSCLKとPCLKの設定 CLKIの設定範囲を追加。
		P36	削除	9.4 SYSCLKとPCLKの設定 「5 x 9.5」を削除。
		P115	変更	23. メカニカルデータ 図23.1の側面図のボールの高さを0.23に変更。
			削除	26. 販売およびテクニカルサポートを削除。
Rev.2.8	2012/2/14	全ページ	-	前リビジョンからの変更内容を赤字で示します。
		P8	削除	4.2.3 クロック 表4.4のCLKIの説明から入力周波数範囲を削除。
		P18	変更	7.1.1 クロック 表7.1のfOSCの最大値を66から33に変更。
		全ページ	削除	FCBGAパッケージを削除。

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411352603
2007年9月 作成
2012年2月 改訂