

# S1D13L01

## テクニカルマニュアル

## 評価ボード・キット、開発ツールご使用上の注意事項

---

1. 本評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないで下さい。本品は、完成品に対する設計品質に適合していません。
2. 本評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止して下さい。
3. 本評価ボード・キット、開発ツールに用いられる部品は、予告無く変更されることがあります。

本資料のご使用につきましては、次の点にご留意願います。

---

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

# 目次

<b>第 1 章 はじめに</b> . . . . .	<b>1</b>
1.1 適用範囲 . . . . .	1
1.2 概要説明 . . . . .	1
<b>第 2 章 特徴</b> . . . . .	<b>2</b>
2.1 解像度 . . . . .	2
2.2 CPU インタフェイス . . . . .	2
2.3 入力データフォーマット . . . . .	2
2.4 パネルインタフェイス . . . . .	2
2.5 表示機能 . . . . .	3
2.6 その他 . . . . .	3
<b>第 3 章 システムユースケース</b> . . . . .	<b>4</b>
<b>第 4 章 端子</b> . . . . .	<b>8</b>
4.1 端子配置図 . . . . .	8
4.2 端子説明 . . . . .	9
4.2.1 ホストインタフェイス . . . . .	10
4.2.2 パネルインタフェイス . . . . .	11
4.2.3 クロック入力 . . . . .	11
4.2.4 その他 . . . . .	12
4.2.5 電源及びグランド . . . . .	12
4.3 コンフィグレーションオプション . . . . .	13
4.4 ホストインタフェイス端子配置 . . . . .	13
4.5 パネルインタフェイス端子配置 . . . . .	14
<b>第 5 章 回路ブロック図</b> . . . . .	<b>15</b>
<b>第 6 章 内蔵メモリ</b> . . . . .	<b>16</b>
6.1 メモリマップ . . . . .	16
6.2 最大解像度例 . . . . .	17
<b>第 7 章 クロック</b> . . . . .	<b>18</b>
7.1 クロックツリー . . . . .	18
7.2 PLL の設定 . . . . .	18
7.3 クロック設定における最低条件 . . . . .	19
<b>第 8 章 DC 特性</b> . . . . .	<b>20</b>
8.1 絶対最大定格 . . . . .	20
8.2 推奨動作条件 . . . . .	20
8.3 電気的特性 . . . . .	21
<b>第 9 章 A.C. 特性</b> . . . . .	<b>22</b>
9.1 クロックタイミング . . . . .	22
9.1.1 入力クロック . . . . .	22
9.1.2 PLL クロック . . . . .	24
9.2 RESET# タイミング . . . . .	25

9.3	電源シーケンス	26
9.3.1	電源投入シーケンス	26
9.3.2	電源切断シーケンス	26
9.4	ホストインタフェイスタイミング	27
9.4.1	ダイレクト16ビットモード1タイミング	27
9.4.2	ダイレクト16ビットモード2タイミング	29
9.4.3	インダイレクト16ビットモード1タイミング	31
9.4.4	インダイレクト16ビットモード2タイミング	33
9.4.5	ダイレクト8ビットタイミング	35
9.4.6	インダイレクト8ビットタイミング	37
9.4.7	SPIタイミング	39
9.5	パネルインタフェイスタイミング	41
9.5.1	TFTパネルタイミング概要	41
9.5.2	TFT16/18/24パネルタイミング	43
<b>第10章</b>	<b>レジスタ</b>	<b>45</b>
10.1	概要	45
10.2	チップ設定レジスタ	47
10.3	クロック設定レジスタ	48
10.4	パネル設定レジスタ	53
10.5	レイヤ設定レジスタ	61
10.6	GPIO設定レジスタ	73
10.7	ルックアップテーブル設定レジスタ	75
<b>第11章</b>	<b>インダイレクト及びシリアルホストインタフェイスシーケンス</b>	<b>79</b>
11.1	インダイレクトインタフェイス	79
11.1.1	ライト方法	79
11.1.2	リード方法	82
11.2	SPI	86
11.2.1	ライト方法	87
11.2.2	リード方法	88
<b>第12章</b>	<b>イメージデータフォーマット</b>	<b>89</b>
12.1	ホストインターフェイス用のイメージデータフォーマット	89
12.1.1	RGB8:8:8データフォーマット	89
12.1.2	RGB5:6:5データフォーマット	90
12.1.3	24bpp+LUTデータフォーマット	91
12.1.4	16bpp+LUTデータフォーマット	91
12.1.5	8bpp+LUTデータフォーマット	92
12.2	データ拡張	92
12.3	色深度	93
<b>第13章</b>	<b>ルックアップテーブル様式</b>	<b>94</b>
13.1	24bpp LUT	94
13.2	16bpp LUT	96
13.3	カラーモード8bpp LUT	97
<b>第14章</b>	<b>表示機能</b>	<b>98</b>

14.1	PIP(Picture-in-Picture) レイヤ	.98
14.2	トランスピアレンシー	.99
14.3	アルファブレンディング	100
14.4	PIP 効果	101
14.4.1	ブリンクとフェード効果	101
14.4.2	ブリンク/フェード周期	104
14.4.3	フェードステップ	104
14.4.4	PIP 効果状態遷移	105
14.5	レイヤ回転	106
14.5.1	位置座標	106
14.5.2	開始アドレス	106
14.6	動作モード	107
<b>第 15 章</b>	<b>メカニカルデータ</b>	<b>.108</b>
<b>第 16 章</b>	<b>改訂履歴</b>	<b>.109</b>



# 第 1 章 はじめに

## 1.1 適用範囲

本書は、S1D13L01 シリーズシンプル LCD コントローラの機能仕様書です。本書には、タイミング図、AC 及び DC 特性、レジスタの説明、および電力管理の説明が記載されています。本書は、ビデオサブシステム設計者とソフトウェア開発者を対象としています。

英語版 S1D13L01 Simple LCD Hardware Functional Specification が正規の資料であり、本書は正規英語版ユーザーマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりますは、必ず正規英語版の最新資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、

[http://www.epson.jp/device/semicon/product/lcd\\_controllers/index.htm](http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm)、<http://vdc.epson.com/> からダウンロードできます。

## 1.2 概要説明

S1D13L01 は 384K バイトのメモリを内蔵したシンプルな LCD コントローラです。S1D13L01 は 8/16 ビット幅のダイレクト/インダイレクトの CPU インタフェイス及び SPI の CPU インタフェイスをサポートしています。

解像度は、1 レイヤ表示において最大 480×272×24bpp または最大 800×480×8bpp、2 レイヤ表示において最大 480×240×24bpp(メインレイヤ) 及び 480×240×8bpp(PIP レイヤ) の同時表示、をサポートします。TFT パネルを駆動可能です。

S1D13L01 はレジスタ設定によりメモリ内容を回転させて表示する事ができます。また、アルファブレンディング及びトランスピアレンシー機能、PIP レイヤフラッシング、ブリンキング、フェードイン/アウト機能などを、簡単なレジスタ設定でサポートしています。PIP フラッシング機能などにより、低パフォーマンスな CPU でも、高級感のある表示をする事ができます。

## 第 2 章 特徴

### 2.1 解像度

- 384K バイト VRAM 内蔵
- 1 レイヤ表示における解像度 (メインレイヤのみ):
  - 最大 480×272×24bpp
  - 最大 800×480×8bpp
- 2 レイヤ表示における解像度 (メインレイヤ及び PIP レイヤ同時表示):
  - 最大 400×240×24bpp(メインレイヤ) 及び 400×240×8bpp(PIP レイヤ)

### 2.2 CPU インタフェイス

- 8/16 ビット幅のダイレクト CPU インタフェイス
- 8/16 ビット幅のインダイレクト CPU インタフェイス
- SPI (モード 0、モード 3)

### 2.3 入力データフォーマット

- RGB8:8:8, RGB5:6:5, 8bpp グレースケール、またはルックアップテーブル (LUT) による 8/16/24 bpp

### 2.4 パネルインタフェイス

- アクティブマトリックス TFT パネル
  - 16/18/24 ビット

## 2.5 表示機能

- 最大2レイヤ同時表示：
  - メインレイヤ
    - 8/16/24bppの色深度、オプションとしてルックアップテーブル(LUT)
    - レイヤ回転(0/90/180/270°反時計回り)
  - PIPレイヤ
    - 8/16/24bppの色深度、オプションとしてルックアップテーブル(LUT)
    - レイヤ回転(0/90/180/270°反時計回り)
    - PIPレイヤのみ自動ブリンキング、フェードイン/アウト機能
- アルファブレンディング
- トランスピアレンシー
- メイン及びPIPレイヤにそれぞれ独立したルックアップテーブル(256アドレス×24bpp)

## 2.6 その他

- クロック入力: CLKI
- PLL 内蔵
- ソフトウェアによるパワーセーブモード
- 汎用入出力端子 (GPIO)
- 動作温度範囲：  
S1D13L01F00A\*\*\* -40~85 °C  
パッケージ: QFP15-128 ピン (14mm×14mm×1.7mm)

## 第 3 章 システムユースケース

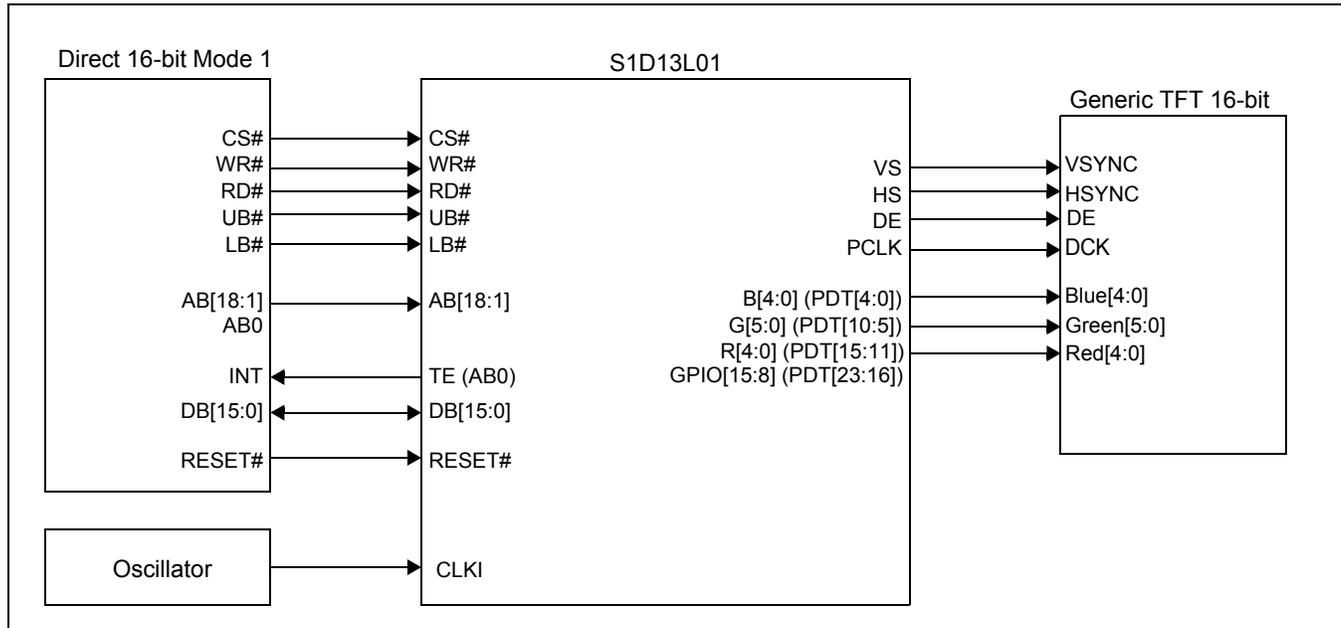


図 3-1: システムダイアグラム (ダイレクト 16 ビットモード 1、汎用 TFT 16 ビット)

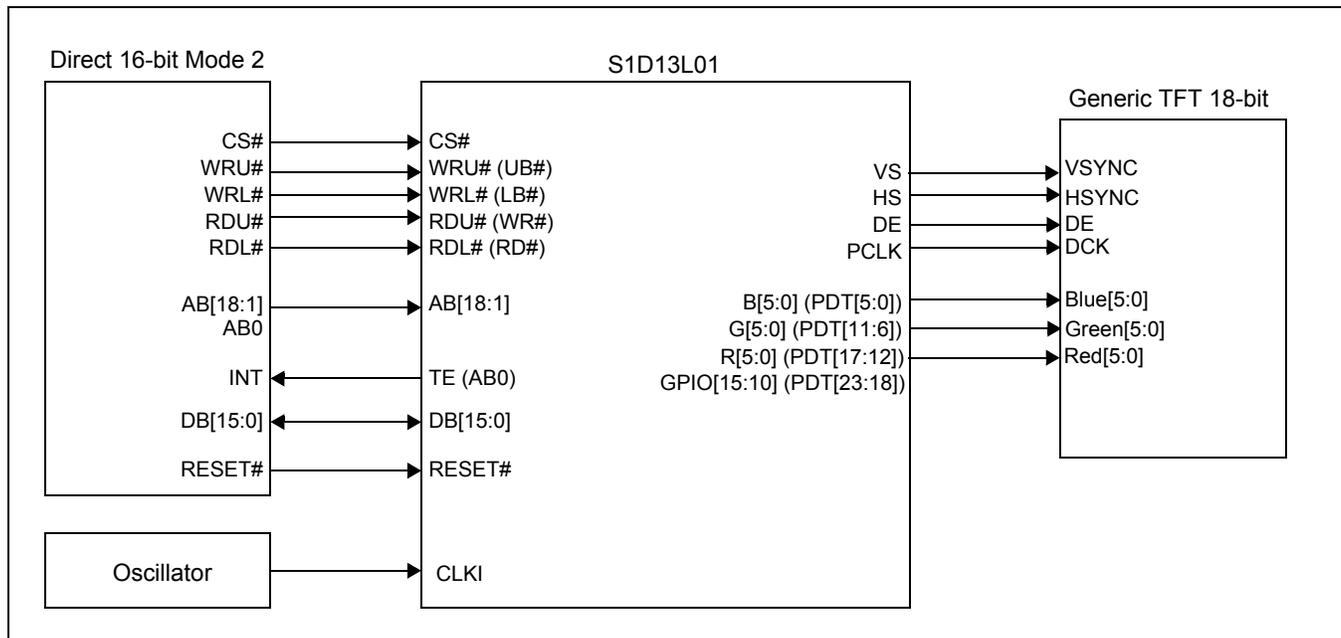


図 3-2: システムダイアグラム (ダイレクト 16 ビットモード 2、汎用 TFT 18 ビット)

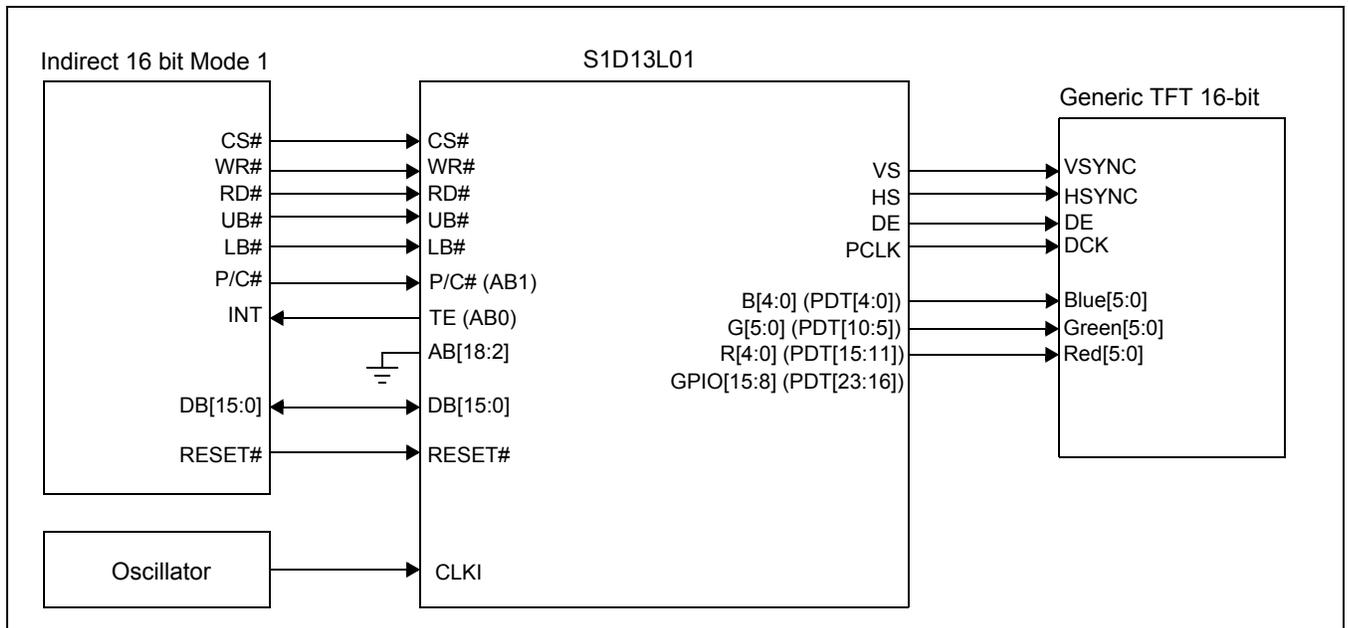


図 3-3: システムダイアグラム (インダイレクト 16 ビットモード 1、汎用 TFT 16 ビット)

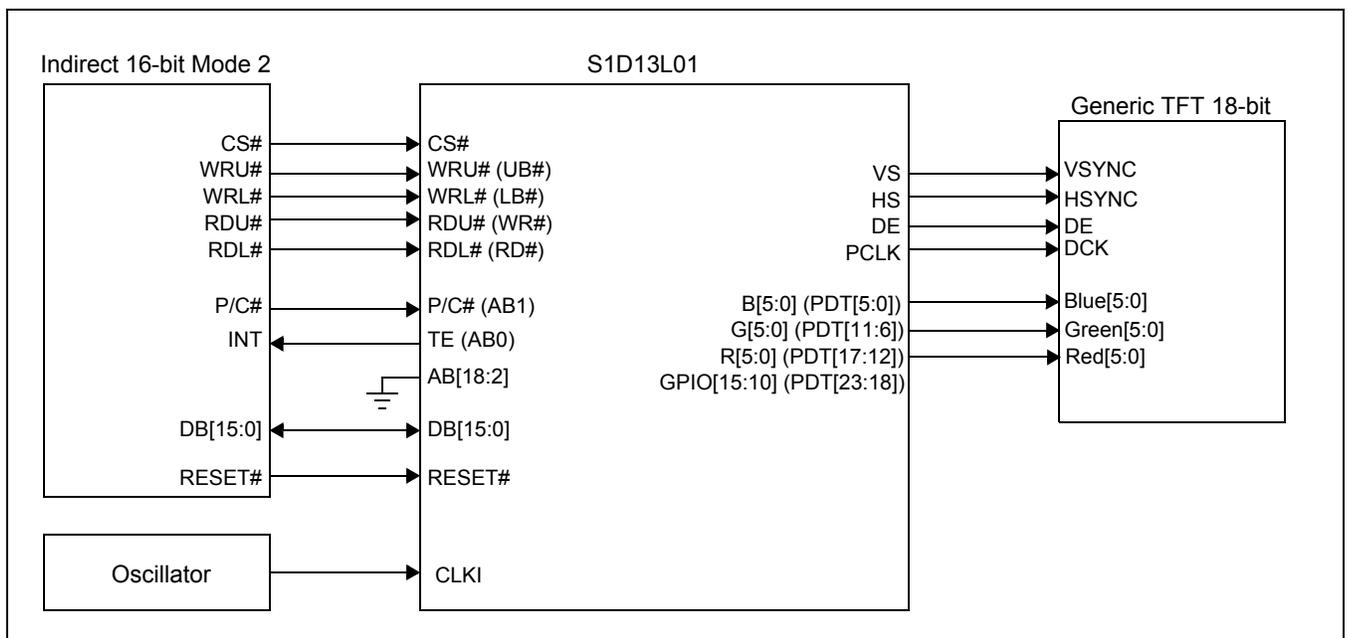


図 3-4: システムダイアグラム (インダイレクト 16 ビットモード 2、汎用 TFT 18 ビット)

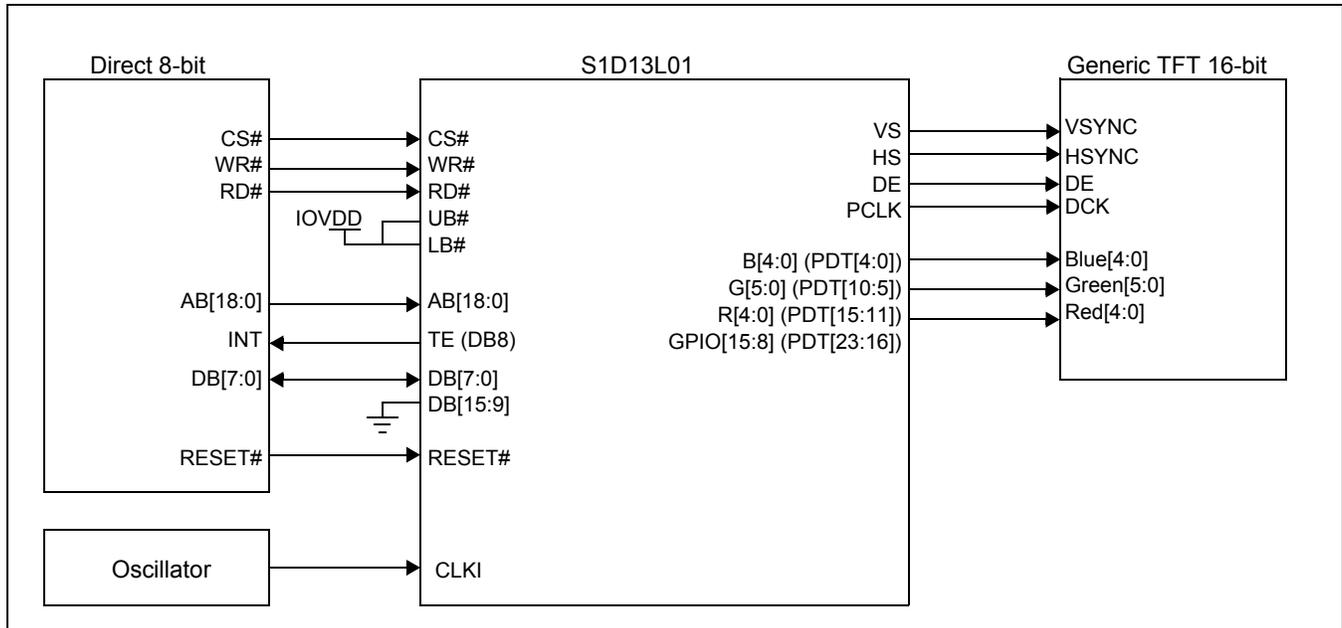


図 3-5: システムダイアグラム (ダイレクト 8 ビット、汎用 TFT16 ビット)

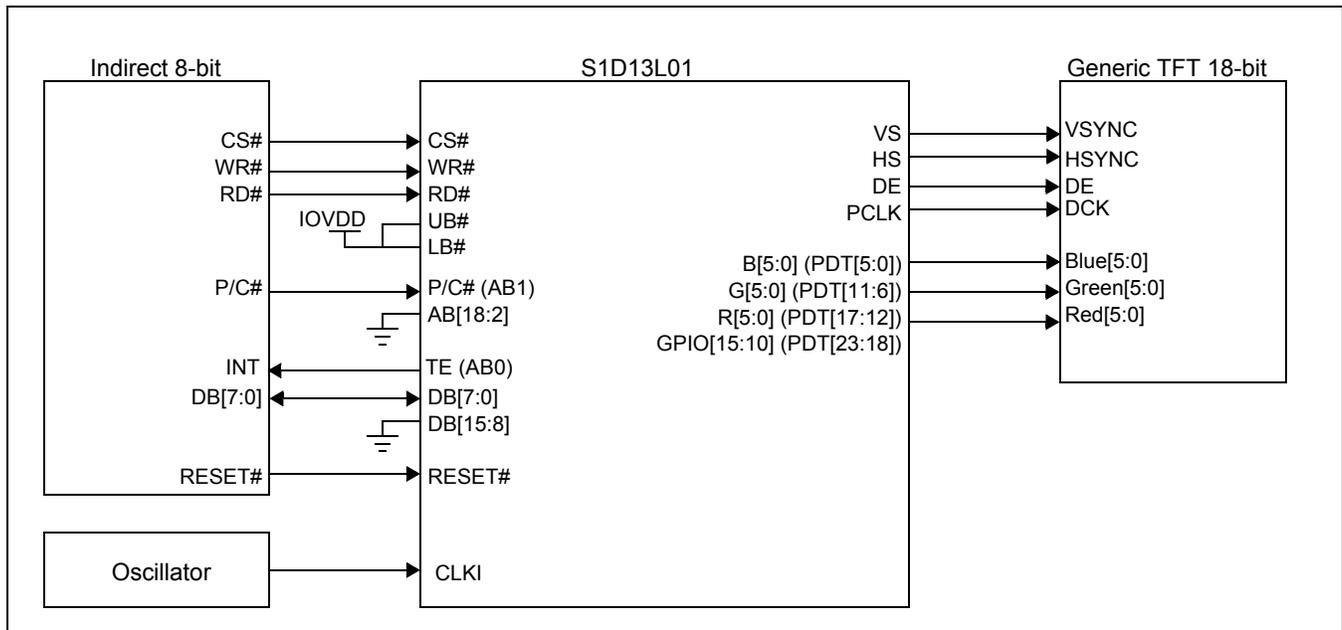


図 3-6: システムダイアグラム (インダイレクト 8 ビット、汎用 TFT18 ビット)

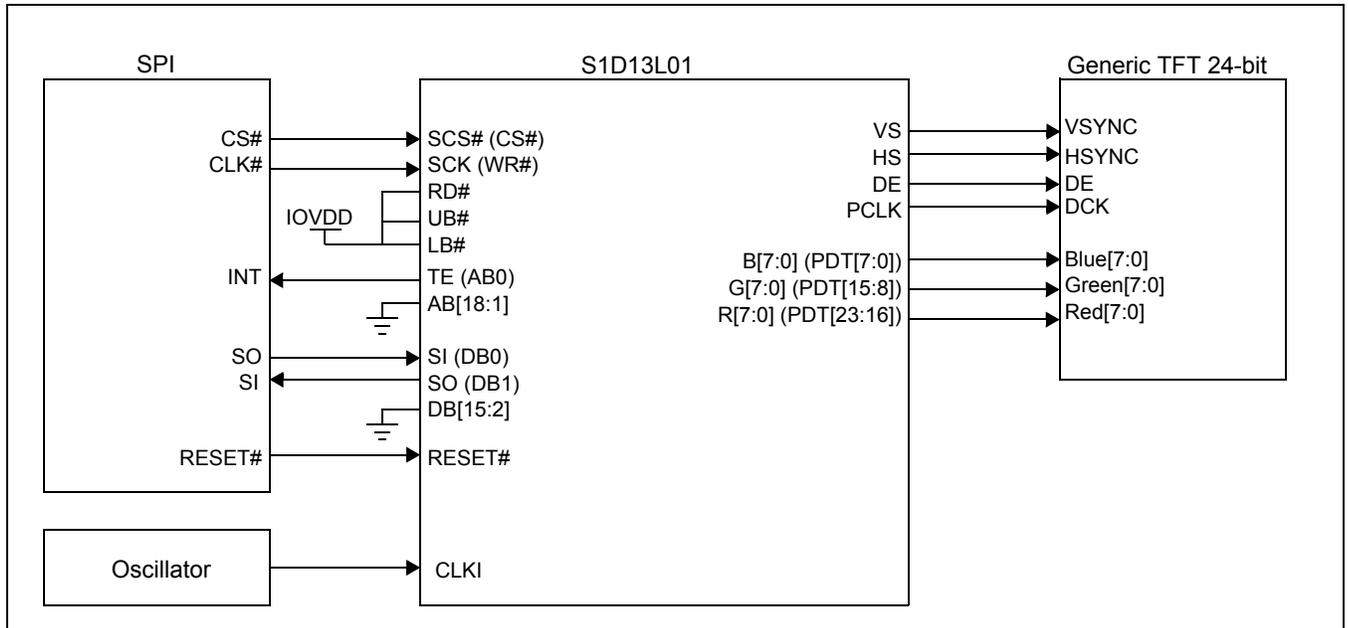


図 3-7: システムダイアグラム (SPI、汎用 TFT24 ビット)

# 第 4 章 端子

## 4.1 端子配置図

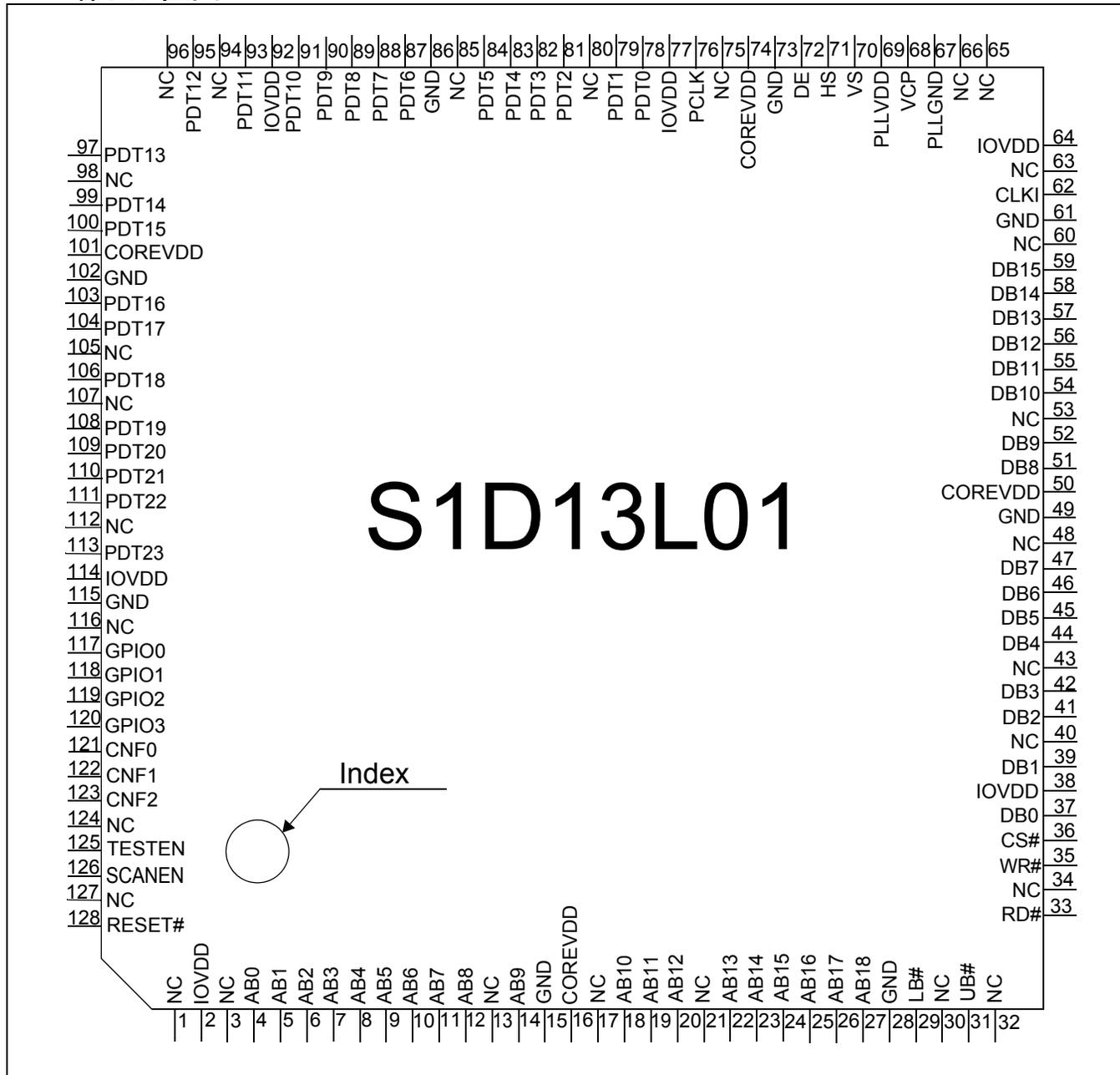


図 4-1: S1D13L01 端子配置図 (QFP15-128 ピン) トップビュー

## 4.2 端子説明

略語の意味：

### 端子タイプ

I	=	入力
O	=	出力
IO	=	双方向 (入出力)
P	=	電源端子
AP	=	アナログ電源端子
G	=	グランド (GND)
AG	=	アナロググランド (アナログ GND)

### RESET# / パワーセーブ状態

H	=	High レベル出力
L	=	Low レベル出力
Hi-Z	=	ハイインピーダンス
Q	=	出力端子、出力状態を保持する
QB	=	双方向端子、出力状態を保持する

表 4-1: セルの説明

セル名	説明
HIS	H システム <sup>1</sup> 用 LVCMOS <sup>3</sup> シュミット入力バッファ、フェイルセーフ機能付
HISD	H システム用 LVCMOS シュミット入力バッファ、フェイルセーフ機能及びプルダウン抵抗付
HISU	H システム用 LVCMOS シュミット入力バッファ、フェイルセーフ機能及びプルアップ抵抗付
HID	H システム用 LVCMOS 入力バッファ、フェイルセーフ機能及びプルダウン抵抗付
HO	H システム用 LVCMOS 出力バッファ、フェイルセーフ機能付
HB	H システム用 LVCMOS 双方向バッファ、フェイルセーフ機能付
HBD	H システム用 LVCMOS 双方向バッファ、フェイルセーフ機能及びプルダウン抵抗付
LIDS	L システム <sup>2</sup> 用 LVCMOS 用 LVCMOS シュミット入力バッファ、プルダウン抵抗付
LITR	L システム用トランスピアレント入力バッファ

<sup>1</sup> H システムは IOVDD を指す (「第 8 章 DC 特性 (20 ページ)」参照)。

<sup>2</sup> L システムは COREVDD を指す (「第 8 章 DC 特性 (20 ページ)」参照)。

<sup>3</sup> LVCMOS は低電圧 (Low Voltage) CMOS (「第 8 章 DC 特性 (20 ページ)」参照)。

## 4.2.1 ホストインタフェイス

表 4-2: ホストインタフェイス端子説明

端子名	タイプ	端子番号	セル名	電源系	パワーセーブモード時の状態	リセット時の状態	説明
CS#	I	36	HIS	IOVDD	—	—	この入力端子はチップセレクトです。
WR#	I	35	HIS	IOVDD	—	—	この入力端子は複数の機能があり、WR#、RDU#、SCKに割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
RD#	I	33	HISU	IOVDD	—	—	この入力端子は複数の機能があり、RD#、RDL#に割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
UB#	I	31	HISU	IOVDD	—	—	この入力端子は複数の機能があり、UB#、WRU#に割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
LB#	I	29	HISU	IOVDD	—	—	この入力端子は複数の機能があり、LB#、WRL#に割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
AB0	IO	4	HB	IOVDD	QB	—	この入出力端子は複数の機能があり、AB0、TEに割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
AB1	I	5	HID	IOVDD	—	—	この入力端子は複数の機能があり、AB1、P/C#に割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
AB[18:2]	I	27~22, 20~18, 14,12~6	HID	IOVDD	—	—	これらの入力端子はホストアドレスバス AB[18:2] です。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
DB0	IO	37	HB	IOVDD	—	—	この入出力端子は複数の機能があり、DB0、SIに割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
DB1	IO	39	HB	IOVDD	—	—	この入出力端子は複数の機能があり、DB1、SOに割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
DB[7:2]	IO	47~44, 42~41	HB	IOVDD	—	—	これらの入出力端子はホストデータバス DB[7:2] です。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
DB8	IO	51	HB	IOVDD	—	—	この入出力端子は複数の機能があり、DB8、TEに割り当てられます。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
DB[15:9]	IO	59~54, 52	HB	IOVDD	—	—	これらの入出力端子はホストデータバス DB[15:9] です。詳細は「4.4章 ホストインタフェイス端子配置 (13 ページ)」を参照。
RESET#	I	128	HIS	IOVDD	—	—	アクティブラーの入力により、全内部レジスタの値をデフォルトの値に設定し、全信号をインアクティブな状態に戻します。

## 4.2.2 パネルインタフェイス

表 4-3: パネルインタフェイス端子説明

端子名	タイプ	端子番号	セル名	電源系	パワーセーブモード時の状態	リセット時の状態	説明
PDT[11:0]	O	93, 91~87, 84~81, 79~78	HO	IOVDD	Q	L	これらの出力端子は、パネルデータバス PDT[11:0] です。詳細は「4.5章 パネルインタフェイス端子配置 (14 ページ)」を参照。
PDT[23:12]	IO	113, 111~108, 106, 104~103, 100~99, 97, 95	HBD	IOVDD	QB	L	これらの入出力端子は複数の機能があり、PDT[23:12]、GPIO に割り当てられます。詳細は「4.5章 パネルインタフェイス端子配置 (14 ページ)」を参照。
VS	O	70	HO	IOVDD	Q	L	この出力端子は VS であり、パネルの垂直同期信号です。詳細は「4.5章 パネルインタフェイス端子配置 (14 ページ)」を参照。
HS	O	71	HO	IOVDD	Q	L	この出力端子は HS であり、パネルの水平同期信号です。詳細は「4.5章 パネルインタフェイス端子配置 (14 ページ)」を参照。
DE	O	72	HO	IOVDD	Q	L	これらの入出力端子は複数の機能があり、DE、MOD に割り当てられます。詳細は「4.5章 パネルインタフェイス端子配置 (14 ページ)」を参照。
PDCLK	O	76	HO	IOVDD	Q	L	この出力端子は PDCLK であり、パネルのピクセルクロックです。詳細は「4.5章 パネルインタフェイス端子配置 (14 ページ)」を参照。

## 4.2.3 クロック入力

表 4-4: クロック入力端子説明

端子名	タイプ	端子番号	セル名	電源系	パワーセーブモード時の状態	リセット時の状態	説明
CLKI	I	62	HIS	IOVDD	—	—	PLL または MCLK のクロック入力

## 4.2.4 その他

表 4-5: その他の端子説明

端子名	タイプ	端子番号	セル名	電源系	パワーセーブモード時の状態	リセット時の状態	説明
TESTEN	I	125	LIDS	COREVDD	—	—	テストイネーブル入力端子であり、製造時の試験のみに使用します。通常動作では GND に接続してください。
SCANEN	I	126	HISD	IOVDD	—	—	スキャンイネーブル入力端子であり、製造時の試験のみに使用します。通常動作では GND に接続してください。
VCP	O	68	LITR	PLLVD	—	—	この端子は製造時の試験のみに使用します。通常動作では未接続してください。
CNF[2:0]	I	123~121	HIS	IOVDD	—	—	これらの入力端子はパワーオン時のコンフィグレーションに使用されます。詳細は「4.3 章 コンフィグレーションオプション (13 ページ)」を参照。 <b>Note:</b> これらの端子は IOVDD または GND に直接接続してください。
GPIO[3:0]	IO	120~117	HBD	IOVDD	QB	—	これらの端子は汎用入出力端子です。デフォルトは入力になっています。
NC	-	1,3,13,17, 21,30,32, 34,40,43, 48,53,60, 63,65,66, 75,80,85, 94,96,98, 105,107, 112,116, 124,127	-	-	-	-	これらの端子は接続してはいけません。

## 4.2.5 電源及びグランド

表 4-6: 電源及びグランド端子説明

端子名	タイプ	端子番号	セル名	電源系	パワーセーブモード時の状態	リセット時の状態	説明
IOVDD	P	2, 38, 64, 77, 92, 114	P	—	—	—	IO 電源
COREVDD	P	16, 50, 74, 101	P	—	—	—	コア用電源
GND	G	15, 28, 49, 61, 73, 86, 102, 115	P	—	—	—	デジタル系共通グランド
PLLVD	AP	69	P	—	—	—	PLL 用電源
PLLGD	AG	67	P	—	—	—	PLL 用グランド

### 4.3 コンフィグレーションオプション

CNF[2:0] 端子はホストインタフェイスの選択に使用されます。これらの端子は、直接 IOVDD または GND に接続してください。

表 4-7: パワーオンリセット選択 (ホストインタフェイス選択)

コンフィグレーション入力	パワーオンリセット状態	
	1 (IOVDD へ接続)	0 (GND へ接続)
CNF[2:0]	000: ダイレクト 16 ビットモード 1 001: ダイレクト 16 ビットモード 2 010: インダイレクト 16 ビットモード 1 011: インダイレクト 16 ビットモード 2 100: ダイレクト 8 ビット 101: インダイレクト 8 ビット 110: リザーブ 111: SPI	

### 4.4 ホストインタフェイス端子配置

S1D13L01 のホストインタフェイスは CNF[2:0] 端子により設定されます。詳細については「4.3 章 コンフィグレーションオプション (13 ページ)」を参照願います。

表 4-8: ホストインタフェイス端子配置

S1D13L01 端子名	ダイレクト 16 ビット モード 1	ダイレクト 16 ビット モード 2	インダイレクト 16 ビット モード 1	インダイレクト 16 ビット モード 2	ダイレクト 8 ビット	インダイレクト 8 ビット	SPI
CS#	CS#	CS#	CS#	CS#	CS#	CS#	SCS#
WR#	WR#	RDU#	WR#	RDU#	WR#	WR#	SCK
RD#	RD#	RDL#	RD#	RDL#	RD#	RD#	H
UB#	UB#	WRU#	UB#	WRU#	H	H	H
LB#	LB#	WRL#	LB#	WRL#	H	H	H
AB0	TE	TE	TE	TE	AB0	TE	TE
AB1	AB1	AB1	P/C#	P/C#	AB1	P/C#	Low
AB[18:2]	AB[18:2]	AB[18:2]	Low	Low	AB[18:2]	Low	Low
DB0	DB0	DB0	DB0	DB0	DB0	DB0	SI
DB1	DB1	DB1	DB1	DB1	DB1	DB1	SO
DB[7:2]	DB[7:2]	DB[7:2]	DB[7:2]	DB[7:2]	DB[7:2]	DB[7:2]	L
DB8	DB8	DB8	DB8	DB8	TE	L	L
DB[15:9]	DB[15:9]	DB[15:9]	DB[15:9]	DB[15:9]	L	L	L

H: 直接 IOVDD へ接続

L: 直接 GND へ接続

Low: アドレスバスの内蔵プルダウンが有効

TE は REG[22h] Display Settings Register ビット 6-5 で決定されます

## 4.5 パネルインタフェイス端子配置

パネルインタフェイスのモードは REG[20h] Panel Setting Miscellaneous Register ビット 3-0 により決定されます。

表 4-9: パネルインタフェイス端子配置

S1D13L01 Pin	Generic TFT		
	16-bit	18-bit	24-bit
VS	VS	VS	VS
HS	HS	HS	HS
DE	DE	DE	DE
PDCLK	PCLK	PCLK	PCLK
PDT0	B0	B0	B0
PDT1	B1	B1	B1
PDT2	B2	B2	B2
PDT3	B3	B3	B3
PDT4	B4	B4	B4
PDT5	G0	B5	B5
PDT6	G1	G0	B6
PDT7	G2	G1	B7
PDT8	G3	G2	G0
PDT9	G4	G3	G1
PDT10	G5	G4	G2
PDT11	R0	G5	G3
PDT12	R1	R0	G4
PDT13	R2	R1	G5
PDT14	R3	R2	G6
PDT15	R4	R3	G7
PDT16	GPIO8	R4	R0
PDT17	GPIO9	R5	R1
PDT18	GPIO10	GPIO10	R2
PDT19	GPIO11	GPIO11	R3
PDT20	GPIO12	GPIO12	R4
PDT21	GPIO13	GPIO13	R5
PDT22	GPIO14	GPIO14	R6
PDT23	GPIO15	GPIO15	R7

### Note

PDT[12:23] がパネルデータバスの時、内蔵プルダウンは無効となります。

PDT[12:23] が GPIO の時、内蔵プルダウン は REG[D4h] GPIO Pull-Down Control Register により制御されます。

## 第5章 回路ブロック図

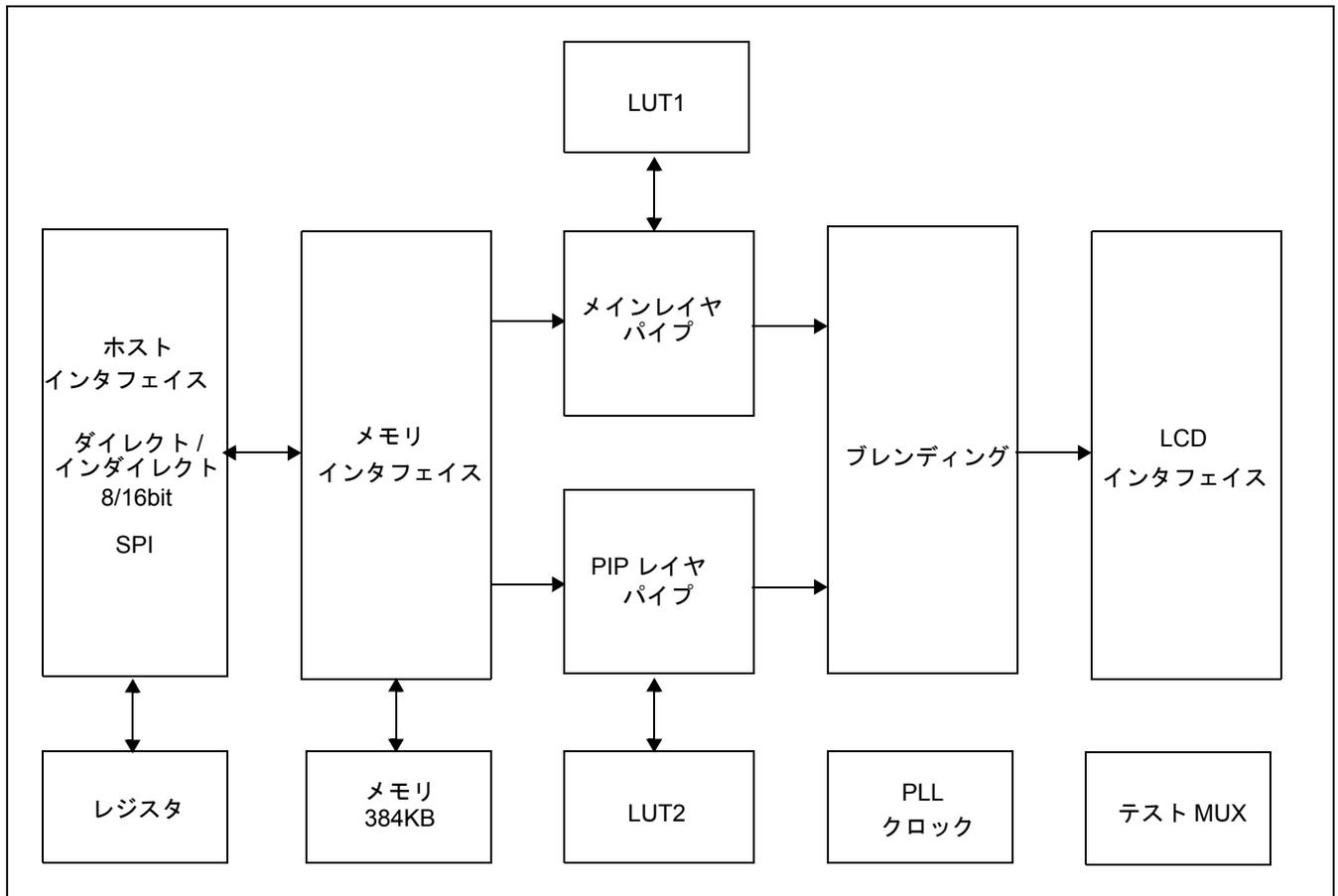


図 5-1: ブロック図

## 第 6 章 内蔵メモリ

### 6.1 メモリマップ

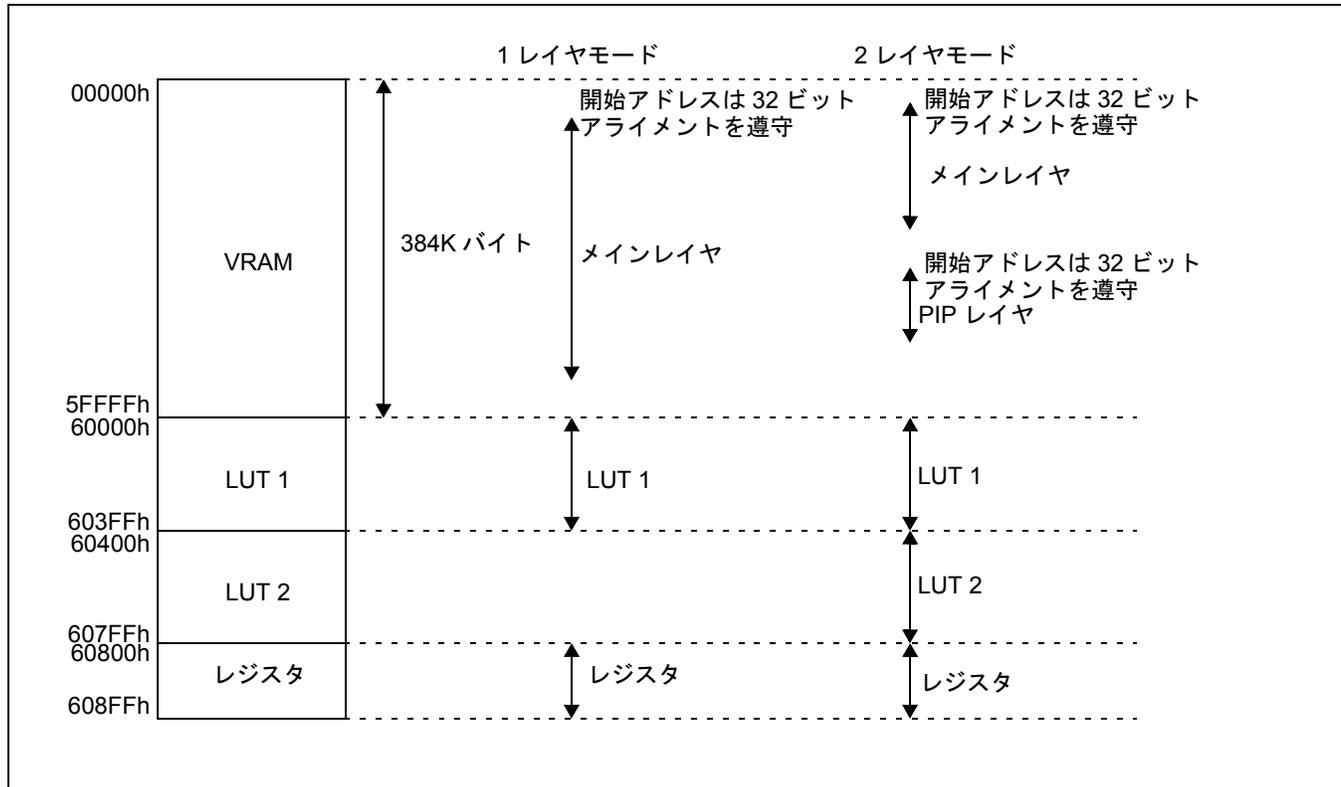


図 6-1: メモリ構成 (ダイレクトマッピング)

S1D13L01 は 384K バイトのメモリを内蔵しています。VRAM、レジスタ、LUT はダイレクトマッピングされています。

## 6.2 最大解像度例

1 レイヤモード (PIP レイヤオフ、REG[60h] PIP Enable Register ビット 2-0=000b) の場合、全 384K バイトの VRAM は全てメインレイヤ用として使用できます。メインレイヤの開始アドレス (REG[42h] Main Layer Start Address Register 0 及び REG[44h] Main Layer Start Address Register 1) は 32 ビットアライメントで指定してください。以下に、1 レイヤモードのメインレイヤの最大解像度例を示します。

表 6-1: 1 レイヤモード時のメインレイヤ最大解像度例

入力データフォーマット	水平解像度	垂直解像度
RGB 8:8:8	480	273
RGB 5:6:5	480	409
8 bpp + LUT1	800	491

2 レイヤモード (PIP レイヤオン、REG[60h] PIP Enable Register ビット 2-0=001b ~ 111b) の場合、384K バイトの VRAM はメインレイヤと PIP レイヤで共有します。メインレイヤの開始アドレス (REG[42h] Main Layer Start Address Register 0 及び REG[44h] Main Layer Start Address Register 1) 及び PIP レイヤ開始アドレス (REG[52h] PIP Layer Start Address Register 0 及び REG[54h] PIP Layer Start Address Register 1) は、共に 32 ビットアライメントで指定してください。以下に、2 レイヤモードのメインレイヤと PIP レイヤを組み合わせた最大解像度例を示します。

表 6-2: 2 レイヤモード時の組み合わせ最大解像度例

例	レイヤ	入力データフォーマット	水平解像度	垂直解像度
1	メイン	RGB 8:8:8	400	240
	PIP	8 bpp + LUT2	400	240
2	メイン	RGB 8:8:8	480	240
	PIP	RGB 5:6:5	200	110
3	メイン	RGB 8:8:8	270	240
	PIP	RGB 8:8:8	270	240

## 第7章 クロック

### 7.1 クロックツリー

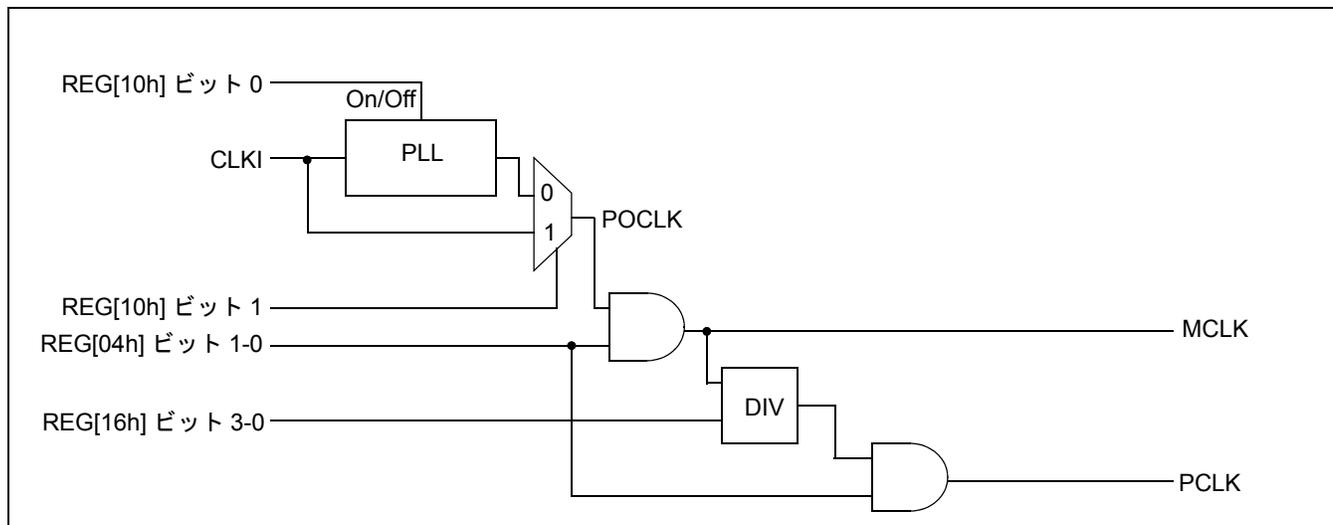


図 7-1: クロック概要図

### 7.2 PLL の設定

PLL 関連レジスタ (REG[10h] PLL Setting Register 0~REG[14h] PLL Setting Register 2) は、以下の図のように設定してください。

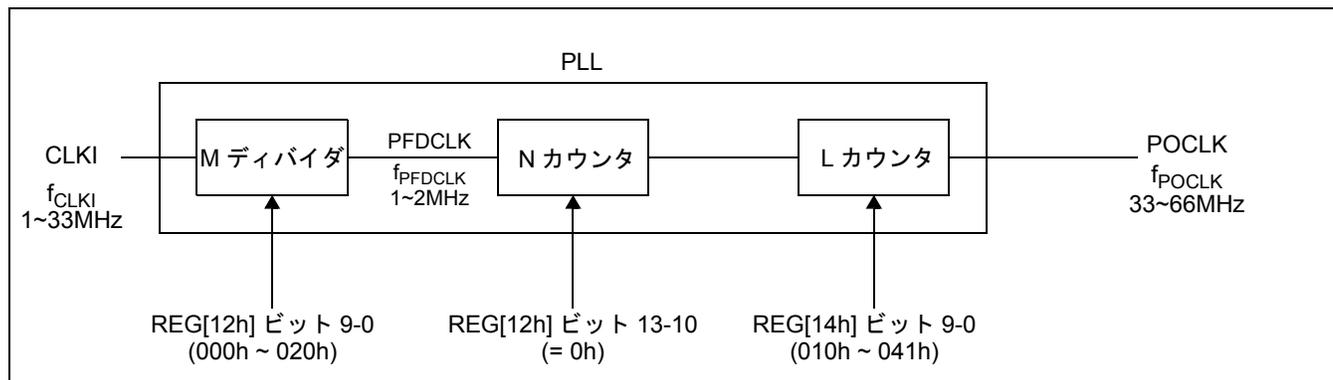


図 7-2: PLL 設定

#### Note

S1D13L01 が MCLK の入力として PLL の出力を使用するよう設定され、尚且つホストが入力クロック (CLKI) を停止したい場合、CLKI を停止する前に PLL を停止 (REG[10h] PLL Setting Register 0 ビット 0=0b) させてください。この操作により PLL ロックビット (REG[10h] PLL Setting Register 0 ビット 15) が Low(0) になります。再び CLKI 供給を始める場合は、ホストは再び PLL をイネーブルにしてください。

### 7.3 クロック設定における最低条件

REG[16h] Internal Clock Configuration Register は、MCLK(メモリークロック)とPCLK(ピクセルクロック)の分周比を決定します。この分周比により、パネルインターフェースブロック(動作クロック:PCLK)に対してメモリアンターフェースブロック(動作クロック:MCLK)のデータ供給が間に合わなかった場合、パネルインターフェースブロックはゴミデータを表示します。つまり、PCLKの比率がMCLKより上回った時、メモリアンターフェースブロックはデータを供給することができません。パネルインターフェースブロックの条件は、PIPイネーブルそしてメインとPIPウインドウ双方の回転により変わります。以下の表はREG[16h] Internal Clock Configuration Registerの最低条件の設定の例です。

表 7-1: REG[16] 最低条件での設定の例

メインウインドウ	<b>Bpp</b>	<b>8</b>	<b>8</b>	<b>16</b>	<b>16</b>	<b>24</b>	<b>24</b>	<b>24</b>	<b>24</b>
	<b>Rotation</b>	0/180	90/270	0/180	90/270	0/180	90/270	0/180	90/270
	<b>Hit Ratio</b>	0.25	1.00	0.50	1.00	0.75	2.00	0.75	2.00
PIP ウインドウ	<b>Bpp</b>	-	8	8	16	8	16	24	24
	<b>Rotation</b>	-	0/180	0/180	0/180	0/180	0/180	0/180	90/270
	<b>Hit Ratio</b>	0.00	0.25	0.25	0.50	0.25	0.50	0.75	2.00
<b>Total Hit Ratio</b>		0.25	1.25	0.75	1.50	1.00	2.50	1.50	4.00
<b>REG[16] 最低条件</b>		0 (1:1)	1 (2:1)	0 (1:1)	1 (2:1)	0 (1:1)	2 (3:1)	1 (2:1)	3 (4:1)

#### Note

上記の表はホストアクセスを考慮に入れていません。実際の設定では、これらの為のスペースを空けておいて下さい。

## 第 8 章 DC 特性

### 8.1 絶対最大定格

表 8-1: 絶対最大定格

記号	パラメータ	定格	単位
Core V <sub>DD</sub>	コア電源電圧	GND - 0.3 to 2.0	V
PLL V <sub>DD</sub>	PLL 電源電圧	GND - 0.3 to 2.0	V
IO V <sub>DD</sub>	IO 電源電圧	COREVDD to 4.0	V
V <sub>IN</sub>	入力電圧	GND - 0.3 to IOVDD + 0.3	V
V <sub>OUT</sub>	出力電圧	GND - 0.3 to IOVDD + 0.3	V
I <sub>OUT</sub>	出力電流	±10	mA

### 8.2 推奨動作条件

表 8-2: 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
Core V <sub>DD</sub>	コア電源電圧	GND = 0 V	1.35	1.5	1.65	V
PLL V <sub>DD</sub>	PLL 電源電圧	GND = 0 V	1.35	1.5	1.65	V
IO V <sub>DD</sub>	IO 電源電圧	GND = 0 V	1.62	1.8/3.3	3.6	V
V <sub>IN</sub>	入力電圧	—	GND	—	IOVDD	V
T <sub>OPR</sub>	動作温度	S1D13L01F00A***	-40	25	85	°C
T <sub>stg</sub>	保管温度	S1D13L01F00A***	-65		150	°C

### 8.3 電気的特性

以下の特性は  $T_{OPR} = -40 \sim 85 \text{ }^{\circ}\text{C}$  (S1D13L01F00A\*\*\*)

表 8-3: IOVDD = 3.3V  $\pm$  0.3V, GND = 0V

記号	パラメータ	条件	Min	Typ	Max	単位
$I_{IZ}$	入力リーク電流	—	-5	—	5	$\mu\text{A}$
$I_{OZ}$	Off State リーク電流	—	-5	—	5	
IOV <sub>OH</sub>	High レベル出力電圧	IOVDD = Min. IOH = -4mA	IOVDD-0.4	—	—	V
IOV <sub>OL</sub>	Low レベル出力電圧	IOVDD = Min. IOL = 4mA	—	—	0.4	V
V <sub>IH</sub>	High レベル入力電圧	LVC MOS レベル IOVDD = Max.	2.2	—	IOVDD+0.3	V
V <sub>IL</sub>	Low レベル入力電圧	LVC MOS レベル IOVDD = Min.	-0.3	—	0.8	
V <sub>T+</sub>	ポジティブトリガ電圧	LVC MOS シュミット	1.2	—	2.52	V
V <sub>T-</sub>	ネガティブトリガ電圧	LVC MOS シュミット	0.75	—	1.98	
DV	ヒステリシス電圧	LVC MOS シュミット	0.3	—	—	V
R <sub>PU</sub>	プルアップ抵抗	V <sub>I</sub> = 0V	20	50	120	k $\Omega$
R <sub>PD</sub>	プルダウン抵抗	V <sub>I</sub> = IOVDD	20	50	120	k $\Omega$
C <sub>IO</sub>	端子容量	f = 1MHz, IOVDD = 0V	—	—	10	pF

表 8-4: IOVDD = 1.8V  $\pm$  0.18V, GND = 0V

記号	パラメータ	条件	Min	Typ	Max	単位
$I_{IZ}$	入力リーク電流	—	-5	—	5	$\mu\text{A}$
$I_{OZ}$	オフ状態リーク電流	—	-5	—	5	
IOV <sub>OH</sub>	High レベル出力電圧	IOVDD = Min. IOH = -1.8mA	IOVDD-0.4	—	—	V
IOV <sub>OL</sub>	Low レベル出力電圧	IOVDD = Min. IOL = 1.8mA	—	—	0.4	V
V <sub>IH</sub>	High レベル入力電圧	LVC MOS レベル IOVDD = Max.	1.39	—	IOVDD+0.3	V
V <sub>IL</sub>	Low レベル入力電圧	LVC MOS レベル IOVDD = Min.	-0.3	—	0.48	
V <sub>T+</sub>	ポジティブトリガ電圧	LVC MOS シュミット	0.57	—	1.48	V
V <sub>T-</sub>	ネガティブトリガ電圧	LVC MOS シュミット	0.41	—	1.28	
DV	ヒステリシス電圧	LVC MOS シュミット	0.17	—	—	V
R <sub>PU</sub>	プルアップ抵抗	V <sub>I</sub> = 0V	36	100	244	k $\Omega$
R <sub>PD</sub>	プルダウン抵抗	V <sub>I</sub> = IOVDD	36	100	244	k $\Omega$
C <sub>IO</sub>	端子容量	f = 1MHz, IOVDD = 0V	—	—	10	pF

## 第9章 A.C. 特性

条件：

- IOVDD = 1.62V ~ 3.60V
- $T_A = -40\text{ }^\circ\text{C} \sim 85\text{ }^\circ\text{C}$  (S1D13L01F00A\*\*\*)  
シュミット及びCLKIを除く全入力端子について、 $T_{\text{rise}}$ と $T_{\text{fall}}$ は50ns(10%~90%)以下にしてください。
- 全シュミット入力について、 $T_{\text{rise}}$ と $T_{\text{fall}}$ は5ms(10%~90%)以下にしてください。
- $C_L=8\text{pF}\sim 30\text{pF}$ (パネルインタフェイス)

### 9.1 クロックタイミング

#### 9.1.1 入力クロック

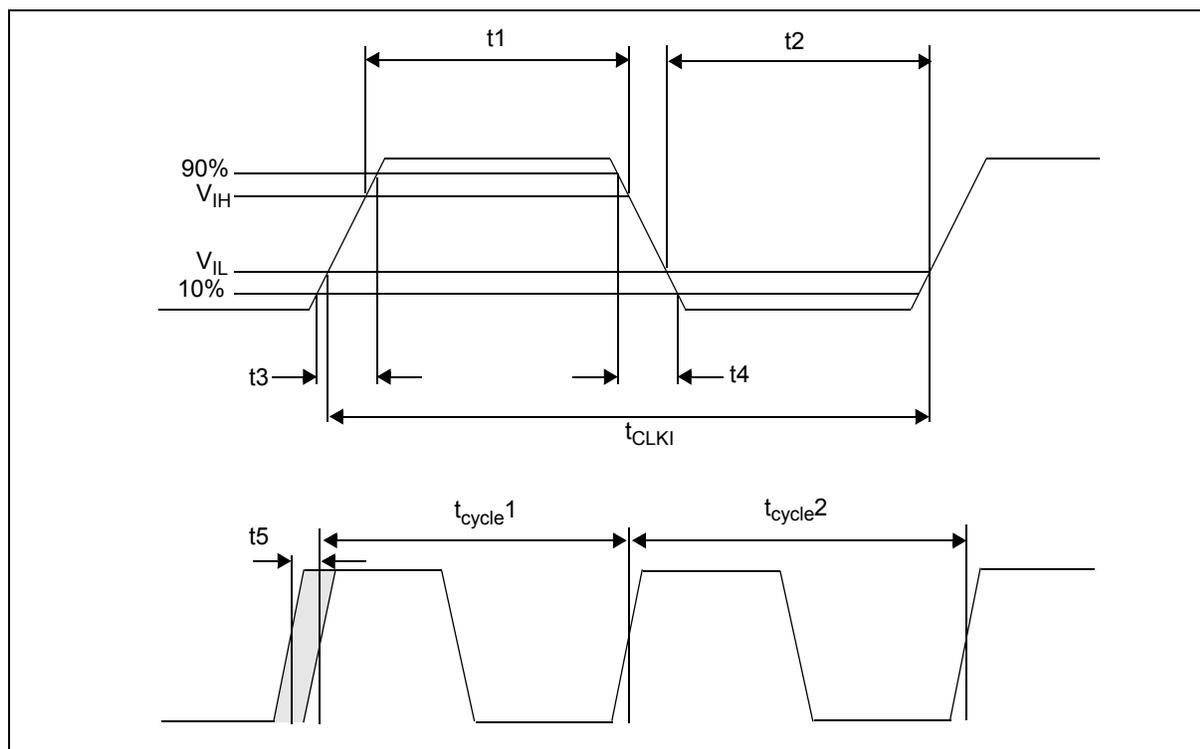


図 9-1: クロック入力 (PLL)

表 9-1: クロック入力 (CLKI)

記号	パラメータ	Min	Typ	Max	単位
$f_{\text{CLKI}}$	入力クロック周波数	1	1	33	MHz
$t_{\text{CLKI}}$	入力クロック周期	—	$1/f_{\text{CLKI}}$	—	$\mu\text{s}$
t1	入力クロック High パルス幅	0.45	—	0.55	$t_{\text{CLKI}}$
t2	入力クロック Low パルス幅	0.45	—	0.55	$t_{\text{CLKI}}$
t3	入力クロック立上り時間 (10%~90%)	—	—	10	ns
t4	入力クロック立ち下がり時間 (10%~90%)	—	—	10	ns
t5	入力クロックピリオドジッタ	-300	—	300	ps

1. 入力クロックピリオドジッタは中心周期 (中心周波数の逆数) との関係に置き換えられます。

表 9-2: PLL バイパス時クロック入力 (CLKI)

記号	パラメータ	Min	Typ	Max	単位
$f_{\text{CLKI}}$	入力クロック周波数	—	—	66	MHz
$t_{\text{CLKI}}$	入力クロック周期	—	$1/f_{\text{CLKI}}$	—	$\mu\text{s}$
t1	入力クロック High パルス幅	6.8	—	—	ns
t2	入力クロック Low パルス幅	6.8	—	—	ns
t3	入力クロック立上り時間 (10%~90%)	—	—	5	ns
t4	入力クロック立ち下がり時間 (10%~90%)	—	—	5	ns

### 9.1.2 PLL クロック

PLL 回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL 回路の動作が不安定になったり、ジッタを増大させたりするおそれがあります。

ノイズの制約のため、PLL の電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを強く推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。入力クロック波形のジッタはできるだけ少なくなるようにしてください。

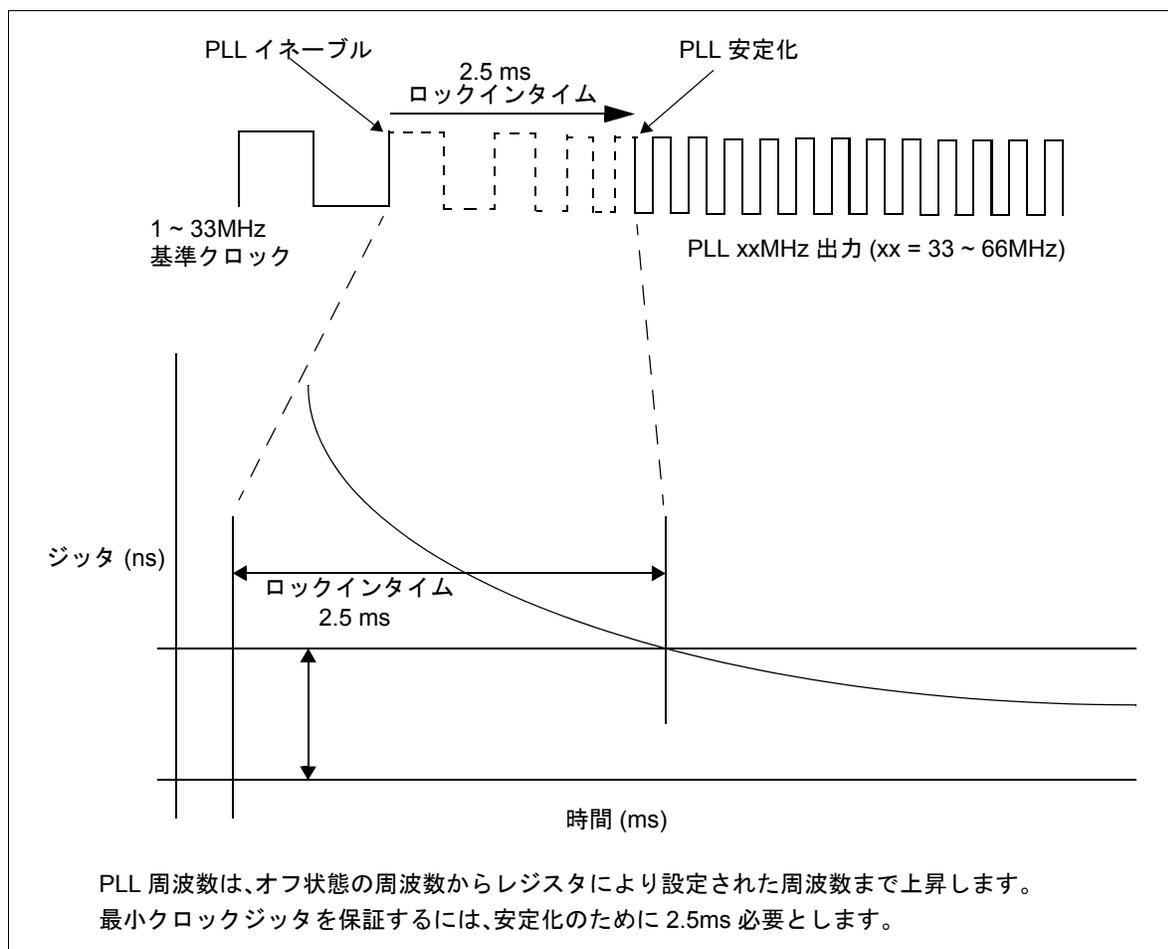


図 9-2: PLL 起動時間

表 9-3: PLL 特性

記号	パラメータ	Min	Max	単位
$f_{\text{PLLI}}$	M-Divider 後の PLL 入カクロック周波数	1	2	MHz
$f_{\text{PLLI2}}$	M-Divider 前の PLL 入カクロック周波数	1	33	MHz
$f_{\text{PLLO}}$	PLL 出カクロック周波数	33	66	MHz
$t_{\text{PJref}}$	PLL 出カクロックピリオドジッタ	-3	3	%
$t_{\text{PDuty}}$	PLL 出カクロックデューティー比	30	70	%
$t_{\text{PStal}}$	PLL 出力安定時間	—	2.5	ms

## 9.2 RESET# タイミング

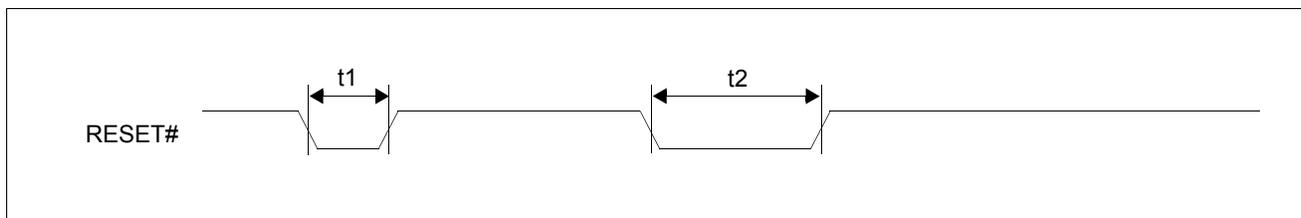


図 9-3: RESET# タイミング

表 9-4: RESET# タイミング

記号	パラメータ	Min	Max	単位
t1	無視されるリセットパルス幅	—	42	ns
t2	有効なリセットパルス幅 (Note 参照)	150	—	ns

### Note

リセットを保証するために、RESET# 幅は 150ns 以上にしてください。

## 9.3 電源シーケンス

### 9.3.1 電源投入シーケンス

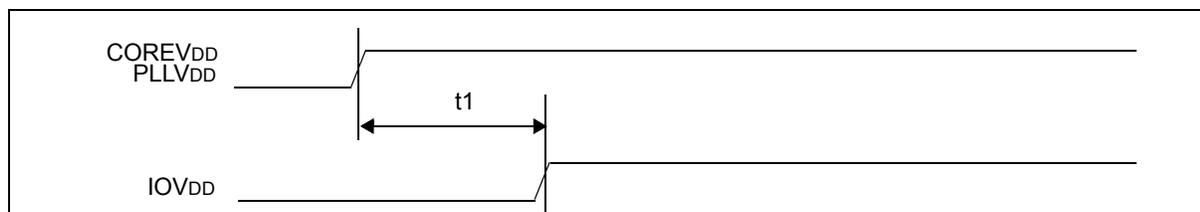


図 9-4: 電源投入シーケンス

表 9-5: 電源投入シーケンス

記号	パラメータ	Min	Max	単位
t1	COREVDD と PLLVD オンから IOVDD オンまでの遅延時間	0	500	ms

#### Note

最大 500ms の範囲内で、COREVDD と IOVDD の投入順序の逆転を許可します。

### 9.3.2 電源切断シーケンス

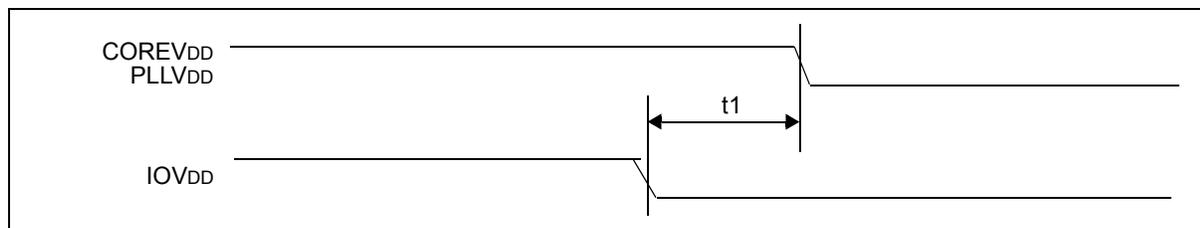


図 9-5: 電源切断シーケンス

表 9-6: 電源切断シーケンス

記号	パラメータ	Min	Max	単位
t1	IOVDD から COREVDD、PLLVD オフまでの遅延時間	0	500	ms

#### Note

最大 500ms の範囲内で、COREVDD と IOVDD の切断順序の逆転を許可します。

## 9.4 ホストインタフェースタイミング

### 9.4.1 ダイレクト 16 ビットモード 1 タイミング

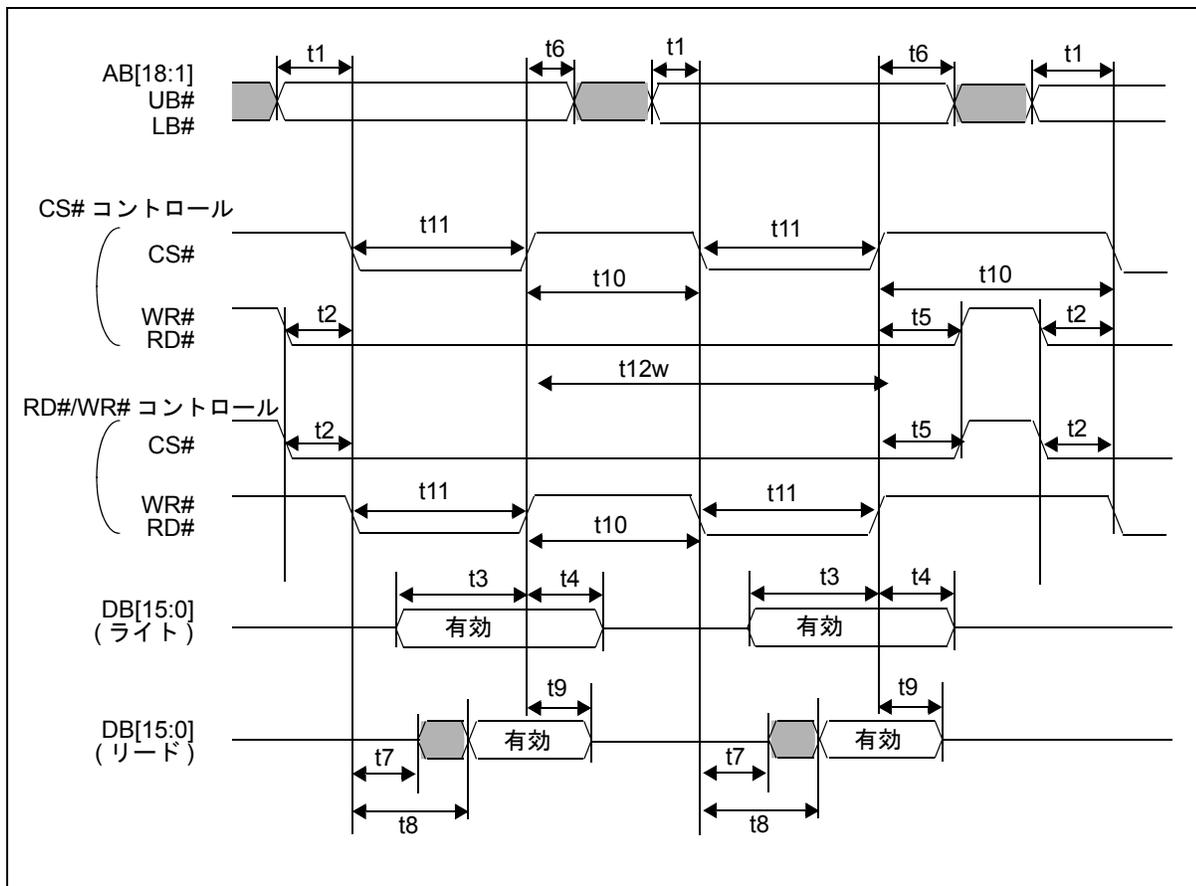


図 9-6: ダイレクト 16 ビットモード 1 タイミング

表 9-7: ダイレクト 16 ビットモード 1 タイミング

記号	パラメータ	3.3 Volt		1.8 Volt		単位
		Min	Max	Min	Max	
t1	AB[18:1], UB#, LB# から CS# (WR#, RD#) へのセットアップ時間	2	-	1	-	ns
t2	WR#, RD# (CS#) から CS# (WR#, RD#) へのセットアップ時間	1	-	1	-	ns
t3	DB[15:0] から CS# (WR#) 立上りエッジへのセットアップ時間: ライトサイクル用	1	-	1	-	ns
t4	CS# (WR#) 立上りエッジから DB[15:0] へのホールド時間: ライトサイクル用	7	-	8	-	ns
t5w	CS# (WR#) 立上りエッジから WR# (CS#) へのホールド時間: ライトサイクル用	3	-	3	-	ns
t5r	CS# (RD#) 立上りエッジから RD# (CS#) へのホールド時間: リードサイクル用	0	-	0	-	ns
t6	CS# (WR#, RD#) 立上りエッジから AB[18:1], UB#, LB# へのホールド時間	5	-	5	-	ns
t7	CS# (RD#) 立ち下りエッジから DB[15:0] が駆動されるまで: リードサイクル用	-	15	-	21	ns
t8	CS# (RD#) 立ち下りエッジから有効データ出力まで: リードサイクル用	-	$4 \times T_{mclk} + 16$	-	$4 \times T_{mclk} + 23$	ns
t9	CS# (RD#) 立上りエッジから DB[15:0] へのホールド時間: リードサイクル用	2	12	2	14	ns
t10w	ライト終了から次回リード/ライトまで	7	-	6	-	ns
t10r	リード終了から次回リード/ライトまで	$T_{mclk} + 9$	-	$T_{mclk} + 10$	-	ns
t11w	CS# (WR#) パルス幅: ライトサイクル用	3	-	5	-	ns
t12w	CS# (WR#) 立上りから次回 CS# (WR#) 立上りまで: ライトサイクル	$3 \times T_{mclk} + 6$	-	$3 \times T_{mclk} + 6$	-	ns

$T_{mclk}$  = 内部 MCLK 周期

### 9.4.2 ダイレクト 16 ビットモード 2 タイミング

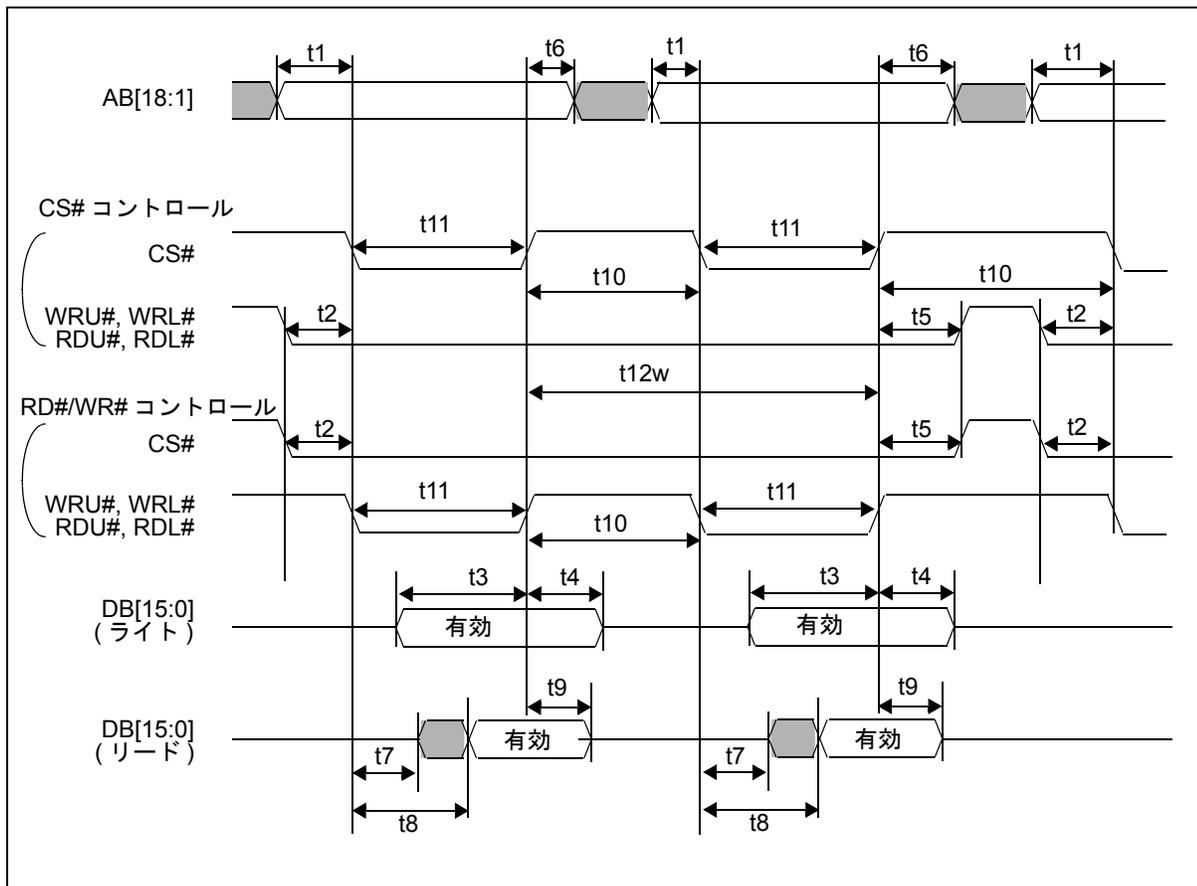


図 9-7: ダイレクト 16 ビットモード 2 タイミング

表 9-8: ダイレクト 16 ビットモード 2 タイミング

記号	パラメータ	3.3 Volt		1.8 Volt		単位
		Min	Max	Min	Max	
t1	AB[18:1] から CS# (WRU#, WRL#, RDU#, RDL#) へのセットアップ時間	2	-	1	-	ns
t2	WRU#, WRL#, RDU#, RDL# (CS#) から CS# (WRU#, WRL#, RDU#, RDL#) へのセットアップ時間	2	-	2	-	ns
t3	DB[15:0] から CS# (WRU#, WRL#) 立上りエッジへのセットアップ時間: ライトサイクル用	1	-	1	-	ns
t4	CS# (WRU#, WRL#) 立上りエッジから DB[15:0] へのホールド時間: ライトサイクル用	7	-	8	-	ns
t5w	CS# (WRU#, WRL#) 立上りエッジから WRU#, WRL# (CS#) へのホールド時間: ライトサイクル用	3	-	3	-	ns
t5r	CS# (RDU#, RDL#) 立上りエッジから RDU#, RDL# (CS#) へのホールド時間: リードサイクル用	0	-	0	-	ns
t6	CS# (WRU#, WRL#, RDU#, RDL#) 立上りエッジから AB[18:1] へのホールド時間	5	-	5	-	ns
t7	CS# (RDU#, RDL#) 立ち下りエッジから DB[15:0] が駆動されるまで: リードサイクル用	-	15	-	21	ns
t8	CS# (RDU#, RDL#) 立ち下りエッジから有効データ出力まで: リードサイクル用	-	$4 \times T_{mclk} + 16$	-	$4 \times T_{mclk} + 23$	ns
t9	CS# (RDU#, RDL#) 立上りエッジから DB[15:0] へのホールド時間: リードサイクル用	2	12	2	14	ns
t10w	ライト終了から次回リード/ライトまで	7	-	7	-	ns
t10r	リード終了から次回リード/ライトまで	$T_{mclk} + 9$	-	$T_{mclk} + 10$	-	ns
t11w	CS# (WRU#, WRL#) パルス幅: ライトサイクル用	3	-	5	-	ns
t12w	CS# (WRU#, WRL#) 立上りから次回 CS# (WRU#, WRL#) 立上りまで: ライトサイクル	$3 \times T_{mclk} + 6$	-	$3 \times T_{mclk} + 6$	-	ns

$T_{mclk}$  = 内部 MCLK 周期

## 9.4.3 インダイレクト 16 ビットモード 1 タイミング

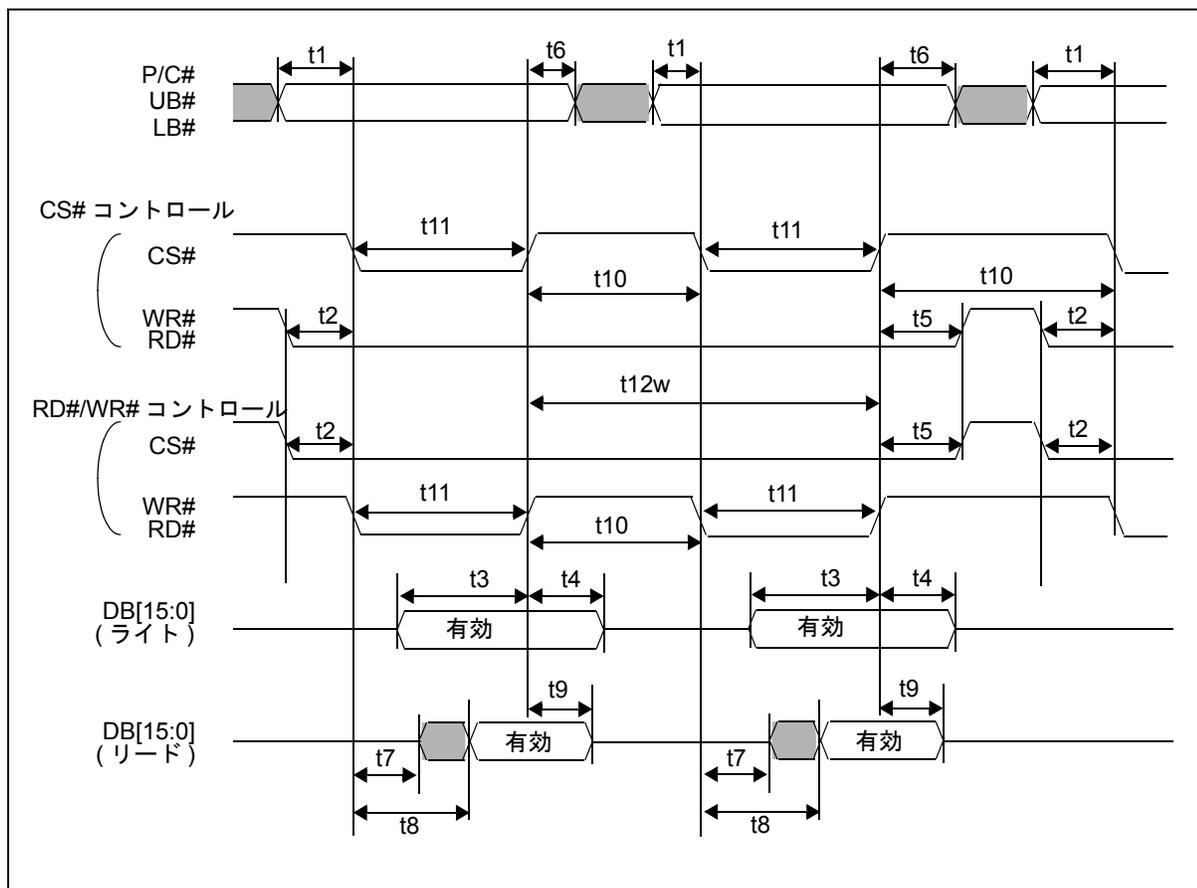


図 9-8: インダイレクト 16 ビットモード 1 タイミング

表 9-9: インダイレクト 16 ビットモード 1 タイミング

記号	パラメータ	3.3 Volt		1.8 Volt		単位
		Min	Max	Min	Max	
t1	P/C#, UB#, LB# から CS# (WR#, RD#) へのセットアップ時間	1	-	1	-	ns
t2	WR#, RD# (CS#) から CS# (WR#, RD#) へのセットアップ時間	1	-	1	-	ns
t3	DB[15:0] から CS# (WR#) 立上りエッジへのセットアップ時間: ライトサイクル用	1	-	1	-	ns
t4	CS# (WR#) 立上りエッジから DB[15:0] へのホールド時間: ライトサイクル用	7	-	8	-	ns
t5w	CS# (WR#) 立上りエッジから WR# (CS#) へのホールド時間: ライトサイクル用	3	-	3	-	ns
t5r	CS# (RD#) 立上りエッジから RD# (CS#) へのホールド時間: リードサイクル用	0	-	0	-	ns
t6	CS# (WR#, RD#) 立上りエッジから P/C#, UB#, LB# へのホールド時間	4	-	4	-	ns
t7	CS# (RD#) 立ち下りエッジから DB[15:0] が駆動されるまで: リードサイクル用	-	15	-	21	ns
t8	CS# (RD#) 立ち下りエッジから有効データ出力まで: リードサイクル用	-	$4 \times T_{mclk} + 16$	-	$4 \times T_{mclk} + 23$	ns
t9	CS# (RD#) 立上りエッジから DB[15:0] へのホールド時間: リードサイクル用	2	12	2	14	ns
t10w	ライト終了から次回リード/ライトまで	5	-	5	-	ns
t10r	リード終了から次回リード/ライトまで	$T_{mclk} + 9$	-	$T_{mclk} + 10$	-	ns
t11w	CS# (WR#) パルス幅: ライトサイクル用	3	-	5	-	ns
t12w	CS# (WR#) 立上りから次回 CS# (WR#) 立上りまで: ライトサイクル	$3 \times T_{mclk} + 6$	-	$3 \times T_{mclk} + 6$	-	ns

$T_{mclk}$  = 内部 MCLK 周期

表 9-10: インダイレクト 16 ビットモード 1 機能選択

P/C#	WR#	RD#	機能
0	0	1	コマンドライト (レジスタアドレス)
1	0	1	データ (パラメータ) ライト
0	1	0	禁止
1	1	0	データ (パラメータ) リード

## 9.4.4 インダイレクト 16 ビットモード 2 タイミング

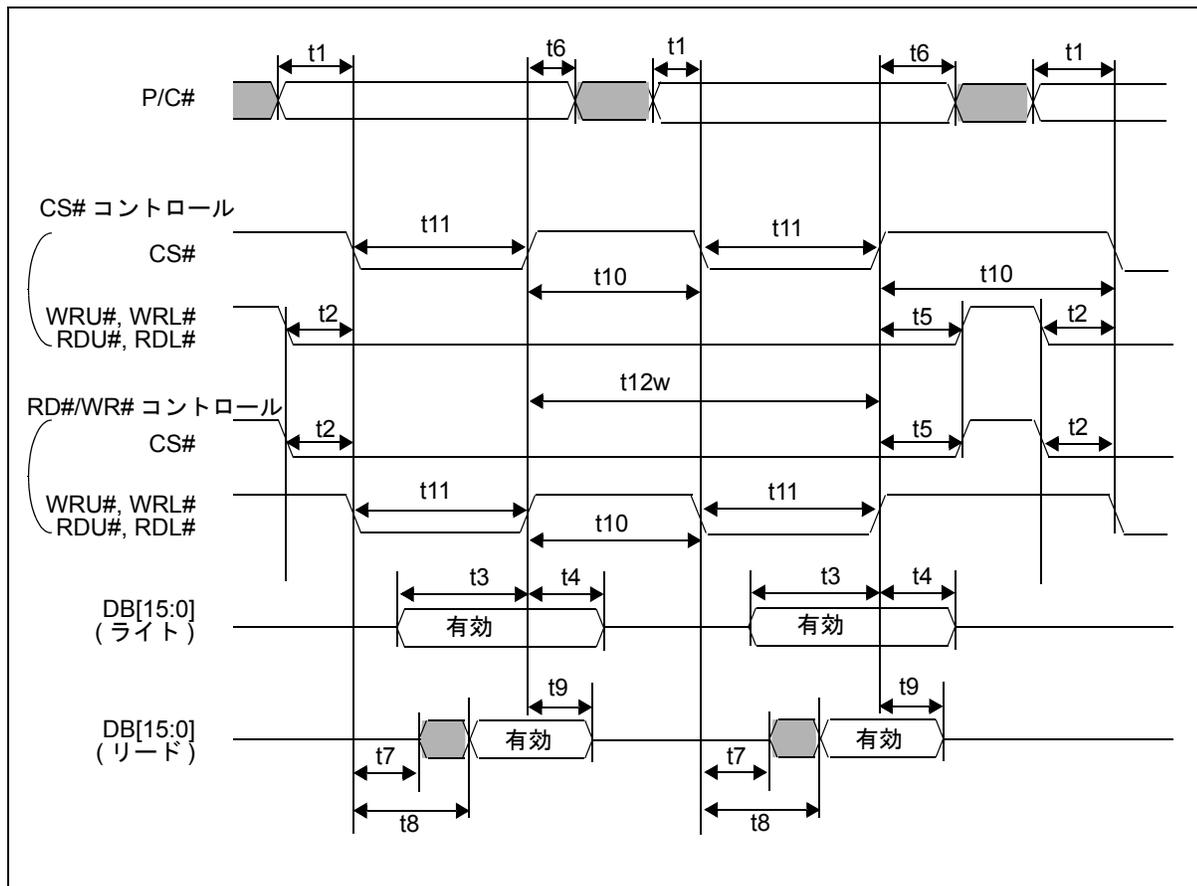


図 9-9: インダイレクト 16 ビットモード 2 タイミング

表 9-11: インダイレクト 16 ビットモード 2 タイミング

記号	パラメータ	3.3 Volt		1.8 Volt		単位
		Min	Max	Min	Max	
t1	P/C# から CS# (WRU#, WRL#, RDU#, RDL#) へのセットアップ時間	3	-	1	-	ns
t2	WRU#, WRL#, RDU#, RDL# (CS#) から CS# (WRU#, WRL#, RDU#, RDL#) へのセットアップ時間	2	-	2	-	ns
t3	DB[15:0] から CS# (WRU#, WRL#) 立上りエッジへのセットアップ時間: ライトサイクル用	1	-	1	-	ns
t4	CS# (WRU#, WRL#) 立上りエッジから DB[15:0] へのホールド時間: ライトサイクル用	7	-	8	-	ns
t5w	CS# (WRU#, WRL#) 立上りエッジから WRU#, WRL# (CS#) へのホールド時間: ライトサイクル用	3	-	3	-	ns
t5r	CS# (RDU#, RDL#) 立上りエッジから RDU#, RDL# (CS#) へのホールド時間: リードサイクル用	0	-	0	-	ns
t6	CS# (WRU#, WRL#, RDU#, RDL#) 立上りエッジから P/C# へのホールド時間	4	-	5	-	ns
t7	CS# (RDU#, RDL#) 立ち下りエッジから DB[15:0] が駆動されるまで: リードサイクル用	-	15	-	21	ns
t8	CS# (RDU#, RDL#) 立ち下りエッジから有効データ出力まで: リードサイクル用	-	$4 \times T_{mclk} + 16$	-	$4 \times T_{mclk} + 23$	ns
t9	CS# (RDU#, RDL#) 立上りエッジから DB[15:0] へのホールド時間: リードサイクル用	2	12	2	14	ns
t10w	ライト終了から次回リード/ライトまで	7	-	7	-	ns
t10r	リード終了から次回リード/ライトまで	$T_{mclk} + 9$	-	$T_{mclk} + 10$	-	ns
t11w	CS# (WRU#, WRL#) パルス幅: ライトサイクル用	3	-	5	-	ns
t12w	CS# (WRU#, WRL#) 立上りから次回 CS# (WRU#, WRL#) 立上りまで: ライトサイクル	$3 \times T_{mclk} + 9$	-	$3 \times T_{mclk} + 6$	-	ns

$T_{mclk}$  = 内部 MCLK 周期

表 9-12: インダイレクト 16 ビットモード 2 機能選択

P/C#	WRU#, WRL#	RDU#, RDL#	機能
0	0	1	コマンドライト (レジスタアドレス)
1	0	1	データ (パラメータ) ライト
0	1	0	禁止
1	1	0	データ (パラメータ) リード

## 9.4.5 ダイレクト8ビットタイミング

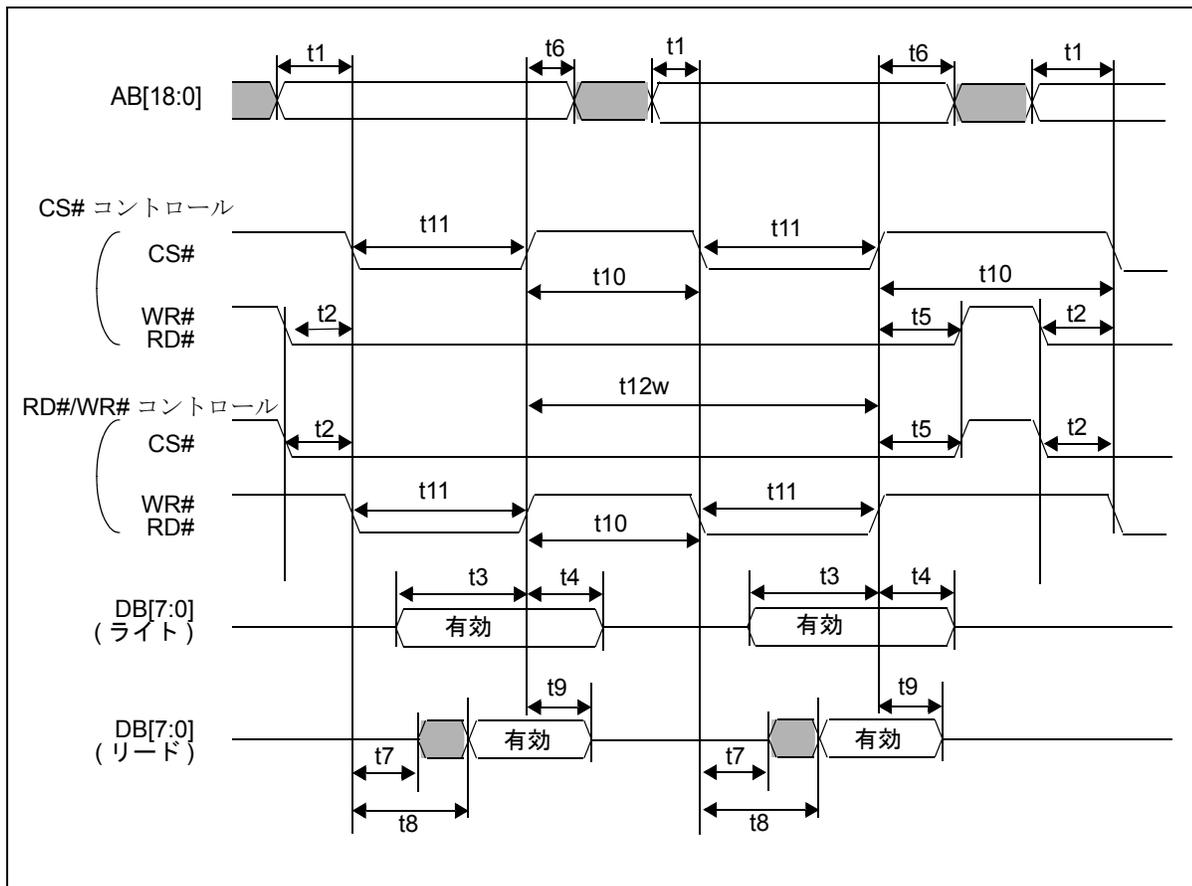


図 9-10: ダイレクト8ビットタイミング

表 9-13: ダイレクト 8 ビットタイミング

記号	パラメータ	3.3 Volt		1.8 Volt		単位
		Min	Max	Min	Max	
t1	AB[18:0] から CS# (WR#, RD#) へのセットアップ時間	2	-	1	-	ns
t2	WR#,RD# (CS#) から CS# (WR#, RD#) へのセットアップ時間	1	-	1	-	ns
t3	DB[7:0] から CS# (WR#) 立上りエッジへのセットアップ時間：ライトサイクル用	1	-	1	-	ns
t4	CS# (WR#) 立上りエッジから DB[7:0] へのホールド時間：ライトサイクル用	7	-	8	-	ns
t5w	CS# (WR#) 立上りエッジから WR# (CS#) へのホールド時間：ライトサイクル用	3	-	3	-	ns
t5r	CS# (RD#) 立上りエッジから RD# (CS#) へのホールド時間：リードサイクル用	0	-	0	-	ns
t6	CS# (WR#, RD#) 立上りエッジから AB[18:0] へのホールド時間	5	-	5	-	ns
t7	CS# (RD#) 立ち下りエッジから DB[7:0] が駆動されるまで：リードサイクル用	-	15	-	21	ns
t8	CS# (RD#) 立ち下りエッジから有効データ出力まで：リードサイクル用	-	$4 \times T_{mclk} + 17$	-	$4 \times T_{mclk} + 23$	ns
t9	CS# (RD#) 立上りエッジから DB[7:0] へのホールド時間：リードサイクル用	2	12	2	14	ns
t10w	ライト終了から次回リード/ライトまで	7	-	6	-	ns
t10r	リード終了から次回リード/ライトまで	$T_{mclk} + 9$	-	$T_{mclk} + 10$	-	ns
t11w	CS# (WR#) パルス幅：ライトサイクル用	3	-	5	-	ns
t12w	CS# (WR#) 立上りから次回 CS# (WR#) 立上りまで：ライトサイクル	$3 \times T_{mclk} + 6$	-	$3 \times T_{mclk} + 6$	-	ns

$T_{mclk}$  = 内部 MCLK 周期

## 9.4.6 インダイレクト 8 ビットタイミング

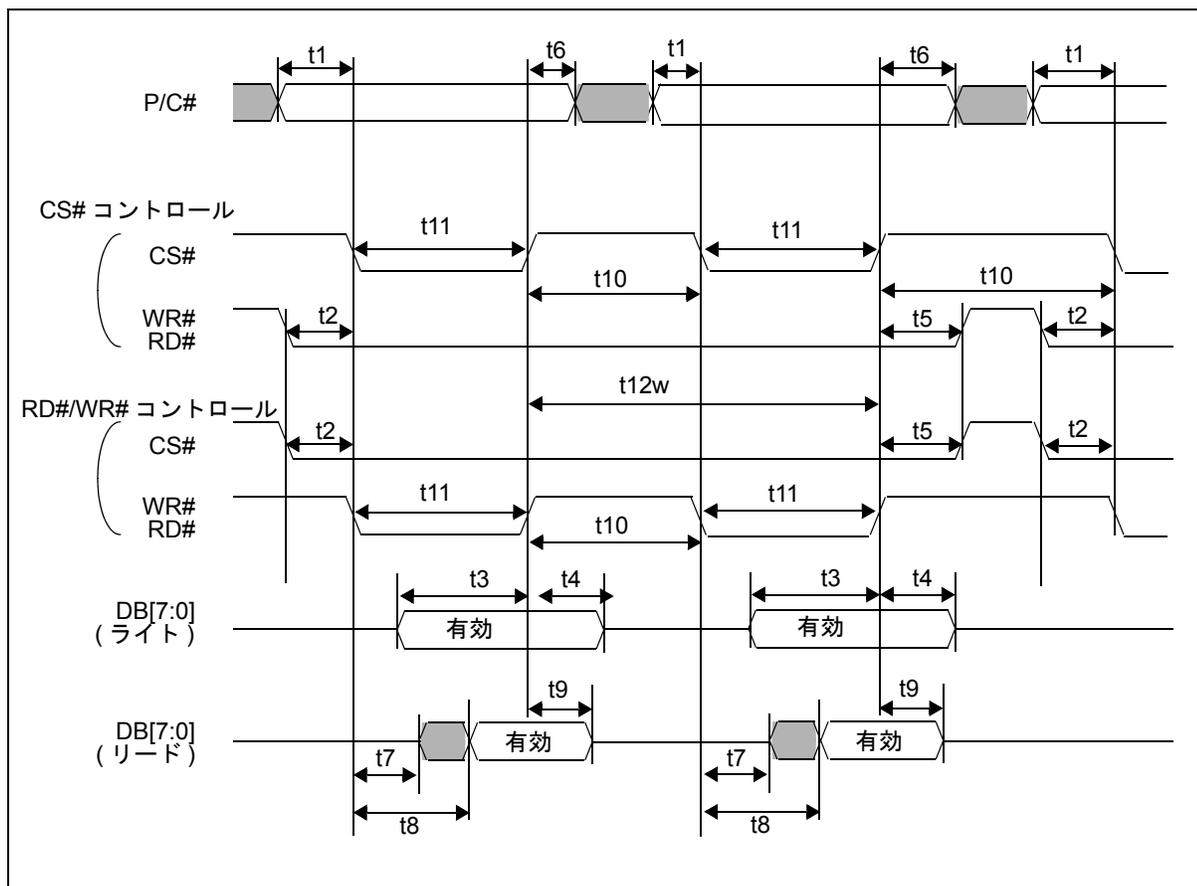


図 9-11: インダイレクト 8 ビットタイミング

表 9-14: インダイレクト 8 ビットタイミング

記号	パラメータ	3.3 Volt		1.8 Volt		単位
		Min	Max	Min	Max	
t1	P/C# から CS# (WR#, RD#) へのセットアップ時間	1	-	1	-	ns
t2	WR#, RD# (CS#) から CS# (WR#, RD#) へのセットアップ時間	1	-	1	-	ns
t3	DB[7:0] から CS# (WR#) 立上りエッジへのセットアップ時間: ライトサイクル用	1	-	1	-	ns
t4	CS# (WR#) 立上りエッジから DB[7:0] へのホールド時間: ライトサイクル用	7	-	8	-	ns
t5w	CS# (WR#) 立上りエッジから WR# (CS#) へのホールド時間: ライトサイクル用	3	-	3	-	ns
t5r	CS# (RD#) 立上りエッジから RD# (CS#) へのホールド時間: リードサイクル用	0	-	0	-	ns
t6	CS# (WR#, RD#) 立上りエッジから P/C# へのホールド時間	4	-	4	-	ns
t7	CS# (RD#) 立ち下りエッジから DB[7:0] が駆動されるまで: リードサイクル用	-	15	-	21	ns
t8	CS# (RD#) 立ち下りエッジから有効データ出力まで: リードサイクル用	-	$4 \times T_{mclk} + 17$	-	$4 \times T_{mclk} + 23$	ns
t9	CS# (RD#) 立上りエッジから DB[7:0] へのホールド時間: リードサイクル用	2	12	2	14	ns
t10w	ライト終了から次回リード/ライトまで	5	-	5	-	ns
t10r	リード終了から次回リード/ライトまで	$T_{mclk} + 9$	-	$T_{mclk} + 10$	-	ns
t11w	CS# (WR#) パルス幅: ライトサイクル用	3	-	5	-	ns
t12w	CS# (WR#) 立上りから次回 CS# (WR#) 立上りまで: ライトサイクル	$3 \times T_{mclk} + 6$	-	$3 \times T_{mclk} + 6$	-	ns

$T_{mclk}$  = 内部 MCLK 周期

表 9-15: インダイレクト 8 ビット機能選択

P/C#	WR#	RD#	機能
0	0	1	コマンドライト (レジスタアドレス)
1	0	1	データ (パラメータ) ライト
0	1	0	禁止
1	1	0	データ (パラメータ) リード

## 9.4.7 SPI タイミング

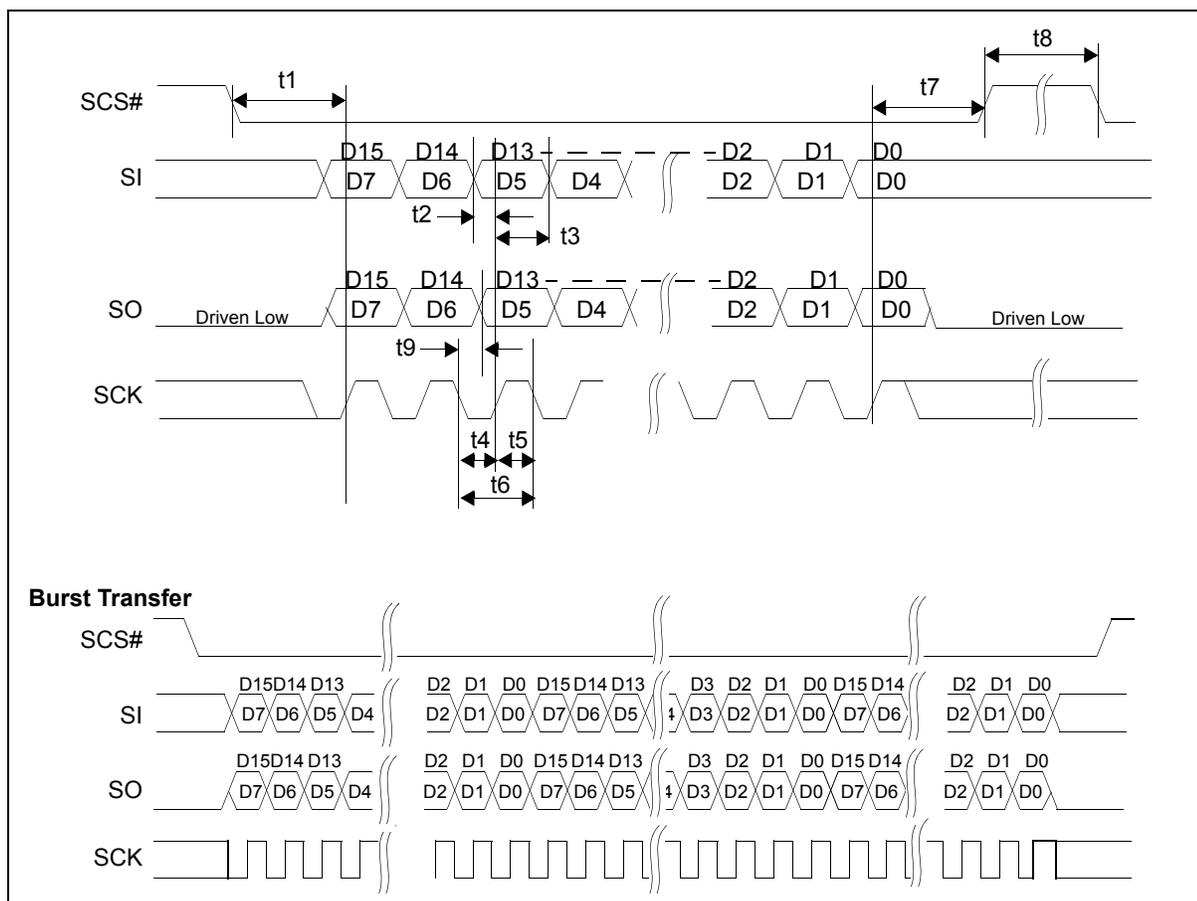


図 9-12: SPI タイミング

**Note**

SPI データは常に MSB が先頭になります。  
SO はデータが出力されていない場合は Low を出力します。

表 9-16: SPI タイミング

記号	パラメータ	3.3 Volt		1.8 Volt		単位
		Min	Max	Min	Max	
t1	チップセレクトセットアップ時間	2	-	3	-	ns
t2	SI データセットアップ時間	1	-	1	-	ns
t3	SI データホールド時間	7	-	8	-	ns
t4	シリアルクロックロー (ハイ) パルス幅	15	-	15	-	ns
t5	シリアルクロックハイ (ロー) パルス幅	15	-	15	-	ns
t6	シリアルクロック周期	30	-	30	-	ns
t7	チップセレクトホールド時間	7	-	8	-	ns
t8	チップセレクトがデアサートされてから再アサートされるまで	2	-	2	-	ns
t9	SCK 立ち下がリエッジから SO までのホールド時間	3	10	4	15	ns

NOTE: SPI タイミング用  $C_L = 10\text{pF}$ 

表 9-17: SPI 機能選択

コマンド	機能
10000000	8 ビットライト
11000000	8 ビットリード
10001000	16 ビットライト
11001000	16 ビットリード
その他	リザーブ

## 9.5 パネルインタフェースタイミング

### 9.5.1 TFT パネルタイミング概要

TFT 駆動用のタイミングパラメータを以下に示します。個々のパネルに対する詳細タイミングは以下の各章にて示します。

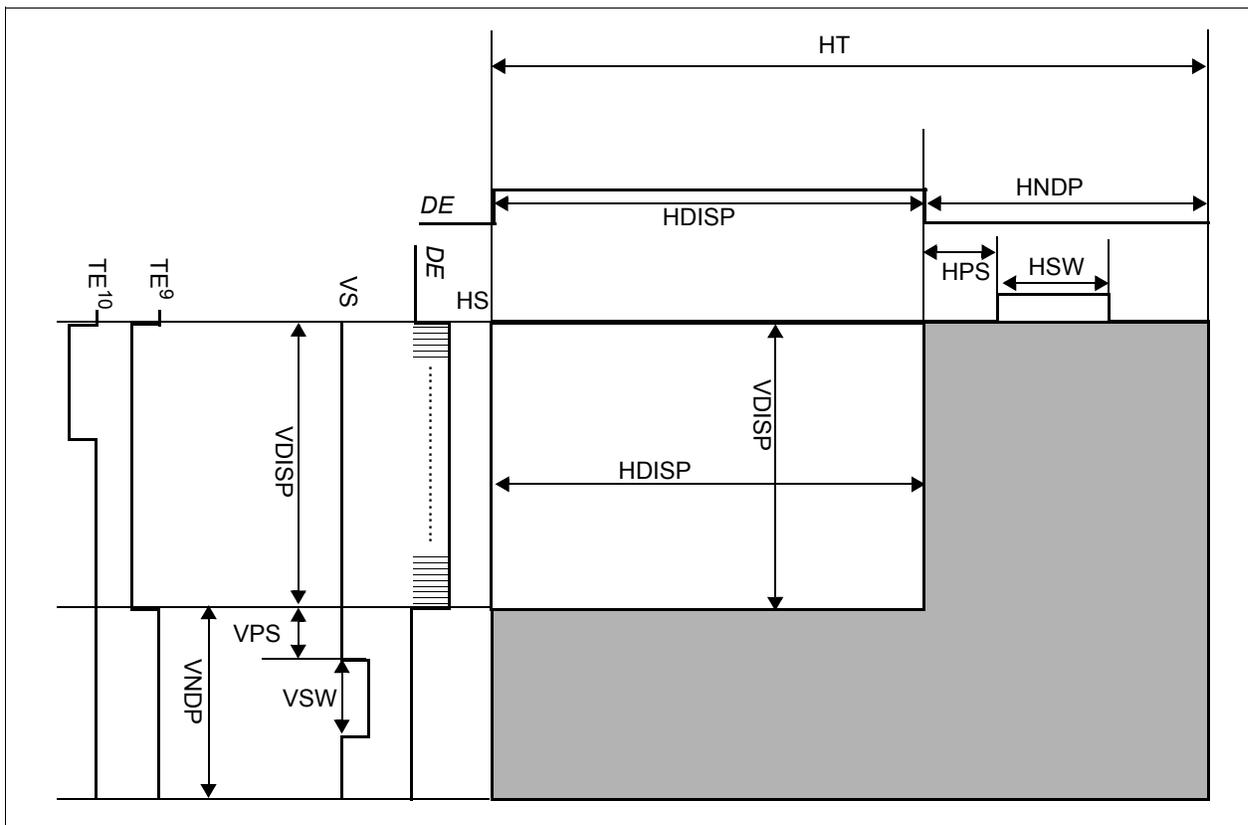


図 9-13: TFT パネルタイミングパラメータ

表 9-18: TFT パネルタイミング定義とレジスタ設定

記号	説明	レジスタ	単位
HDISP <sup>8</sup>	水平表示期間	(REG[24h] bits 6-0) x 8	Ts
HNDP <sup>3</sup>	水平非表示期間	REG[26h] bits 6-0	
HPS <sup>2</sup>	HS パルス開始位置	REG[2Eh] bits 6-0	
HSW <sup>2</sup>	HS パルス幅	REG[2Ch] bits 6-0	
VDISP <sup>6,7</sup>	垂直表示期間	REG[28h] bits 9-0	Lines (HT)
VNDP <sup>4,6</sup>	垂直非表示期間	REG[2Ah] bits 7-0	
VPS <sup>5,7</sup>	VS パルス開始位置	REG[32h] bits 7-0	
VSW <sup>5</sup>	VS パルス幅	REG[30h] bits 5-0	

1.  $T_S$  = ピクセルクロック周期
2.  $(HPS + HSW) \leq HNDP$
3.  $HNDP > 0$
4.  $VNDP > 0$
5.  $(VPS + VSW) \leq VNDP$
6.  $VDISP + VNDP < 1024$
7.  $VDISP + VPS < 1024$
8. TFT パネルを使用する時、HDISP の最小値は 8 ピクセルに設定し、8 ピクセルの倍数になるよう設定してください。
9. REG[22h] bits 6-5 = 01b
10. REG[22h] bits 6-5 = 10b

## 9.5.2 TFT 16/18/24 パネルタイミング

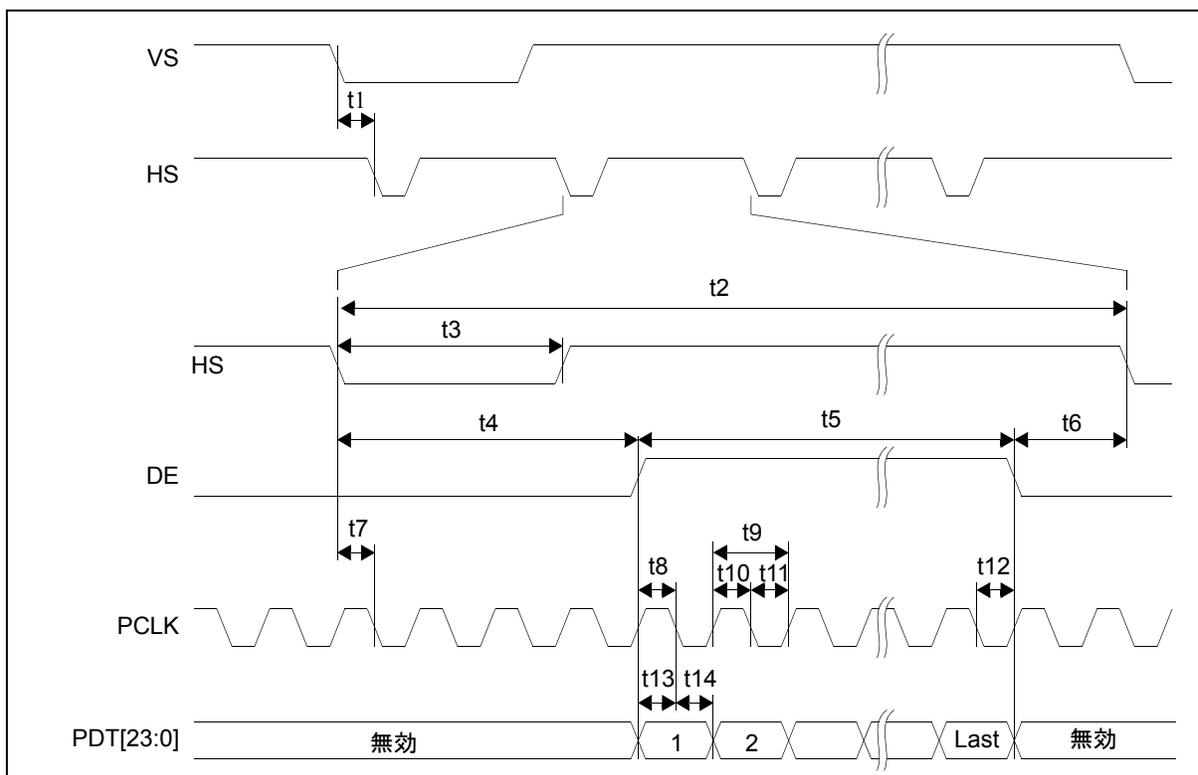


図 9-14: TFT 16/18/24 ビットパネル水平タイミング

表 9-19: TFT 16/18/24 ビットパネル水平タイミング

記号	パラメータ	Min	単位
t1	VS 立下りエッジから HS 立下りエッジまで	HPS	Ts (Note 1)
t2	全水平期間	HDISP + HNDP	Ts
t3	HS パルス幅	HPW	Ts
t4	HS 立下りエッジから DE アクティブまで	HNDP - HPS	Ts
t5	水平表示期間	HDISP	Ts
t6	DE 立下りエッジから HS 立下りエッジまで	HPS	Ts
t7	HS から PCLK 立下りエッジへのセットアップ時間 (Note 2)	0.5	Ts
t8	DE から PCLK 立下りエッジへのセットアップ時間 (Note 2)	0.5	Ts
t9	PCLK 周期	1	Ts
t10	PCLK ハイパルス幅	0.5	Ts
t11	PCLK ローパルス幅	0.5	Ts
t12	PCLK 立下りエッジから DE へのセットアップ時間 (Note 2)	0.5	Ts
t13	Data から PCLK 立下りエッジへのセットアップ時間 (Note 2)	0.5	Ts
t14	PCLK 立下りエッジ Data へのホールド時間 (Note 2)	0.5	Ts

1. Ts = ピクセルクロック周期
2. PCLK 極性 (REG[20h] ビット 5)=0

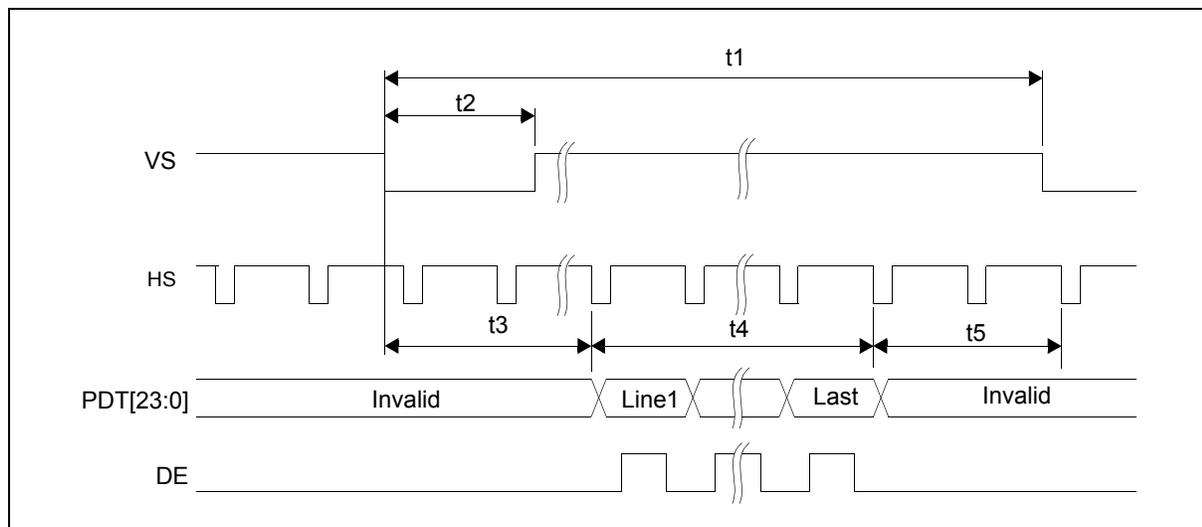


図 9-15: TFT 16/18/24 ビットパネル垂直タイミング

表 9-20: TFT 16/18/24 ビットパネル垂直タイミング

記号	パラメータ	Min	Typ	単位
t1	全垂直期間	—	VDISP + VNDP	Line
t2	VS パルス幅	—	VSW	Line
t3	垂直表示開始位置	—	VNDP - VPS	Line
t4	垂直表示期間	—	VDISP	Line
t5	表示期間後の垂直非表示期間	VPS	VNDP	Line

## 第 10 章 レジスタ

### 10.1 概要

ルックアップテーブル以外の全レジスタは 608XXh をオフセットとして開始されます (例 :REG[04h] は 60804h に位置します)。

ルックアップテーブルは 60XXXh をオフセットとして開始されます (例 :LUT[000h] は 60000h に位置します)。

#### Note

- 8 ビットアドレッシングの場合、リトルエンディアンでアクセスしてください。下位バイトのアドレスが 60XXXh であり、上位バイトのアドレスが 60XXXh+1 になります。
- ホストインタフェイスがインダイレクトの場合、アドレスは自動的に加算されます (バーストライト)。
- REG[20h] ~ REG[32h] は、どのパワーセーブモード時 (REG[04h] bits 1-0 = xxb) でも非同期にリード/ライトができますが、全てのレジスタ変化は VS と同期化されているため、パネルインフェースがアクティブ (REG[04h] bits 1-0 = 1xb) になる NMM モードで内部回路に反映されます。
- PSM0 において、メモリ及び LUT1/2 にはアクセスしないでください。

表 10-1: S1D13L01 レジスタセット

レジスタ	頁	レジスタ	頁
<b>チップ設定レジスタ</b>			
REG[04h] Power Save Configuration Register	47	REG[06h] Software Reset Register	47
<b>クロック設定レジスタ</b>			
REG[10h] PLL Setting Register 0	48	REG[12h] PLL Setting Register 1	49
REG[14h] PLL Setting Register 2	50	REG[16h] Internal Clock Configuration Register	51
REG[18h] Reserved	51	REG[1Ah] Reserved	51
REG[1Ch] Reserved	52		
<b>パネル設定レジスタ</b>			
REG[20h] Panel Setting Miscellaneous Register	53	REG[22h] Display Settings Register	54
REG[24h] Horizontal Display Width Register (HDISP)	56	REG[26h] Horizontal Non-Display Period Register (HNDP)	57
REG[28h] Vertical Display Height Register (VDISP)	57	REG[2Ah] Vertical Non-Display Period Register (VNDP)	57
REG[2Ch] HS Pulse Width Register (HSW)	58	REG[2Eh] HS Pulse Start Position Register (HPS)	58
REG[30h] VS Pulse Width Register (VSW)	58	REG[32h] VS Pulse Start Position Register (VPS)	59
REG[34h] TE Line Count Register	60		
<b>レイヤ設定レジスタ</b>			
REG[40h] Main Layer Setting Register	61	REG[42h] Main Layer Start Address Register 0	62
REG[44h] Main Layer Start Address Register 1	62	REG[46h] Main Layer Width Register	62
REG[48h] Main Layer Height Register	63	REG[50h] PIP Layer Setting Register	63
REG[52h] PIP Layer Start Address Register 0	64	REG[54h] PIP Layer Start Address Register 1	64
REG[56h] PIP Layer Width Register	66	REG[58h] PIP Layer Height Register	66
REG[5Ah] PIP Layer X Start Position Register	66	REG[5Ch] PIP Layer Y Start Position Register	67
REG[60h] PIP Enable Register	67	REG[62h] Alpha Blending Register	70
REG[64h] Transparency Register	71	REG[66h] Transparency Key Color Register 0	72
REG[68h] Transparency Key Color Register 1	72		

表 10-1: S1D13L01 レジスタセット

レジスタ	頁	レジスタ	頁
<b>GPIO 設定レジスタ</b>			
REG[D0h] GPIO Configuration Register	73	REG[D2h] GPIO Status and Control Register	73
REG[D4h] GPIO Pull-Down Control Register	73		
<b>ルックアップテーブル設定レジスタ</b>			
LUT[000h] Look-Up Table 1 Address 00h Register 0	75	LUT[002h] Look-Up Table 1 Address 00h Register 1	75
LUT[004h] Look-Up Table 1 Address 01h Register 0	75	LUT[006h] Look-Up Table 1 Address 01h Register 1	75
		•	
		•	
		•	
LUT[3F8h] Look-Up Table 1 Address FEh Register 0	76	LUT[3FAh] Look-Up Table 1 Address FEh Register 1	76
LUT[3FCh] Look-Up Table 1 Address FFh Register 0	76	LUT[3FEh] Look-Up Table 1 Address FFh Register 1	76
LUT[400h] Look-Up Table 2 Address 00h Register 0	77	LUT[402h] Look-Up Table 2 Address 00h Register 1	77
LUT[404h] Look-Up Table 2 Address 01h Register 0	77	LUT[406h] Look-Up Table 2 Address 01h Register 1	77
		•	
		•	
		•	
LUT[7F8h] Look-Up Table 2 Address FEh Register 0	78	LUT[7FAh] Look-Up Table 2 Address FEh Register 1	78
LUT[7FCh] Look-Up Table 2 Address FFh Register 0	78	LUT[7FEh] Look-Up Table 2 Address FFh Register 1	78

	PSM0 でライト可 (PSM0、PSM1、NMM でリード可)
	PSM1 または NMM でリード/ライト可
	リード/ライトでパワーセーブモードの制限無し

## 10.2 チップ設定レジスタ

REG[04h] Power Save Configuration Register							
Address 60804h    Default = 0000h							Read/Write
				n/a			
15	14	13	12	11	10	9	8
				n/a			
7	6	5	4	3	2	1	0

bits 1-0

パワーセーブビット [1:0]

これらのビットは S1D13L01 のパワーセーブモードを選択します。これらは S1D13L01 のクロックゲーティングを制御します。パネルインタフェース出力及びディスプレイパイプのイネーブル/ディスエーブルは REG[22h] Display Settings Register ビット 0 パネルインタフェースイネーブルにより制御されません。

表 10-2: パワーセーブモード

REG[04h] bits 1-0	モード	説明
00b	PSM0	<ul style="list-style-type: none"> <li>レジスタに対するリード/ライト可</li> <li>メモリに対するリード/ライト不可 (MCLK インアクティブ)</li> <li>パネルインタフェースクロックインアクティブ (PCLK インアクティブ)</li> </ul>
01b	PSM1	<ul style="list-style-type: none"> <li>レジスタに対するリード/ライト可</li> <li>メモリに対するリード/ライト可 (MCLK アクティブ)</li> <li>パネルインタフェースクロックインアクティブ (PCLK インアクティブ)</li> </ul>
1xb	NMM	<ul style="list-style-type: none"> <li>レジスタに対するリード/ライト可</li> <li>メモリに対するリード/ライト可 (MCLK アクティブ)</li> <li>パネルインタフェースクロックアクティブ (PCLK アクティブ)</li> </ul>

### Note

PSM0 において、メモリ及び LUT1/2 にアクセスしないでください。

REG[06h] Software Reset Register								
Address 60806h    Default = 0000h							Write Only	
				n/a				ソフトウェア リセット (WO) 8
15	14	13	12	11	10	9	8	
				n/a				
7	6	5	4	3	2	1	0	

bit 8

ソフトウェアリセット (書き込み専用)

このビットに 0 が書き込まれた時、ハードウェア的に何の影響もありません。このビットに 1 が書き込まれた時、内部シーケンサ、ステートマシン、全レジスタは初期値に戻ります。

## 10.3 クロック設定レジスタ

REG[10h] PLL Setting Register 0								
Address 60810h		Default = 0000h						Read/Write
PLL ロック (RO)	n/a							
15	14	13	12	11	10	9	8	
n/a						PLL バイパス	PLL イネーブル	
7	6	5	4	3	2	1	0	

### Note

このレジスタの設定を変更する前にパワーセーブモード 0(PSM0、REG[04h] Power Save Configuration Register ビット 1-0=00b) にしてください。

bit 15

PLL ロック (読み込み専用)

このビットは PLL 出力が安定しているか否かを示します。  
このビットが 0 の時、PLL 出力は安定していません。この状態の時、メモリ、LUT、レジスタにはアクセスしないでください。  
このビットが 1 の時、PLL 出力は安定しています。

bit 1

PLL バイパス

このビットが 0(PLL が選択) の時、パワーセーブビット (REG[04h] Power Save Configuration Register ビット 1-0) は、PLL がイネーブル (REG[10h] PLL Setting Register 0 ビット 0=1b) であり尚且つ PLL 出力が安定している (2.5ms のロック時間後、REG[10h] PLL Setting Register 0 ビット 15=1b) 場合のみ、変更可能です。  
このビットが 1(CLKI が選択) の時、パワーセーブビットはいつでも設定可能です。

bit 0

PLL イネーブル

このビットが 0 の時、PLL はディスエーブルです。  
このビットが 1 の時、PLL はイネーブルです。

### Note

S1D13L01 が MCLK の入力として PLL の出力を使用するよう設定され、尚且つホストが入力クロック (CLKI) を停止したい場合、CLKI を停止する前に PLL を停止 (REG[10h] PLL Setting Register 0 ビット 0=0b) させてください。この操作により PLL ロックビット (REG[10h] PLL Setting Register 0 ビット 15) が Low(0) になります。再び CLKI 供給を始める場合は、ホストは再び PLL をイネーブルにしてください。

REG[12h] PLL Setting Register 1							
Address 60812h				Default = 0000h			
							Read/Write
n/a		N カウンタビット 3-0				M ディバイダビット 9-8	
15	14	13	12	11	10	9	8
M ディバイダビット 7-0							
7	6	5	4	3	2	1	0

**Note**

このレジスタの設定を変更する前にパワーセーブモード 0 (PSM0、REG[04h] Power Save Configuration Register ビット 1-0=00b) にして、PLL も停止 (REG[10h] PLL Setting Register 0 ビット 0=0b) してください。

bits 13-10

N カウンタビット [3:0]

これらのビットは 0000b に設定してください。

bits 9-0

M ディバイダビット [9:0]

これらのビットは、CLKI から PLL に入力されるクロックの分周比を決定します。これらのビットは、PLL に入力されるクロック (PFDCLK) が 1~2MHz になるように設定します。詳細は「7.2 章 PLL の設定 (18 ページ)」を参照してください。

$$\begin{aligned} \text{PFDCLK} &= \text{CLKI} \div (\text{M ディバイダ} + 1) \\ &= \text{CLKI} \div \text{MM} \end{aligned}$$

表 10-3: PLL M ディバイダ選択

REG[12h] ビット 9-0	M ディバイダ比
000h (デフォルト)	1:1
001h	2:1
002h	3:1
003h	4:1
...	...
020h	33:1
021h~13Fh	リザーブ

REG[14h] PLL Setting Register 2							
Address 60814h				Default = 0029h			
							Read/Write
n/a						L カウンタビット 9-8	
15	14	13	12	11	10	9	8
L カウンタビット 7-0							
7	6	5	4	3	2	1	0

**Note**

このレジスタの設定を変更する前にパワーセーブモード 0(PSM0、REG[04h] Power Save Configuration Register ビット 1-0=00b) にして、PLL も停止 (REG[10h] PLL Setting Register 0 ビット 0=0b) してください。

bits 9-0

L カウンタビット [9:0]

これらのビットは 010h ~ 041h の範囲内で設定してください。これらのビットは PLL 出力 (POCLK) の設定に使用されます。以下の式に従って設定してください。詳細は「7.2 章 PLL の設定 (18 ページ)」を参照してください。

$$\begin{aligned} \text{POCLK} &= (\text{L カウンタ} + 1) \times (\text{N カウンタ} + 1) \times \text{PFDCLK} \\ &= \text{LL} \times \text{NN}(=1) \times \text{CLKI} \div \text{MM} \\ &= \text{LL} \times \text{CLKI} \div \text{MM} \end{aligned}$$

例えば、CLKI 入力クロックが 1MHz であり、ターゲットの POCLK が 42MHz であったとします。PFDCLK は 1~2MHz の範囲内であればならないので、MM(REG[12h] PLL Setting Register 1 ビット 9-0) は 000h となります。この時ターゲットの POCLK=42MHz であり PFDCLK=1MHz であることから、LL (REG[14h] PLL Setting Register 2 ビット 9-0) は 29h となります。

表 10-4: PLL L カウンタ選択

REG[14h] bits 9-0	L カウンタ比
000h~00Fh	リザーブ
010h	17:1
011h	18:1
012h	19:1
...	...
029h(デフォルト)	42:1
...	...
041h	66:1
042h~13Fh	リザーブ

REG[16h] Internal Clock Configuration Register							
Address 60816h		Default = 0005h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a				PCLK 分周選択ビット 3-0			
7	6	5	4	3	2	1	0

**Note**

このレジスタの設定を変更する前にパワーセーブモード 0 (PSM0、REG[04h] Power Save Configuration Register ビット 1-0=00b) にしてください。

bits 3-0

PCLK 分周選択ビット [3:0]

これらのビットは、メモリクロック (MCLK) からピクセルクロック (PCLK) を生成する際の分周比を選択します。

表 10-5: PCLK ディバイダ選択

REG[16h] ビット 3-0	MCLK と PCLK の周波数比
0000b	1:1
0001b	2:1
0010b	3:1
0011b	4:1
	⋮
1110b	15:1
1111b	16:1

REG[18h] Reserved							
Address 60818h		Default = 0408h				Read/Write	
リザーブビット 15-8							
15	14	13	12	11	10	9	8
リザーブビット 7-0							
15	14	13	12	11	10	9	8

bits 15-0

リザーブ

このレジスタは 0408h ( デフォルト値 ) にしてください。

REG[1Ah] Reserved							
Address 6081Ah		Default = 0400h				Read/Write	
リザーブビット 15-8							
15	14	13	12	11	10	9	8
リザーブビット 7-0							
15	14	13	12	11	10	9	8

bits 15-0

リザーブ

このレジスタは 0400h ( デフォルト値 ) にしてください。

REG[1Ch] Reserved								Read/Write
Address 6081Ch	Default = 1000h							
リザーブビット 15-8								
15	14	13	12	11	10	9	8	
リザーブビット 7-0								
15	14	13	12	11	10	9	8	

bits 15-0

リザーブ

このレジスタは 1000h( デフォルト値 ) にしてください。

## 10.4 パネル設定レジスタ

REG[20h] Panel Setting Miscellaneous Register							Read/Write
Address 60820h Default = 0000h							
n/a							
15	14	13	12	11	10	9	8
DE 極性ビット 1-0		PCLK 極性	n/a	パネルデータ イネーブル	パネルデータ幅ビット 1-0		パネルポート イネーブル
7	6	5	4	3	2	1	0

### Note

このレジスタの設定を変更する前にパワーセーブモード 0 または 1 (PSM0 または PSM1、REG[04h] Power Save Configuration Register ビット 1-0=00b または 01b) にする必要があります。

bits 7-6

DE 極性ビット [1:0]

これらのビットは、TFT パネルにのみ使用されます。  
これらのビットは、DE のステータスを定義します。

表 10-6: DE 極性選択

REG[20h] bits 7-6	DE 極性
00b	ローアクティブ
01b	ハイアクティブ
10b	ロー固定
11b	ハイ固定

bit 5

PCLK 極性

このビットが 0 の時、LCD データ出力は立ち上がりエッジで変化します。  
このビットが 1 の時、LCD データ出力は立ち下がりエッジで変化します。

### Note

このビットは、パッシブパネル設定時には何の影響も与えません

bit 3

パネルデータイネーブル

このビットは、LCD パネルデータが有効であるかどうかの選択をします。  
このビットが 0 の場合、パネルデータは無効。  
このビットが 1 の場合、パネルデータは有効。

このビットはパネルインターフェースイネーブル (REG[22h] bit0 = 1b) にする前に設定してください。

bits 2-1

パネルデータ幅選択ビット [1:0]

これらのビットは LCD パネルのデータ幅を選択します。

Table 10-7: パネルデータ幅選択

REG[20h] bits 2-1	パネルデータ幅
01b	TFT 16-bit
10b	TFT 18-bit
11b	TFT 24-bit

bit 0

パネルポートイネーブル

このビットは、パネルポートが有効か無効かを選択します。  
このビットが 0 の時、TFT パネルは無効です。  
このビットが 1 の時、TFT パネルが選択されます。

このビットはパネルインターフェースイネーブル (REG[22h] bit0 = 1b) にする前に設定してください。

REG[22h] Display Settings Register							Read/Write
Address 60822h		Default = 0000h					
n/a							TE 出力ディスエーブル
15	14	13	12	11	10	9	8
TE ステータス (RO)	TE 機能選択ビット 1-0		ディスプレイ非表示	n/a	ディスプレイ非表示極性	SW ビデオ反転	パネルインターフェースイネーブル
7	6	5	4	3	2	1	0

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bit 8

TE 出力ディスエーブル

このビットは、TE を AB0(または DB8、ホストインターフェース設定に基づく) から出力するか否かを決定します。このビットは、TE ステータスビット REG[22h] ビット 7 に影響を与えません。ホストインターフェースの端子配置については、「4.4 章 ホストインタフェース端子配置 (13 ページ)」を参照してください。

このビットが 0 の時、TE のステータスは所定のピンより出力されます。  
このビットが 1 の時、TE のステータスは所定のピンより出力されません。

bit 7

TE ステータス (読み取り専用)

このビットは、TE 機能選択ビット (REG[22h] ビット 6-5) によって設定されている TE のステータスを示します。

このビットは、TE 出力ディスエーブル (REG[22h] ビット 8) 設定の影響を受けません。

このビットが 0 の時、選択された機能が発生していません。  
このビットが 1 の時、選択された機能が発生しています。

**Note**

REG[22h] ビット 6-5=10b(ラインカウント) の時  
- REG[34h]=0 の時、TE は常に High  
- REF[34h] > (VDISP+VNDP-1) の時、TE は常に Low

- bit 6-5           TE 機能選択ビット [1:0]  
 これらのビットは TE の機能を決定します。TE のステータスは、TE ステータスビット (REG[22h] ビット 7 参照) とホストインターフェース設定に基づいて、AB0 もしくは DB8 から出力されます。TE の出力は、TE 出力ディスエーブルビットにより無効化できます。ホストインターフェースの端子配置については、「4.4 章 ホストインタフェース端子配置 (13 ページ)」を参照してください。

表 10-8: TE 機能選択

REG[22h] ビット 6-5	TE 機能
00b	<b>ディスエーブル</b> : TE は出力されず、L に固定されます。
01b	<b>VNDP</b> : TE は垂直非表示期間 (VNDP) 中に High(1) が出力され、垂直表示期間 (VDISP) 中は Low(0) が出力されます。
10b	<b>ラインカウント</b> : TE は内部水平ライン信号の数がラインカウントビット (REG[34h] ビット 9-0) で指定された数より多くなった時に High(1) が出力され、それ以外の場合は Low(0) が出力されます。内部水平ラインカウンタは 0 からカウントを開始し、VDISP+VNDP-1 になったら 0 に戻ります。
11b	<b>リザーブ</b>

- bit 4           ディスプレイ非表示  
 このビットが 0 の時、内部 LCD ディスプレイパイプライン回路は動作します。このビットが 1 の時、内部 LCD ディスプレイパイプライン回路は動作が止まります。この時、LCD データ出力は 0 または 1 に固定されます。以下の表にて、各ビットの組み合わせによる PDT[23:0] 信号の状態を示します。

- bit 2           ディスプレイ非表示極性  
 このビットが 0 の時、非表示時の極性は通常です。  
 このビットが 1 の時、非表示時の極性は反転します。

- bit 1           ソフトウェアディスプレイデータ反転  
 このビットが 0 の時、ディスプレイデータの極性は通常です。  
 このビットが 1 の時、ディスプレイデータの極性は反転されます。

**Note**

ディスプレイデータは、ルックアップテーブル通過後反転されます。

bit 0

パネルインターフェースイネーブル

このビットはパネルインタフェイス出力端子とディスプレイパイプのイネーブル/ディスエーブルの制御を行います。

このビットが 0 の時 ( デフォルト )、PDT[23:0]、HS、VS、DE、PCLK の各信号は H または L に固定され ( 下記表参照 )、ディスプレイパイプがディスエーブルとなります。

このビットを 1 に設定しパネル出力とディスプレイパイプをイネーブルにする前に、パワーセーブビットが NMM (PCLK 出力中) である事を確認してください。パネル出力とディスプレイパイプは次の内部フレーム同期信号より効力を発揮します。

このビットを 0 に設定しパネル出力とディスプレイパイプをディスエーブルする場合、パネル出力とディスプレイパイプは次の内部フレーム同期信号より停止します。

パワーセーブモードに移行する際、ソフトウェアは、このビットを 0 にしてからパワーセーブビットを PSM1 に設定する間に少なくとも 1 フレーム以上の期間を開けてください。前期が守られなかった場合、すなわち PSM1 移行 (PCLK 停止) が早すぎた場合 ( 次のフレーム同期信号が PCLK でクロックされる前 )、パネル出力とディスプレイパイプは停止しません。

表 10-9: ディスプレイコントロール概要

ディスプレイ非表示 REG[22h] ビット 4	ディスプレイ非表示極性 REG[22h] ビット 2	ソフトウェアディスプレー データ反転 REG[22h] ビット 1	パネルインターフェー スイネーブル REG[22h] ビット 0	出力データ PDT[23:0]	HS, VS, DE, PCLK
0b	xb	0b	1b	通常	通常
		1b	1b	反転	通常
1b	0b	0b	1b	全 0	通常
		1b	1b	全 1	通常
	1b	0b	1b	全 1	通常
		1b	1b	全 0	通常
xb	xb	0b	0b	全 0	全 0
		1b	0b	全 1	全 1

**REG[24h] Horizontal Display Width Register (HDISP)**

Address 60824h Default = 0000h Read/Write

n/a							
15	14	13	12	11	10	9	8
n/a				水平表示期間ビット 6-0			
7	6	5	4	3	2	1	0

bits 6-0

水平表示期間ビット [6:0]

これらのビットは LCD パネルの水平表示幅 (HDISP) を 8 ピクセル単位で指定します。

$$\text{REG}[24\text{h}] \text{ ビット } 6-0 = \text{水平表示期間 (ピクセル単位)} \div 8$$

**Note**

TFT パネルを使用する時、HDISP の最小値は 8 ピクセル (bits 6-0 = 01h) に設定してください。また、8 ピクセルの倍数になるよう設定してください。

REG[26h] Horizontal Non-Display Period Register (HNDP)							
Address 60826h		Default = 0003h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
Horizontal Non-Display Period bits 6-0							
n/a	7	6	5	4	3	2	1
							0

bits 6-0

水平非表示期間ビット [6:0]

これらのビットは、LCD パネルの水平非表示期間 (HNDP) を 1 ピクセル単位で指定します。

REG[26h] ビット 6-0 = 水平非表示期間 (ピクセル単位)

**Note**

水平非表示期間の最小値は 3 ピクセルです。(REG[26h] Horizontal Non-Display Period Register (HNDP) ビット 6-0 = 03h)  
 HS パルス開始 + HS パルス幅  $\leq$  HNDP

REG[28h] Vertical Display Height Register (VDISP)							
Address 60828h		Default = 0001h				Read/Write	
n/a							
15	14	13	12	11	10	垂直表示期間ビット 9-8	
						9	8
垂直表示期間ビット 7-0							
7	6	5	4	3	2	1	0

bits 9-0

垂直表示期間ビット [9:0]

これらのビットは LCD パネルの垂直表示期間 (VDISP) をライン単位で指定します。

REG[28h] ビット 9-0 = 垂直表示期間 (ライン単位)

**Note**

1. 最小値 = 1 ライン
2. このレジスタは以下の式を満たす必要があります。  
 $VDISP + VNDP < 1024$   
 $VDISP + VPS < 1024$

REG[2Ah] Vertical Non-Display Period Register (VNDP)							
Address 6082Ah		Default = 0002h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
垂直非表示期間ビット 7-0							
7	6	5	4	3	2	1	0

bits 7-0

垂直非表示期間ビット [7:0]

これらのビットは LCD パネルの垂直非表示期間 (VNDP) をライン単位で指定します。

REG[2Ah] ビット 7-0 = 垂直非表示期間 (ライン単位)

**Note**

1. 最小値 = 2 ライン
2. このレジスタは以下の式を満たす必要があります。  
VDISP + VNDP < 1024

REG[2Ch] HS Pulse Width Register (HSW)							
Address 6082Ch		Default = 0000h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
HS パルス極性		HS パルス幅ビット 6-0					
7	6	5	4	3	2	1	0

bit 7

**HS パルス極性**

このビットは、水平同期信号の極性を選択します。このビットはパネルの水平同期信号の仕様によって設定されます。  
このビットが 0 の時、水平同期信号はアクティブローです。  
このビットが 1 の時、水平同期信号はアクティブハイです。

**Note**

パッシブパネルではこのビットを 1 に設定してください (アクティブハイ)。

bits 6-0

**HS パルス幅ビット [6:0]**

これらのビットはパネル水平同期信号 (HSW) の幅を 1 ピクセル単位で指定します。水平同期信号は通常 HS ですが、パネル仕様によって決まります。これらのビットの最小値は 1 です。

REG[2Ch] ビット 6-0 = HS パルス幅 (ピクセル単位)

これらのビットは、以下のように設定してください。

TFT パネル : HS パルス開始 + HS パルス幅 ≤ HNDP

REG[2Eh] HS Pulse Start Position Register (HPS)							
Address 6082Eh		Default = 0000h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a		HS パルス開始位置ビット 6-0					
7	6	5	4	3	2	1	0

bits 6-0

**HS パルス開始位置ビット [6:0]**

これらのビットは水平非表示期間開始に対する水平同期信号 (HPS) のスタート位置を 1 ピクセル単位で指定します。

REG[2Eh] ビット 6-0 = HS パルススタート位置 (ピクセル単位)

これらのビットは、以下の式を満たすように設定してください。

TFT パネル : HS パルス開始 + HS パルス幅 ≤ HNDP

REG[30h] VS Pulse Width Register (VSW)							
Address 60830h		Default = 0000h				Read/Write	
n/a							
15	14	13	12	11	10	9	8

REG[30h] VS Pulse Width Register (VSW)							
Address 60830h		Default = 0000h					Read/Write
VS パルス極性	n/a	VS パルス幅ビット 5-0					
7	6	5	4	3	2	1	0

bit 7

**VS パルス極性**

このビットは、垂直同期信号の極性を選択します。このビットはパネルの垂直同期信号の仕様によって設定されます。

このビットが 0 の時、垂直同期信号はアクティブローです。

このビットが 1 の時、垂直同期信号はアクティブハイです。

**Note**

パッシブパネルではこのビットを 1 に設定してください (アクティブハイ)。

bits 5-0

**VS パルス幅ビット [5:0]**

これらのビットはパネル垂直同期信号 (VSW) 幅を 1 ライン単位で指定します。垂直同期信号は通常 VS ですが、パネル仕様によって決まります。

REG[30h] ビット 5-0 = VS パルス幅 (ライン単位)

**Note**

パッシブパネルでは、このビットは 01h に設定してください。

REG[32h] VS Pulse Start Position Register (VPS)							
Address 60832h		Default = 0000h					Read/Write
n/a							
15	14	13	12	11	10	9	8
VS パルス開始位置ビット 7-0							
7	6	5	4	3	2	1	0

bits 7-0

**VS パルス開始位置ビット [7:0]**

これらのビットは水平非表示期間開始に対する水平同期信号 (VPS) の開始位置を 1 ライン単位で指定します。

TFT パネル : REG[32h] ビット 7-0 = VS パルス開始位置 (ライン単位)

REG[34h] TE Line Count Register							Read/Write	
Address 60834h			Default = 0000h					
			n/a				TE ラインカウントビット 9-8	
15	14	13	12	11	10	9	8	
TE ラインカウントビット 7-0								
7	6	5	4	3	2	1	0	

bits 9-0

TE ラインカウントビット [9:0]

TE 機能選択がラインカウント (REG[22h] ビット 6-5 = 10b) の時、これらのビットは内部水平カウンタと比較される数値を指定します。内部垂直ラインカウンタは 0 から開始され、(VDISP+VNDP-1) まで数えます。

## 10.5 レイヤ設定レジスタ

REG[40h] Main Layer Setting Register							Read/Write
Address 60840h							Default = 0000h
n/a							レイヤレジスタ同期書き込みディスエーブル
15	14	13	12	11	10	9	8
n/a			メインレイヤ回転ビット 1-0		メインレイヤ色深度ビット 2-0		
7	6	5	4	3	2	1	0

### Note

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bit 8

レイヤレジスタ同期書き込みディスエーブル

非同期のマルチバイトのレイヤレジスタは、このビットの値に関わらず、いつでも読み書きする事が可能です。同期のマルチバイトのレイヤレジスタは、内部回路において、ディスプレイエンジン内に値がコピーされます。ディスプレイエンジンは、垂直同期信号毎に、コピーした値を内部でラッチします。

このビットが 0 の時、マルチバイトのレイヤレジスタは、通常の同期式ラッチを行います。レジスタへの書き込み全てが、非同期マルチバイトのレイヤレジスタが内部同期コピーとしてラッチされます。

このビットが 1 の時、以下のマルチバイトのレイヤレジスタは同期式ラッチが行われません。このビットに再び 0 が書き込まれた時にディスプレイエンジン内にラッチされます。

マルチバイトレイヤレジスタ以下の通りです。

- メイン開始アドレス [18:0] (REG[42h]~REG[44h])
- PIP 開始アドレス [18:0] (REG[52h]~REG[54h])
- PIP 幅 [9:0] (REG[56h]~[REG[67h])
- PIP 高さ [9:0] (REG[58h]~REG[59h])
- PIP スタート X[9:0] (REG[5Ah]~REG[5Bh])
- PIP スタート Y[9:0] (REG[5Ch]~REG[5Dh])

bits 4-3

メインレイヤ回転ビット [1:0]

これらのビットはメインレイヤの回転方向を指定します (反時計回り)。

表 10-10: メインレイヤ回転選択

REG[40h] bits 4-3	メインレイヤ回転方向
00b	0° (デフォルト)
01b	90°
10b	180°
11b	270°

bits 2-0

メインレイヤ色深度ビット [2:0]

これらのビットはメインレイヤの色深度を指定します。モノクロモードが選択されている時 (REG[20h] ビット 3=0b)、これらのビットは 010b (モノクロ用 8bpp) もしくは 110b (8bpp+LUT1) に設定してください。

表 10-11: メインレイヤ色深度選択

REG[40h] bits 2-0	メインレイヤ色深度
000b	RGB8:8:8 (デフォルト)
001b	RGB5:6:5
010b	リザーブ
011b	リザーブ
100b	24bpp+LUT1
101b	16bpp+LUT1
110b	8bpp+LUT1
111b	リザーブ

REG[42h] Main Layer Start Address Register 0								
Address 60842h				Default = 0000h				Read/Write
メインレイヤ開始アドレスビット 15-8								
15	14	13	12	11	10	9	8	
メインレイヤ開始アドレスビット 7-0								
7	6	5	4	3	2	1	0	

REG[44h] Main Layer Start Address Register 1								
Address 60844h				Default = 0000h				Read/Write
n/a								
15	14	13	12	11	10	9	8	
n/a				メインレイヤ開始アドレスビット 18-16				
7	6	5	4	3	2	1	0	

Note

このレジスタは、VS と同期化されているので次のフレームから有効になります。

REG[44h] bits 2-0

REG[42h] bits 15-0

メインレイヤ開始アドレス [18:0]

内蔵 RAM のメインレイヤ開始アドレスビット。開始アドレスビットは 32 ビットアライメントの為に、メインレイヤ開始アドレスビット [1:0] は 00b にしてください。

REG[46h] Main Layer Width Register								
Address 60846h				Default = 0000h				Read Only
n/a								
15	14	13	12	11	10	9	8	
メインレイヤ幅ビット 7-0								
7	6	5	4	3	2	1	0	

bits 9-0

メインレイヤ幅ビット [9:0] (読み取り専用)  
 これらのビットは、メインレイヤの幅を 1 ピクセル単位で指定します。メインレイヤの回転方向が 0° もしくは 180° (REG[40h] ビット 4-3 = 00b または 10b) の場合、これらのビットは REG[24h] Horizontal Display Width Register (HDISP) の値に基づいて設定されます。90° もしくは 270° (REG[40h] ビット 4-3 = 01b または 11b) の回転方向の場合は、REG[28h] Vertical Display Height Register (VDISP) の値に基づいて設定されます。

**Note**

REG[24h] または REG[28h] に更新があった場合、このレジスタの値が更新されるまでに最大 2 フレームの遅延が生じます。

REG[48h] Main Layer Height Register								
Address 60848h				Default = 0001h				Read Only
n/a								
15	14	13	12	11	10	メインレイヤ高さビット 9-8		
						9	8	
メインレイヤ高さビット 7-0								
7	6	5	4	3	2	1	0	

bits 9-0

メインレイヤ高さビット [9:0] (読み取り専用)  
 これらのビットは、1 ライン単位でメインレイヤの高さを指定します。メインレイヤの回転方向が 0° もしくは 180° (REG[40h] ビット 4-3 = 00b または 10b) の場合、これらのビットは REG[28h] Vertical Display Height Register (VDISP) の値に基づいて設定されます。90° もしくは 270° (REG[40h] ビット 4-3 = 01b または 11b) の回転方向の場合、これらのビットは REG[28h] Vertical Display Height Register (VDISP) の値に基づいて設定されます。

**Note**

REG[24h] または REG[28h] に更新があった場合、このレジスタの値が更新されるまでに最大 2 フレームの遅延が生じます。

REG[50h] PIP Layer Setting Register								
Address 60850h				Default = 0000h				Read/Write
n/a								
15	14	13	12	11	10	9	8	
			PIP レイヤ回転ビット 1-0		PIP レイヤ色深度ビット 2-0			
7	6	5	4	3	2	1	0	

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bits 4-3

PIP レイヤ回転選択ビット [1:0]  
 これらのビットは、PIP レイヤの回転方向を指定します (反時計回り)。

表 10-12: PIP レイヤ回転選択

REG[50h] ビット 4-3	PIP レイヤ回転
00b	0° (デフォルト)
01b	90°
10b	180°
11b	270°

bits 2-0

PIP Layer Color Depth bits [2:0]

これらのビットは PIP レイヤの色深度を指定します。モノクロモードが選択されている時 (REG[20h] ビット 3=0b)、これらのビットは 010b (モノクロ用 8bpp) もしくは 110b (8bpp+LUT2) に設定してください。

表 10-13: PIP レイヤ色深度選択

REG[50h] bits 2-0	PIP Layer Color Depth
000b	RGB8:8:8 (デフォルト)
001b	RGB5:6:5
010b	リザーブ
011b	リザーブ
100b	24bpp+LUT1
101b	16bpp+LUT1
110b	8bpp+LUT1
111b	リザーブ

**REG[52h] PIP Layer Start Address Register 0**

Address 60852h

Default = 0000h

Read/Write

PIP レイヤ開始アドレスビット 15-8							
15	14	13	12	11	10	9	8
PIP レイヤ開始アドレスビット 7-0							
7	6	5	4	3	2	1	0

**REG[54h] PIP Layer Start Address Register 1**

Address 60854h

Default = 0000h

Read/Write

n/a							
15	14	13	12	11	10	9	8
n/a				PIP レイヤ開始アドレスビット 18-16			
7	6	5	4	3	2	1	0

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

REG[54h] bits 2-0

---

REG[52h] bits 15-0 PIP レイヤ開始アドレスビット [18:0]  
内蔵 RAM の PIP レイヤ開始アドレスビット。開始アドレスビットは 32 ビット  
アライメントの為に、PIP レイヤ開始アドレスビット [1:0] は 00b にしてくださ  
い。

REG[56h] PIP Layer Width Register							Read/Write	
Address 60856h							Default = 0000h	
n/a							PIP レイヤ幅ビット 9-8	
15	14	13	12	11	10	9	8	
PIP レイヤ幅ビット 7-0								
7	6	5	4	3	2	1	0	

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bits 9-0

PIP レイヤ幅ビット [9:0]

これらのビットは、PIP レイヤ幅を 1 ピクセル単位で指定します。全 PIP レイヤはメインレイヤ上になければいけません。

REG[56h]PIP レイヤ幅レジスタビット 9-0  
=PIP レイヤ水平表示期間 (ピクセル単位)

REG[58h] PIP Layer Height Register							Read/Write	
Address 60858h							Default = 0000h	
n/a							PIP レイヤ高さビット 9-8	
15	14	13	12	11	10	9	8	
PIP レイヤ高さビット 7-0								
7	6	5	4	3	2	1	0	

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bits 9-0

PIP レイヤ高さビット [9:0]

これらのビットは、PIP レイヤの高さを 1 ライン単位で指定します。全 PIP レイヤはメインレイヤ上になければいけません。

REG[58h]PIP レイヤ高さレジスタビット 9-0  
=PIP レイヤ垂直表示期間 (ライン単位)

REG[5Ah] PIP Layer X Start Position Register							Read/Write	
Address 6085Ah							Default = 0000h	
n/a							PIP レイヤ X 開始位置ビット 9-8	
15	14	13	12	11	10	9	8	
PIP レイヤ X 開始位置ビット 7-0								
7	6	5	4	3	2	1	0	

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bits 9-0 PIP レイヤ X 開始位置ビット [9:0]  
 これらのビットは、パネルの PIP レイヤの X 開始位置をピクセル単位で指定します。全 PIP レイヤはメインレイヤ上になければいけません。詳しくは「14.5.1 章 位置座標 (106 ページ)」を参照してください。

REG[5Ch] PIP Layer Y Start Position Register							
Address 6085Ch				Default = 0000h		Read/Write	
n/a				PIP レイヤ Y 開始位置ビット 9-8			
15	14	13	12	11	10	9	8
PIP レイヤ Y 開始位置ビット 7-0							
7	6	5	4	3	2	1	0

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bits 9-0 PIP レイヤ Y 開始位置ビット [9:0]  
 これらのビットは、パネルの PIP レイヤの Y 開始位置をライン単位で指定します。詳しくは「14.5.1 章 位置座標 (106 ページ)」を参照してください。

REG[60h] PIP Enable Register							
Address 60860h				Default = 0000h		Read/Write	
ブリンク / フェード周期ビット 6-0						n/a	
15	14	13	12	11	10	9	8
n/a				ブリンク / フェードステータス (RO)	ブリンク / フェード効果ビット 2-0		
7	6	5	4	3	2	1	0

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bits 15-9 ブリンク / フェード周期ビット [6:0]  
 これらのビットは、PIP レイヤのブリンク / フェード周期をフレーム単位で定義します。  
 REG[60h] ビット 15-9 = ブリンク / フェード周期 -1 (フレーム単位)

PIP 効果であるブリンク 1 とブリンク 2 に対して、これらのビットはブリンク周期を定義します。

PIP 効果であるフェードイン、フェードアウト、連続フェードイン / アウトに対して、これらのビットはアルファブレンディング値の増減量の周期を定義します。

bit 3                    ブリンク / フェードステータス (読み取り専用)  
 このビットが 0b の時、PIP レイヤはブリンクングやフェーディング実行状態ではありません。  
 このビットが 0b の時、PIP レイヤはブリンクングやフェーディング実行状態にあります。

通常このビットは、単発のフェードアウト、フェードインの動作が終了したか確認をするために使用します。また、PIP 効果状態遷移において、ブリンク 1、ブリンク 2、連続フェードイン / アウト状態からノーマルまたはブランク状態に遷移完了の確認にも使用します。

bits 2-0                PIP 効果ビット [2:0]  
 これらのビットは PIP レイヤに与える効果を選択します。詳しくは「14.4 章 PIP 効果 (101 ページ)」を参照してください。

表 10-14: PIP 効果選択

REG[60h] ビット 2-0	PIP 効果
000b	ブランク
001b	ノーマル
010b	ブリンク 1
011b	ブリンク 2
100b	フェードアウト
101b	フェードイン
110b	連続フェードイン / アウト
111b	リザーブ

### ブランク

デフォルト設定。このモードが設定された時、PIP レイヤは非表示 (オフ) となります。

### ノーマル

このモードが設定された時、PIP レイヤは表示されます (オン)。アルファブレンディング比 (REG[62h] ビット 6-0) がこのモードにおいて変更された場合、次のフレームから PIP に対して影響します。

### ブリンク 1

PIP レイヤブリンクは、現在のアルファブレンディング比設定 (オン) とアルファブレンディング値 = 0000000b (オフ) を切り替えます。オン - オフ間の周期は、REG[60h] PIP Enable Register ビット 15-9 ブリンク / フェード期間ビットにより指定します。ブリンク 1 状態へは、ノーマルかブリンクの状態からしか遷移できません。ブリンク 1 状態を終了させるためには、PIP 効果ビットをノーマルかブランクへ設定しなければなりません。

### ブリンク 2

PIP レイヤピクセルデータ出力を、正転と反転で切り替えます。PIP レイヤのイメージデータが反転状態であっても、アルファブレンディング比は有効です。正転 - 反転間の周期は、REG[60h] PIP Enable Register ビット 15-9 ブリンク / フェード期間ビットにより指定します。ブリンク 2 状態へは、ノーマルかブリンクの状態からしか遷移できません。ブリンク 2 状態を終了させるためには、PIP 効果ビットをノーマルかブランクへ設定しなければなりません。

### フェードアウト

PIP レイヤの単発フェードアウト。このモードが選択された時、PIP レイヤのアルファブレンディング値が現状の設定から最小値 (0000000b) までカウントダウンを始めます。カウントダウンの周期は、REG[60h] PIP Enable Register ビット 15-9 ブリンク / フェード周期ビットにより指定します。カウントダウンステップは REG[62h] Alpha Blending Register ビット 9-8 アルファブレンディングステップビットにより指定します。フェードアウト最中であっても周期及びステップは変更可能であり、スピードを増減させる事ができます。再度フェードアウトを行うためには、まず PIP 効果をノーマルまたはブランク状態に遷移した後に、再度フェードアウトを設定するようにしてください。フェードアウト終了後、PIP 効果はフェードインに設定可能です。

### フェードイン

PIP レイヤの単発フェードイン。このモードが選択された時、PIP レイヤのアルファブレンディング値が最小値 (0000000b) から現状の設定までカウントアップし始めます。カウントアップの周期は、REG[60h] PIP Enable Register ビット 15-9 ブリンク / フェード周期ビットにより指定します。カウントアップステップは REG[62h] Alpha Blending Register ビット 9-8 アルファブレンディングステップビットにより指定します。フェードイン最中であっても周期及びステップは変更可能であり、スピードを増減させる事ができます。再度フェードインを行うためには、まず PIP 効果をノーマルまたはブランク状態に遷移した後に、再度フェードインを設定するようにしてください。フェードイン終了後、PIP 効果はフェードアウトに設定可能です。

### 連続フェードイン / アウト

PIP レイヤはフェードインとアウトを連続的に繰り返します。連続フェードイン / アウト状態へは、ノーマルかブリンクの状態からしか遷移できません。PIP 効果の状態遷移がブランクから連続フェードイン / アウトへの場合、PIP 効果はフェードインから始まります。PIP 効果の状態遷移がノーマルから連続フェードイン / アウトへの場合、PIP 効果はフェードアウトから始まります。アルファブレンディング率増減の時間的周期は、REG[60h] PIP Enable Register ビット 15-9 ブリンク / フェード周期ビットにより指定します。アルファブレンディング率増減のステップは REG[62h] Alpha Blending Register ビット 9-8 アルファブレンディングステップビットにより指定します。フェードイン時のアルファブレンディング率上限値は REG[62h] Alpha Blending Register ビット 6-0 アルファブレンディング率ビットにより指定します。連続フェードイン / アウト最中であっても周期、ステップ、アルファブレンド上限値は変更可能であり、スピードを増減させたりフェード効果の変更をすることができます。連続フェードイン / アウトを終了させるには、PIP 効果ビットをノーマルまたはブランクに設定してください。

REG[62h] Alpha Blending Register							Read/Write	
Address 60862h							Default = 0040h	
n/a							アルファブレンディングステップ ビット 1-0	
15	14	13	12	11	10	9	8	
アルファブレンディング率ビット 6-0								
n/a							1	0
7	6	5	4	3	2	1	0	

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

bits 9-8

アルファブレンディングステップビット [1:0]

これらのビットは、フェードインまたはフェードアウト時の PIP レイヤのアルファブレンディング率増減のステップ幅を指定します。

表 10-15: アルファ ブレンディングステップ選択

REG[62h] ビット 9-8	アルファブレンディングステップ
00b	1
01b	2
10b	4
11b	8

**Note**

アルファブレンディング率が“フル PIP”(REG[62h] ビット 6-0= 40h) の設定ではない場合、これらのビットは、設定されているアルファブレンディング率が割り切れるような値に設定してください。

bits 6-0

アルファブレンディング率ビット [6:0]

これらのビットは、アルファブレンディング率を定義されます。ビットが 0000000b 以外の値に設定された時、PIP レイヤは表示されます。アルファブレンディングについて、詳しくは「14.3 章 アルファブレンディング (100 ページ)」を参照してください。

表 10-16: アルファブレンディング率選択

REG[62h] ビット 6-0	メインレイヤ : PIP レイヤ
0000000b	64:0(PIP 非表示)
0000001b	63:1
0000010b	62:2
...	...
0111101b	3:61
0111110b	2:62
0111111b	1:63
1000000b	0:64(フル PIP)
1000001b ~ 1111111b	Reserved

**Note**

トランスペアレンシーがイネーブル (REG[64h] bit 0 = 1b) の場合、アルファブレンディング率はトランスペアレンシーのキーカラーには影響も与えません (REG[66h]~REG[68h] 参照)。

REG[64h] Transparency Register								Read/Write
Address 60864h				Default = 0000h				
n/a								
15	14	13	12	11	10	9	8	
n/a							トランスピアレン シーイネーブル	
7	6	5	4	3	2	1	0	

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

## bit 0

## トランスピアレンシーイネーブル

このビットは、トランスペアレンシーのイネーブル / ディスエーブルを決めるビットです。トランスペアレンシーについて、詳しくは「14.2 章 トランスピアレンシー (99 ページ)」を参照してください。

このビットが 0b の時、トランスピアレンシーはディスエーブルです。

このビットが 1b の時、トランスピアレンシーはイネーブルです。

REG[66h] Transparency Key Color Register 0								
Address 60866h				Default = 0000h				Read/Write
キーカラー緑ビット 7-0								
15	14	13	12	11	10	9	8	
キーカラー青ビット 7-0								
7	6	5	4	3	2	1	0	

REG[68h] Transparency Key Color Register 1								
Address 60868h				Default = 0000h				Read/Write
n/a								
15	14	13	12	11	10	9	8	
キーカラー赤ビット 7-0								
7	6	5	4	3	2	1	0	

**Note**

このレジスタは、VS と同期化されているので次のフレームから有効になります。

REG[66h] bits 15-8 キーカラー緑ビット [7:0]

REG[66h] bits 7-0 キーカラー青ビット [7:0]

REG[68h] bits 7-0 キーカラー赤ビット [7:0]

トランスピアレncyがイネーブル (REG[64h] Transparency Register ビット 0=1b) の時、これらのビットはキーカラーを指定します。キーカラーは PIP の各画素カラーと比較され、当該画素がトランスピアレncyされるかを決めます。キーカラーに対しては、PIP 効果 (REG[60h] 参照) またはアルファブレンディング (REG[62h] 参照) による影響はありません。トランスピアレncyについて、詳しくは「14.2 章 トランスピアレncy (99 ページ)」を参照してください。

表 10-17: キーカラーレジスタ設定

モード	カラー/モノクロ パネル選択 (REG[20] ビット 3)	PIP 色深度 (REG[50h] ビット 2-0)	キーカラーレジスタ設定			コメント
			赤	緑	青	
RGB8:8:8	1b	000b	REG[68h] ビット 7-0	REG[66h] ビット 15-8	REG[66h] ビット 7-0	—
RGB5:6:5	1b	001b	REG[68h] ビット 7-3	REG[66h] ビット 15-10	REG[66h] ビット 7-3	—
24bpp+LUT2	1b	100b	REG[68h] ビット 7-0	REG[66h] ビット 15-8	REG[66h] ビット 7-0	これらのモードの時、キーカラーレジスタ値は、LUT の内容と比較されます。LUT インデックスは、ディスプレイメモリに格納されているピクセル値によって定義されます。
16bpp+LUT2	1b	101b				
8bpp+LUT2	1b	110b				

## 10.6 GPIO 設定レジスタ

GPIO[3:0] は GPIO 端子として専用端子です。

GPIO[15:4] は基本的に REG[20h] Panel Setting Miscellaneous Register ビット 3-0 によって有効になります。GPIO 端子有効性の総括は「4.5 パネルインタフェイス端子配置 (14 ページ)」を参照願います。

REG[D0h] GPIO Configuration Register							
Address 608D0h      Default = 0000h							Read/Write
GPIO15 設定 15	GPIO14 設定 14	GPIO13 設定 13	GPIO12 設定 12	GPIO11 設定 11	GPIO10 設定 10	GPIO9 設定 9	GPIO8 設定 8
GPIO7 設定 7	GPIO6 設定 6	GPIO5 設定 5	GPIO4 設定 4	GPIO3 設定 3	GPIO2 設定 2	GPIO1 設定 1	GPIO0 設定 0

bits 15-0

### GPIO[15:0] 端子設定

これらのビットは、各 GPIO 端子の入力 / 出力を設定するために使用します。このビットが 0b (デフォルト) の時、当該 GPIO 端子は入力端子となります。このビットが 1b の時、当該 GPIO 端子は出力端子となります。

REG[D2h] GPIO Status and Control Register							
Address 608D2h      Default = 0000h							Read/Write
GPIO15 ステータス 15	GPIO14 ステータス 14	GPIO13 ステータス 13	GPIO12 ステータス 12	GPIO11 ステータス 11	GPIO10 ステータス 10	GPIO9 ステータス 9	GPIO8 ステータス 8
GPIO7 ステータス 7	GPIO6 ステータス 6	GPIO5 ステータス 5	GPIO4 ステータス 4	GPIO3 ステータス 3	GPIO2 ステータス 2	GPIO1 ステータス 1	GPIO0 ステータス 0

bits 15-0

### GPIO[15:0] 端子ステータス

GPIOx が出力として設定された時、このビットに 1b が書き込まれると GPIOx は HIGH にドライブされます。0b が書き込まれた場合は、GPIOx は LOW にドライブされます。

GPIOx が入力として設定された時、このビットは GPIOx の入力状態を示します。

#### Note

GPIO 端子がパネル出力信号 (「4.5 パネルインタフェイス端子配置 (14 ページ)」参照) に設定されている場合、それら端子の入力ステータスはパネル出力信号のステータスを示します。

REG[D4h] GPIO Pull-Down Control Register							
Address 608D4h      Default = 0000h							Read/Write
GPIO15 プルダウン制御 15	GPIO14 プルダウン制御 14	GPIO13 プルダウン制御 13	GPIO12 プルダウン制御 12	GPIO11 プルダウン制御 11	GPIO10 プルダウン制御 10	GPIO9 プルダウン制御 9	GPIO8 プルダウン制御 8
GPIO7 プルダウン制御 7	GPIO6 プルダウン制御 6	GPIO5 プルダウン制御 5	GPIO4 プルダウン制御 4	GPIO3 プルダウン制御 3	GPIO2 プルダウン制御 2	GPIO1 プルダウン制御 1	GPIO0 プルダウン制御 0

bits 15-0

GPIO[15:0] プルダウン制御

全 GPIO 端子はプルダウン抵抗が内蔵されています。これらのビットは、各プルダウン抵抗の状態を制御しています。

このビットが 0b の時、当該 GPIO 端子内のプルダウン抵抗はインアクティブになります。

このビットが 1b の時、当該 GPIO 端子内のプルダウン抵抗はアクティブになります。

## 10.7 ルックアップテーブル設定レジスタ

モノクロモード (REG[20h] Panel Setting Miscellaneous Register ビット 3=0b) の時、LUT は青を使用します。

### Note

PSM0 の時、LUT1 または LUT2 にアクセスしないでください。

### LUT1: LUT[000h] ~ LUT[3FEh]

LUT[000h] Look-Up Table 1 Address 00h Register 0								
Address 60000h		Default = 0000h						Read/Write
LUT1 アドレス 00h 緑データビット 7-0								
15	14	13	12	11	10	9	8	
LUT1 アドレス 00h 青データビット 7-0								
7	6	5	4	3	2	1	0	

LUT[002h] Look-Up Table 1 Address 00h Register 1								
Address 60002h		Default = 0000h						Read/Write
n/a								
15	14	13	12	11	10	9	8	
LUT1 アドレス 00h 赤データビット 7-0								
7	6	5	4	3	2	1	0	

LUT[000h] ビット 15-8 LUT1 アドレス 00h 緑データビット [7:0]

これらのビットは、ルックアップテーブル 1 アドレス 00h の緑データです。

LUT[000h] ビット 7-0 LUT1 アドレス 00h 青データビット [7:0]

これらのビットは、ルックアップテーブル 1 アドレス 00h の青データです。

LUT[002h] ビット 7-0 LUT1 アドレス 00h 赤データビット [7:0]

これらのビットは、ルックアップテーブル 1 アドレス 00h の赤データです。

LUT[004h] Look-Up Table 1 Address 01h Register 0								
Address 60004h		Default = 0000h						Read/Write
LUT1 アドレス 01h 緑データビット 7-0								
15	14	13	12	11	10	9	8	
LUT1 アドレス 01h 青データビット 7-0								
7	6	5	4	3	2	1	0	

LUT[006h] Look-Up Table 1 Address 01h Register 1								
Address 60006h		Default = 0000h						Read/Write
n/a								
15	14	13	12	11	10	9	8	
LUT1 アドレス 01h 赤データビット 7-0								
7	6	5	4	3	2	1	0	

LUT[004h] ビット 15-8 LUT1 アドレス 01h 緑データビット [7:0]

これらのビットは、ルックアップテーブル 1 アドレス 01h の緑データです。

LUT[004h] ビット 7-0 LUT1 アドレス 01h 青データビット [7:0]

これらのビットは、ルックアップテーブル 1 アドレス 01h の青データです。

LUT[006h] ビット 7-0 LUT1 アドレス 01h 赤データビット [7:0]  
 これらのビットは、ルックアップテーブル 1 アドレス 01h の赤データです。



<b>LUT[3F8h] Look-Up Table 1 Address FEh Register 0</b>							
Address 603F8h		Default = 0000h				Read/Write	
LUT1 アドレス FEh 緑データビット 7-0							
15	14	13	12	11	10	9	8
LUT1 アドレス FEh 青データビット 7-0							
7	6	5	4	3	2	1	0

<b>LUT[3FAh] Look-Up Table 1 Address FEh Register 1</b>							
Address 603FAh		Default = 0000h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
LUT1 アドレス FEh 赤データビット 7-0							
7	6	5	4	3	2	1	0

LUT[3F8h] ビット 15-8 LUT1 アドレス FEh 緑データビット [7:0]  
 これらのビットは、ルックアップテーブル 1 アドレス FEh の緑データです。

LUT[3F8h] ビット 7-0 LUT1 アドレス FEh 青データビット [7:0]  
 これらのビットは、ルックアップテーブル 1 アドレス FEh の青データです。

LUT[3FAh] ビット 7-0 LUT1 アドレス FEh 赤データビット [7:0]  
 これらのビットは、ルックアップテーブル 1 アドレス FEh の赤データです。

<b>LUT[3FCh] Look-Up Table 1 Address FFh Register 0</b>							
Address 603FCh		Default = 0000h				Read/Write	
LUT1 アドレス FFh 緑データビット 7-0							
15	14	13	12	11	10	9	8
LUT1 アドレス FFh 青データビット 7-0							
7	6	5	4	3	2	1	0

<b>LUT[3FEh] Look-Up Table 1 Address FFh Register 1</b>							
Address 603FEh		Default = 0000h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
LUT1 アドレス FFh 赤データビット 7-0							
7	6	5	4	3	2	1	0

LUT[3FCh] ビット 15-8 LUT1 アドレス FFh 緑データビット [7:0]  
 これらのビットは、ルックアップテーブル 1 アドレス FFh の緑データです。

LUT[3FCh] ビット 7-0 LUT1 アドレス FFh 青データビット [7:0]  
 これらのビットは、ルックアップテーブル 1 アドレス FFh の青データです。

LUT[3FEh] ビット 7-0 LUT1 アドレス FFh 赤データビット [7:0]  
 これらのビットは、ルックアップテーブル 1 アドレス FFh の赤データです。

**LUT2: LUT[400h] ~ LUT[7FEh]**

<b>LUT[400h] Look-Up Table 2 Address 00h Register 0</b>							
Address 60400h    Default = 0000h							Read/Write
LUT2 アドレス 00h 緑データビット 7-0							
15	14	13	12	11	10	9	8
LUT2 アドレス 00h 青データビット 7-0							
7	6	5	4	3	2	1	0

<b>LUT[402h] Look-Up Table 2 Address 00h Register 1</b>							
Address 60402h    Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
LUT2 アドレス 00h 赤データビット 7-0							
7	6	5	4	3	2	1	0

LUT[400h] ビット 15-8 LUT2 アドレス 00h 緑データビット [7:0]

これらのビットは、ルックアップテーブル 2 アドレス 00h の緑データです。

LUT[400h] ビット 7-0 LUT2 アドレス 00h 青データビット [7:0]

これらのビットは、ルックアップテーブル 2 アドレス 00h の青データです。

LUT[402h] ビット 7-0 LUT2 アドレス 00h 赤データビット [7:0]

これらのビットは、ルックアップテーブル 2 アドレス 00h の赤データです。

<b>LUT[404h] Look-Up Table 2 Address 01h Register 0</b>							
Address 60404h    Default = 0000h							Read/Write
LUT2 アドレス 01h 緑データビット 7-0							
15	14	13	12	11	10	9	8
LUT2 アドレス 01h 青データビット 7-0							
7	6	5	4	3	2	1	0

<b>LUT[406h] Look-Up Table 2 Address 01h Register 1</b>							
Address 60406h    Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
LUT2 アドレス 01h 赤データビット 7-0							
7	6	5	4	3	2	1	0

LUT[404h] ビット 15-8 LUT2 アドレス 01h 緑データビット [7:0]

これらのビットは、ルックアップテーブル 2 アドレス 01h の緑データです。

LUT[404h] ビット 7-0 LUT2 アドレス 01h 青データビット [7:0]

これらのビットは、ルックアップテーブル 2 アドレス 01h の青データです。

LUT[406h] ビット 7-0 LUT2 アドレス 01h 赤データビット [7:0]

これらのビットは、ルックアップテーブル 2 アドレス 01h の赤データです。



LUT[7F8h] Look-Up Table 2 Address FEh Register 0							
Address 607F8h		Default = 0000h				Read/Write	
			LUT2 アドレス FEh 緑データビット 7-0				
15	14	13	12	11	10	9	8
			LUT2 アドレス FEh 青データビット 7-0				
7	6	5	4	3	2	1	0

LUT[7FAh] Look-Up Table 2 Address FEh Register 1							
Address 607FAh		Default = 0000h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
			LUT2 アドレス FEh 赤データビット 7-0				
7	6	5	4	3	2	1	0

LUT[7F8h] ビット 15-8 LUT2 アドレス FEh 緑データビット [7:0]  
これらのビットは、ルックアップテーブル 2 アドレス FEh の緑データです。

LUT[7F8h] ビット 7-0 LUT2 アドレス FEh 青データビット [7:0]  
これらのビットは、ルックアップテーブル 2 アドレス FEh の青データです。

LUT[7FAh] ビット 7-0 LUT2 アドレス FEh 赤データビット [7:0]  
これらのビットは、ルックアップテーブル 2 アドレス FEh の赤データです。

LUT[7FCh] Look-Up Table 2 Address FFh Register 0							
Address 607FCh		Default = 0000h				Read/Write	
			LUT2 アドレス FFh 緑データビット 7-0				
15	14	13	12	11	10	9	8
			LUT2 アドレス FFh 青データビット 7-0				
7	6	5	4	3	2	1	0

LUT[7FEh] Look-Up Table 2 Address FFh Register 1							
Address 607FEh		Default = 0000h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
			LUT2 アドレス FFh 赤データビット 7-0				
7	6	5	4	3	2	1	0

LUT[7FCh] ビット 15-8 LUT2 アドレス FFh 緑データビット [7:0]  
これらのビットは、ルックアップテーブル 2 アドレス FFh の緑データです。

LUT[7FCh] ビット 7-0 LUT2 アドレス FFh 青データビット [7:0]  
これらのビットは、ルックアップテーブル 2 アドレス FFh の青データです。

LUT[7FEh] ビット 7-0 LUT2 アドレス FFh 赤データビット [7:0]  
これらのビットは、ルックアップテーブル 2 アドレス FFh の赤データです。

# 第 11 章 インダイレクト及びシリアルホストインタフェースシーケンス

## 11.1 インダイレクトインタフェース

インダイレクトインタフェースは、データをリードまたはライトする前に、アドレスを設定してください。メモリ、LUT、レジスタのどのアクセスにおいてもバースト転送され、アドレスは自動的に加算されます。メモリ、LUT、レジスタの境界は存在しません(「第 6 章 内蔵メモリ (16 ページ)」参照)。矩形リード/ライトはサポートしていません。

### 11.1.1 ライト方法

以下の図でシングル及びバーストライト方法の例を示します。例は、インダイレクト 16 ビットモード 1 とインダイレクト 8 ビットです。

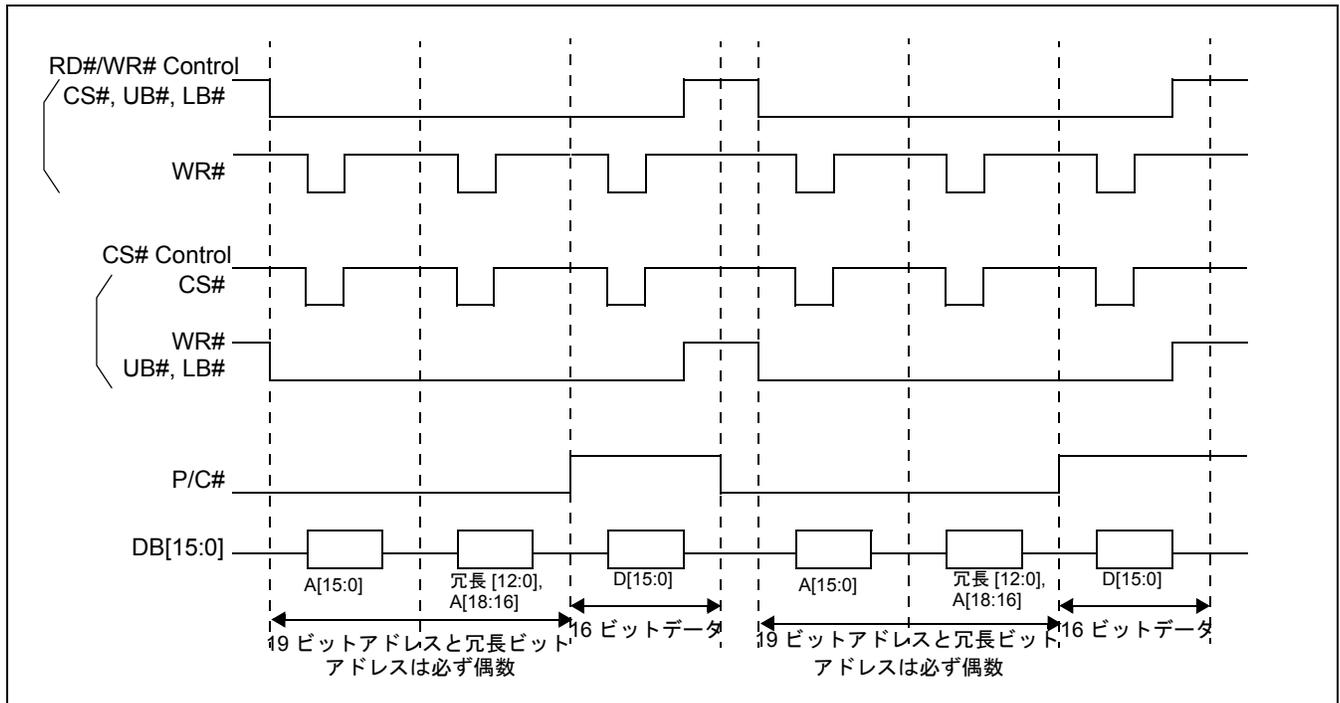


図 11-1: インダイレクト 16 ビットモード 1 シングルライトシーケンス例

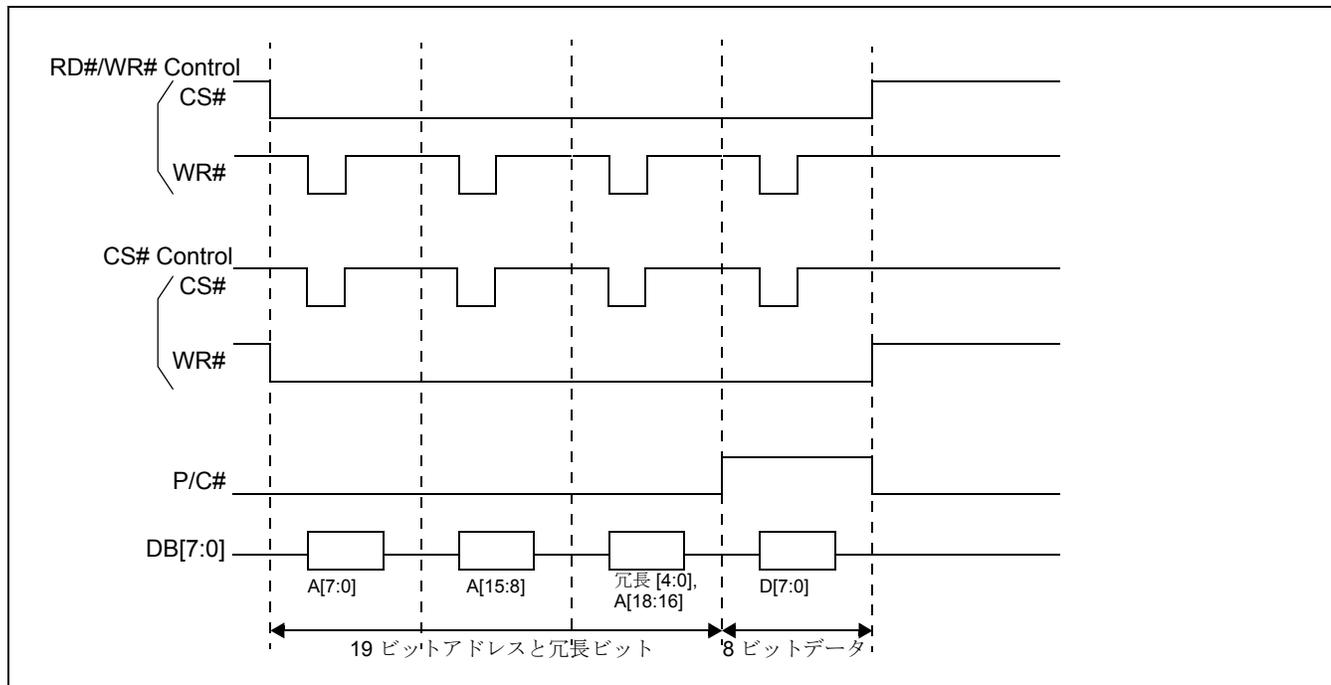


図 11-2: インダイレクト 8 ビットシングルライトシーケンス例

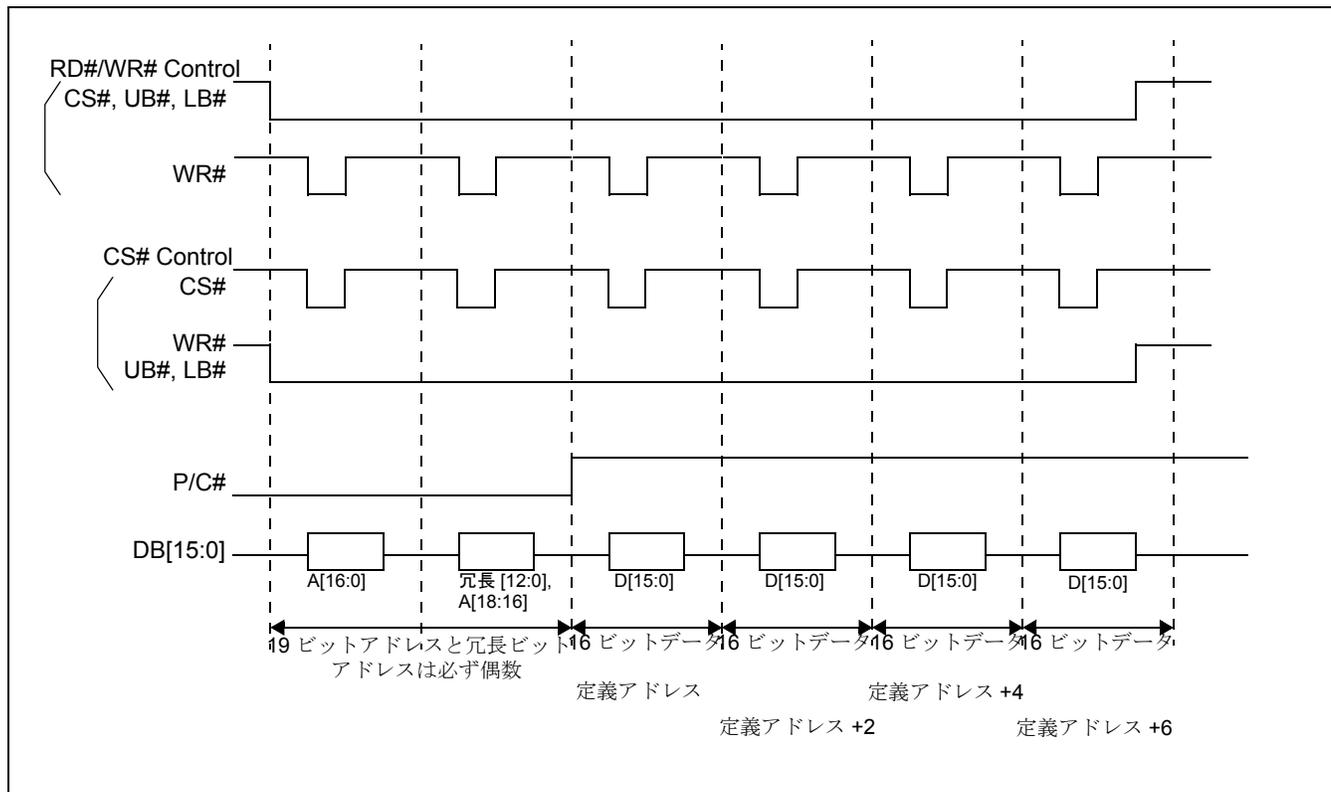


図 11-3: インダイレクト 16 ビットモード 1 パーストライトシーケンス例

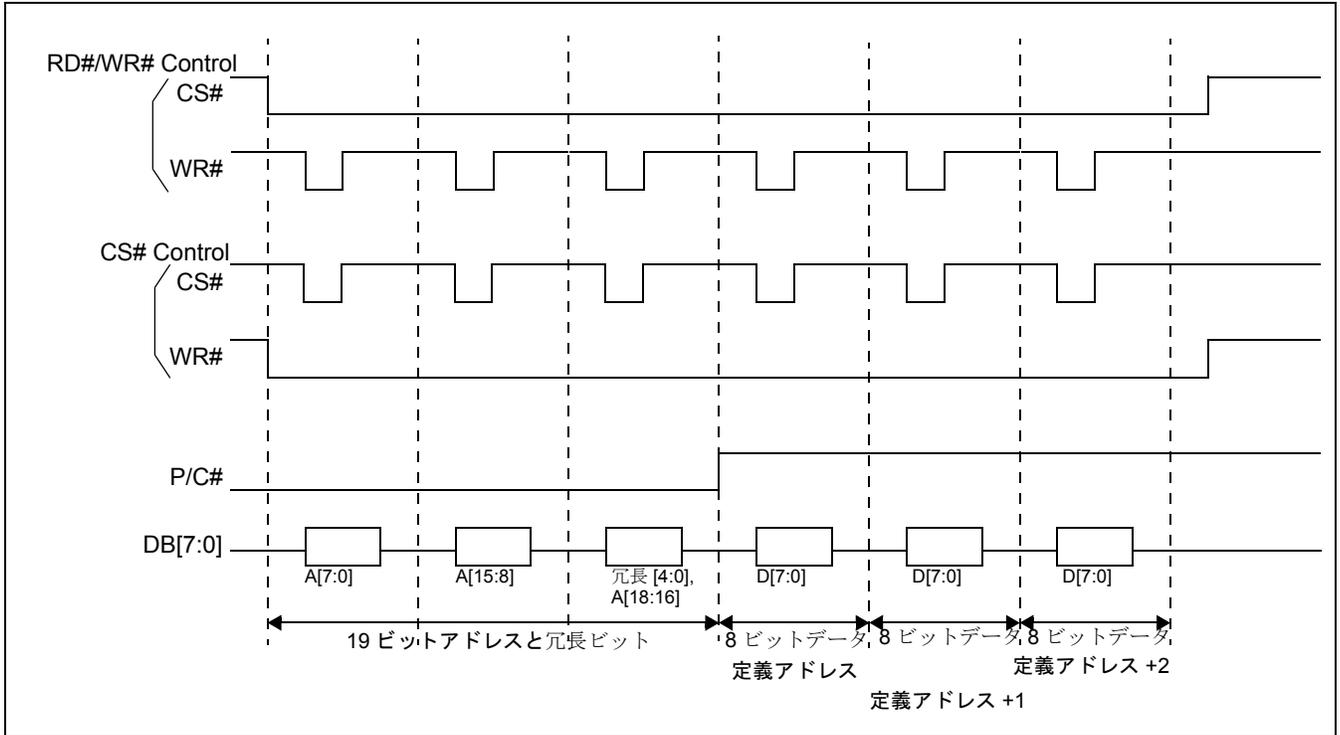


図 11-4: インダイレクト 8 ビットバーストライトシーケンス例

### 11.1.2 リード方法

以下の図でシングル及びバーストリード方法の例を示します。例は、インダイレクト 16 ビットモード 1 とインダイレクト 8 ビットです。

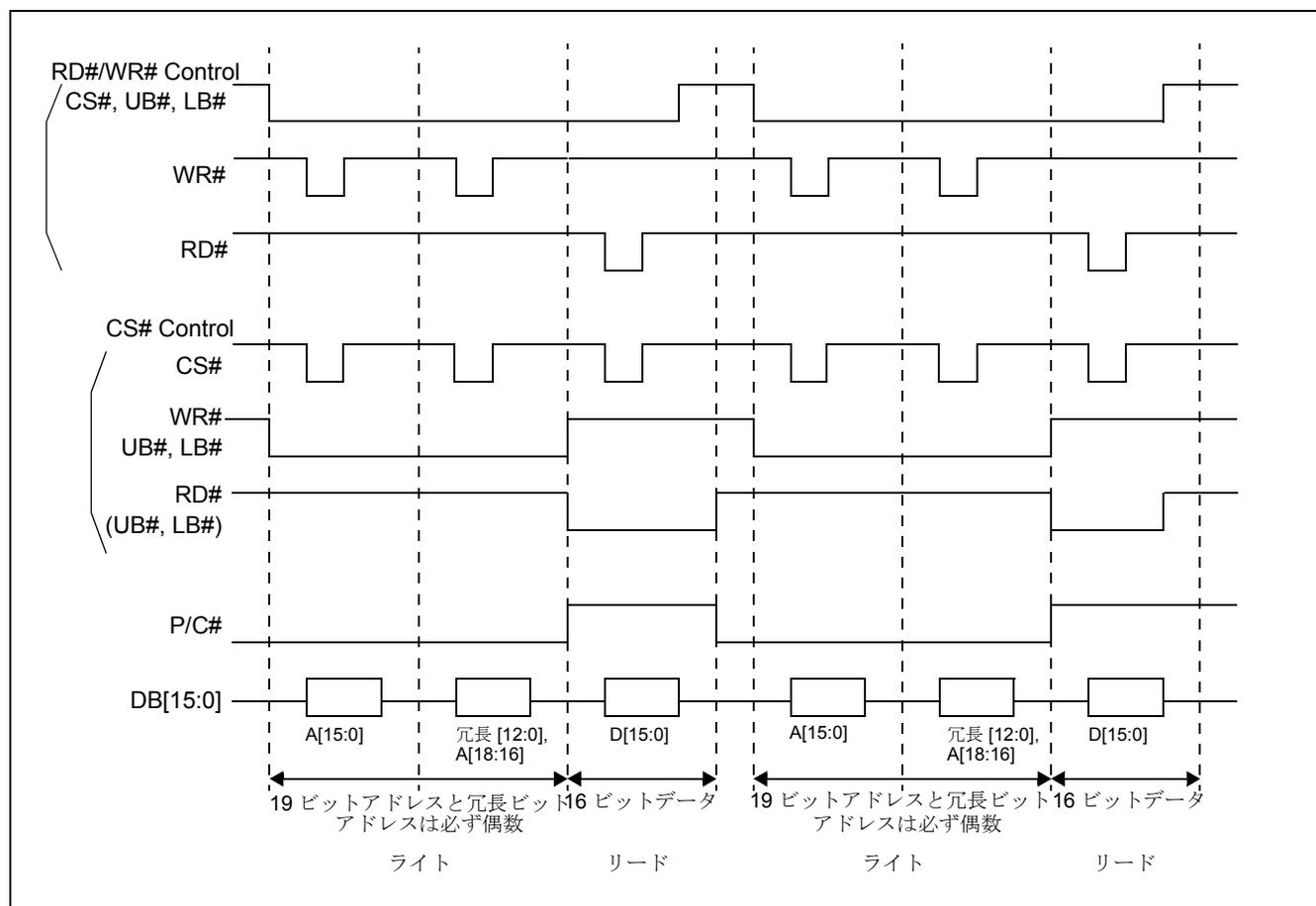


図 11-5: インダイレクト 16 ビットモード 1 シングルリードシーケンス例

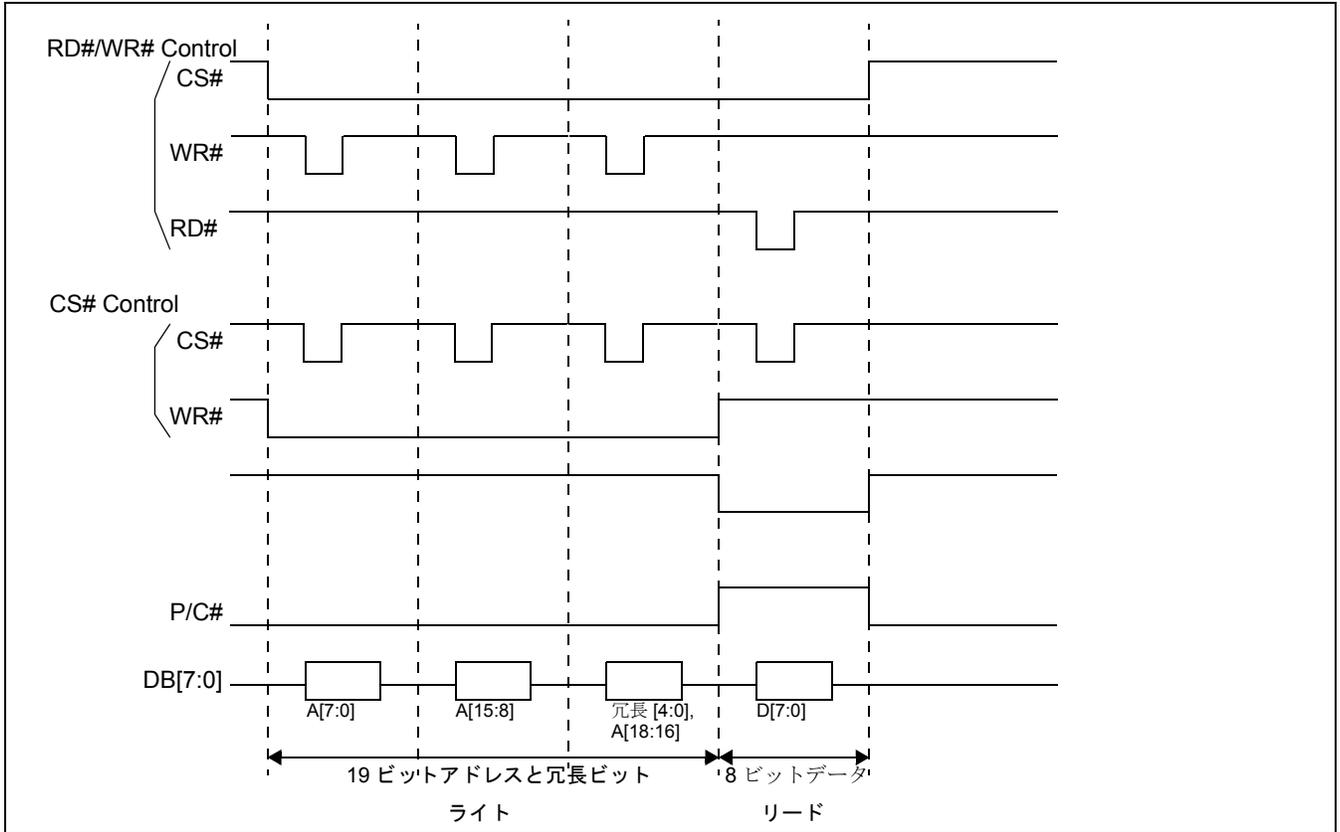


図 11-6: インダイレクト 8 ビットシングルリードシーケンス例

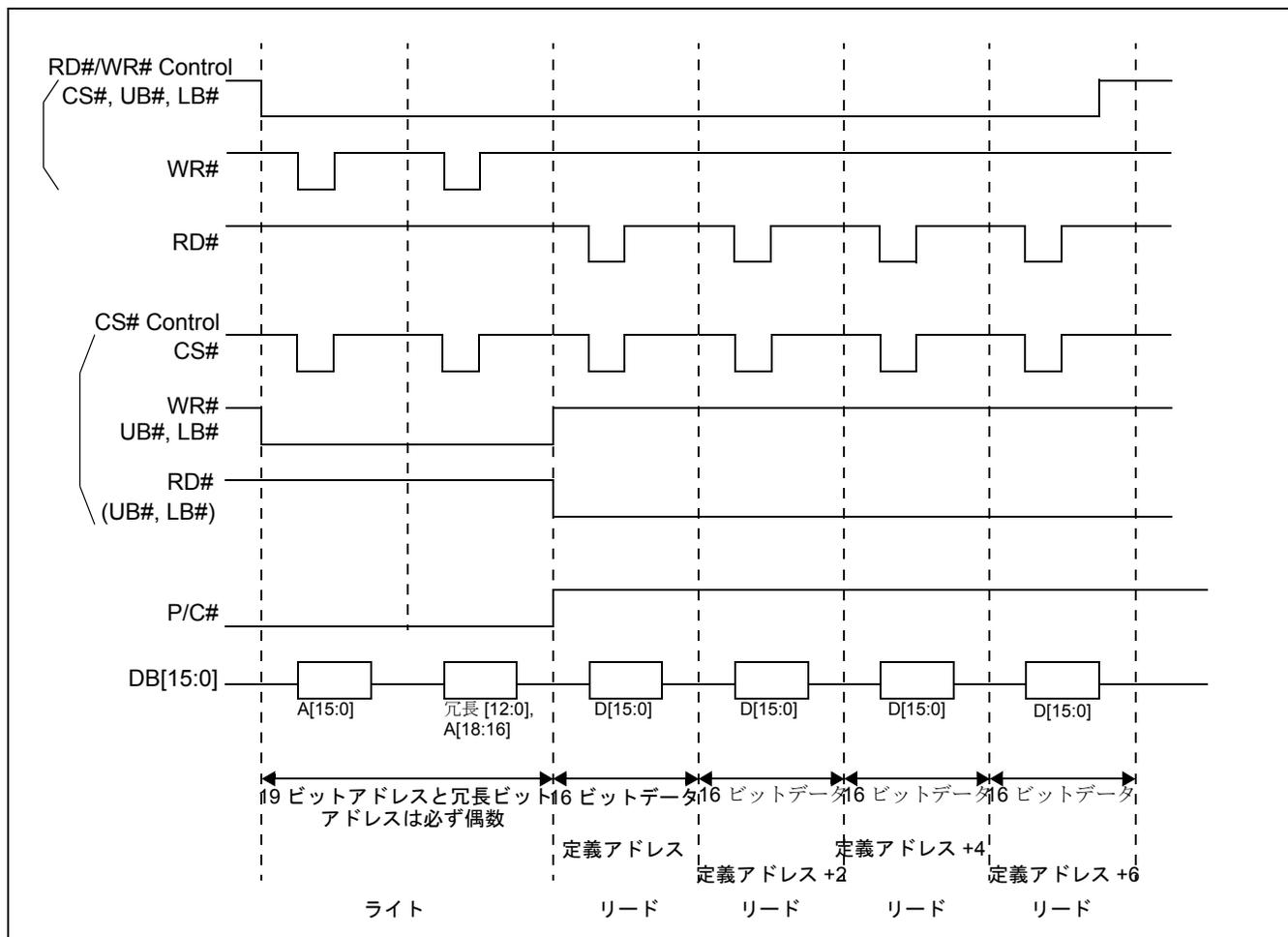


図 11-7: インダイレクト 16 ビットモード 1 バーストリードシーケンス例

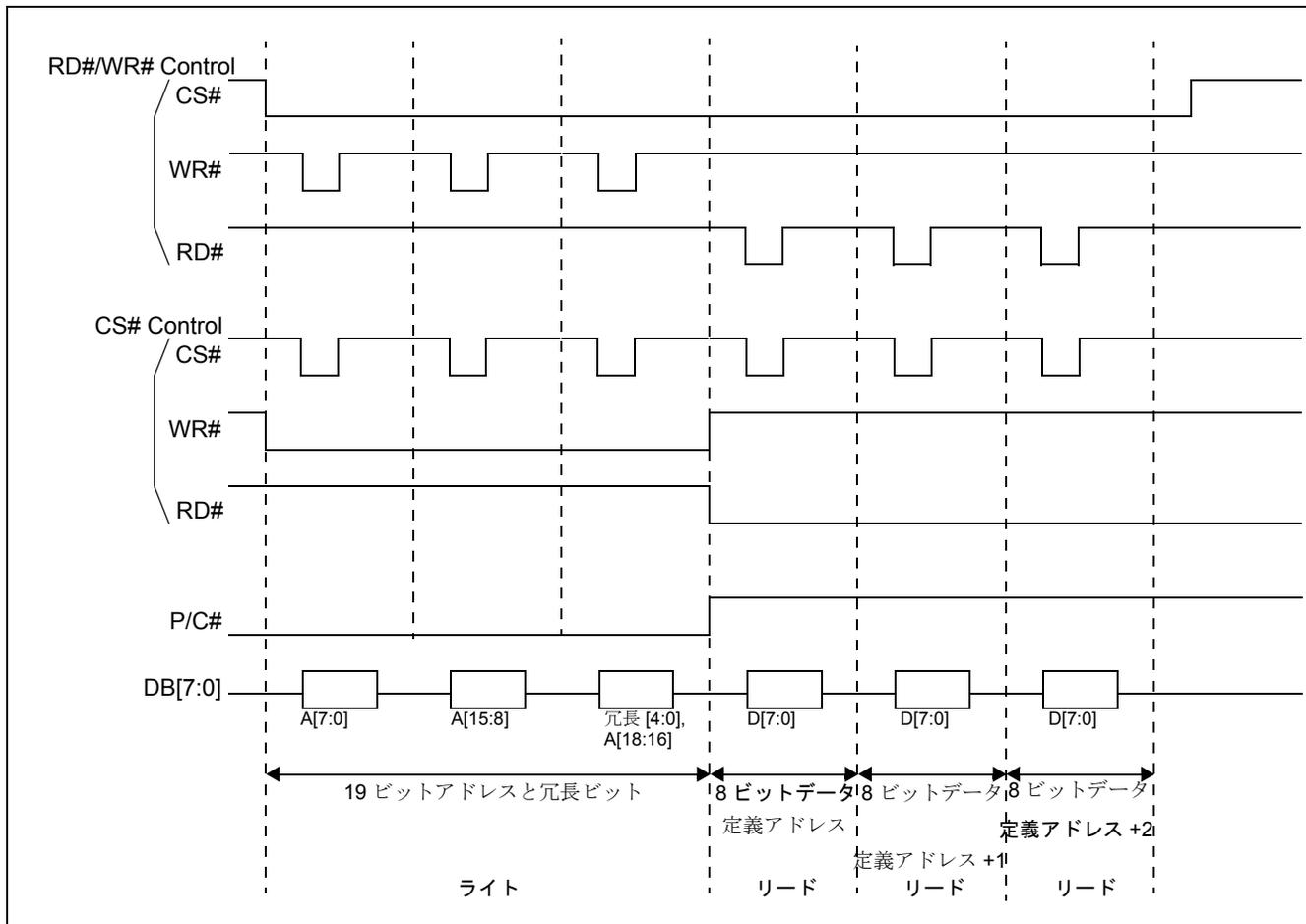


図 11-8: インダイレクト 8 ビットバーストリードシーケンス例

## 11.2 SPI

SPI ホストインタフェイスはモード 0 及びモード 3 をサポートしています。

モード 0 とモード 3 はクロックの立ち上がりエッジでデータをラッチし、クロックの立下りエッジでデータをシフトします。SCK のアイドルステートはモード 0 がロー、モード 3 がハイです。これはモード 0 は常にデータラッチから開始され、モード 3 はデータシフトから開始される事を意味します。モード 0 及び 3 のどちらの場合においても、MSB が先頭です。アクセスサイクルは、必ず SCS# の立下りエッジ後から始まります。アクセスサイクルが開始された時、第 1 バイトはコマンド、第 2 バイトは 5 ビットの冗長ビットと 3 ビットの上位アドレス、第 3 バイトは中位 8 ビットアドレス、第 4 ビットは下位 8 ビットアドレス、の順で転送してください。第 5 バイトから先は、第 1 バイトのコマンドによります。アクセスサイクルは、SCS# の立ち上がりエッジでブレイクします。

バーストアクセスの場合、アドレスは自動的に加算されます。

リードの場合、第 1 バイト (ワード) はダミーデータです。真の有効データは第 2 バイト (ワード) から出力されます。

コマンドとデータ (またはアドレス) のビット数が異なった場合、冗長データ (またはアドレス) ビットは無視されます。データ (またはアドレス) が不足の場合、アクセスサイクルは SCS# の立ち上がりによりブレイクされます。

16 ビットリード/ライトの時、アドレスは必ず偶数にしてください。

表 11-1: SPI 機能選択

コマンド	機能
10000000b	8 ビットライト
11000000b	8 ビットリード
10001000b	16 ビットライト
11001000b	16 ビットリード
その他	リザーブ

### 11.2.1 ライト方法



図 11-9: SPI8 ビットライトシーケンス例 ライト N バイト (N は 1 以上)



図 11-10: SPI16 ビットライトシーケンス例 ライト N ワード (N は 1 以上)

### 11.2.2 リード方法

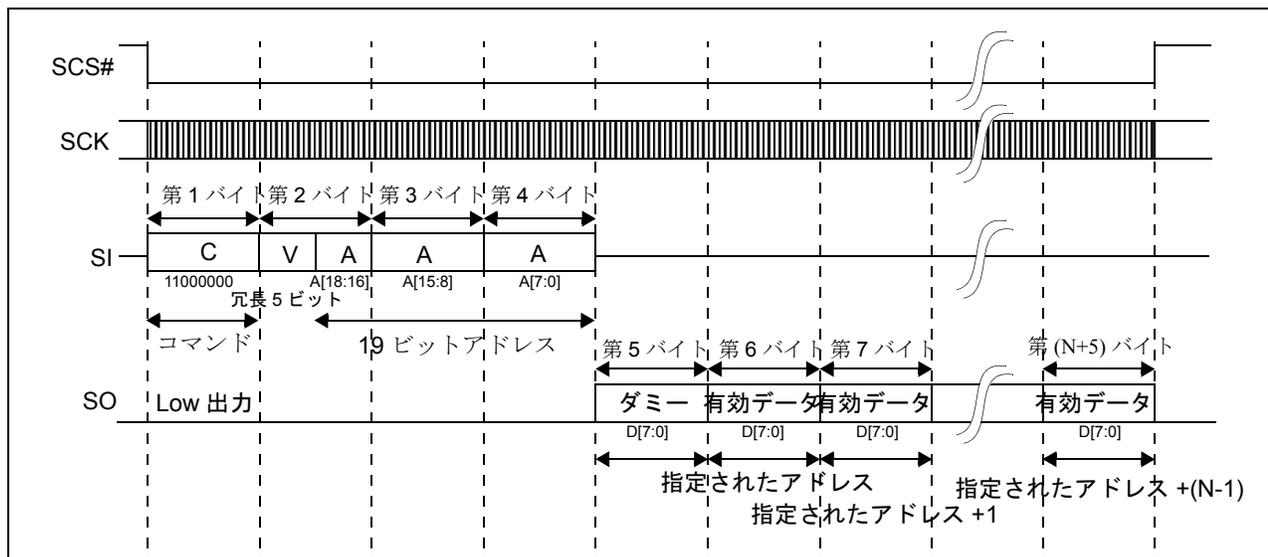


図 11-11: SPI8 ビットリードシーケンス例 リード N バイト (N は 1 以上)

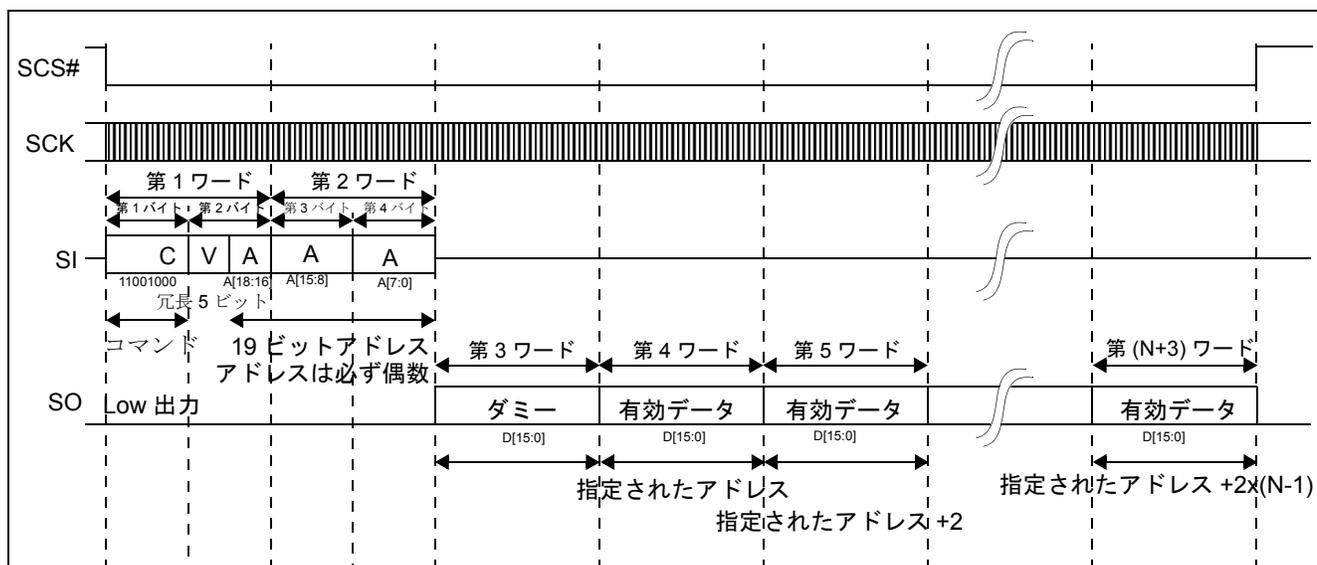


図 11-12: SPI16 ビットリードシーケンス例 リード N ワード (N は 1 以上)

## 第 12 章 イメージデータフォーマット

### 12.1 ホストインタフェイス用のイメージデータフォーマット

以下の章において、ホストインタフェイス用の表示データフォーマットを示します。メイン及び PIP レイヤの表示開始アドレスは、必ず 32 ビットアライメントを守り AB[1:0]=00b としてください。

#### 12.1.1 RGB8:8:8 データフォーマット

ホストからの入力データが RGB8:8:8 データフォーマットである時、目的レイヤ (メインまたは PIP) は RGB8:8:8(REG[40h] ビット 2-0=000b または REG[50h] ビット 2-0=000b) に設定しなければなりません。

表 12-1: 16 ビットホストインタフェイス用 RGB8:8:8 データフォーマット

サイクル	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	$G_n^7$	$G_n^6$	$G_n^5$	$G_n^4$	$G_n^3$	$G_n^2$	$G_n^1$	$G_n^0$	$B_n^7$	$B_n^6$	$B_n^5$	$B_n^4$	$B_n^3$	$B_n^2$	$B_n^1$	$B_n^0$
m+1	$B_{n+1}^7$	$B_{n+1}^6$	$B_{n+1}^5$	$B_{n+1}^4$	$B_{n+1}^3$	$B_{n+1}^2$	$B_{n+1}^1$	$B_{n+1}^0$	$R_n^7$	$R_n^6$	$R_n^5$	$R_n^4$	$R_n^3$	$R_n^2$	$R_n^1$	$R_n^0$
m+2	$R_{n+1}^7$	$R_{n+1}^6$	$R_{n+1}^5$	$R_{n+1}^4$	$R_{n+1}^3$	$R_{n+1}^2$	$R_{n+1}^1$	$R_{n+1}^0$	$G_{n+1}^7$	$G_{n+1}^6$	$G_{n+1}^5$	$G_{n+1}^4$	$G_{n+1}^3$	$G_{n+1}^2$	$G_{n+1}^1$	$G_{n+1}^0$

表 12-2: 8 ビットホストインタフェイス用 RGB8:8:8 データフォーマット

サイクル	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	$B_n^7$	$B_n^6$	$B_n^5$	$B_n^4$	$B_n^3$	$B_n^2$	$B_n^1$	$B_n^0$
m+1	$G_n^7$	$G_n^6$	$G_n^5$	$G_n^4$	$G_n^3$	$G_n^2$	$G_n^1$	$G_n^0$
m+2	$R_n^7$	$R_n^6$	$R_n^5$	$R_n^4$	$R_n^3$	$R_n^2$	$R_n^1$	$R_n^0$
m+3	$B_{n+1}^7$	$B_{n+1}^6$	$B_{n+1}^5$	$B_{n+1}^4$	$B_{n+1}^3$	$B_{n+1}^2$	$B_{n+1}^1$	$B_{n+1}^0$
m+4	$G_{n+1}^7$	$G_{n+1}^6$	$G_{n+1}^5$	$G_{n+1}^4$	$G_{n+1}^3$	$G_{n+1}^2$	$G_{n+1}^1$	$G_{n+1}^0$
m+5	$R_{n+1}^7$	$R_{n+1}^6$	$R_{n+1}^5$	$R_{n+1}^4$	$R_{n+1}^3$	$R_{n+1}^2$	$R_{n+1}^1$	$R_{n+1}^0$

### 12.1.2 RGB5:6:5 データフォーマット

ホストからの入力データが RGB5:6:5 データフォーマットである時、目的レイヤ (メインまたは PIP) は RGB5:6:5(REG[40h] ビット 2-0=001b または REG[50h] ビット 2-0=001b) に設定しなければなりません。

表 12-3: 16 ビットホストインタフェース用 RGB5:6:5 データフォーマット

サイクル	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	$R_n^4$	$R_n^3$	$R_n^2$	$R_n^1$	$R_n^0$	$G_n^5$	$G_n^4$	$G_n^3$	$G_n^2$	$G_n^1$	$G_n^0$	$B_n^4$	$B_n^3$	$B_n^2$	$B_n^1$	$B_n^0$
m+1	$R_{n+1}^4$	$R_{n+1}^3$	$R_{n+1}^2$	$R_{n+1}^1$	$R_{n+1}^0$	$G_{n+1}^5$	$G_{n+1}^4$	$G_{n+1}^3$	$G_{n+1}^2$	$G_{n+1}^1$	$G_{n+1}^0$	$B_{n+1}^4$	$B_{n+1}^3$	$B_{n+1}^2$	$B_{n+1}^1$	$B_{n+1}^0$
m+2	$R_{n+2}^4$	$R_{n+2}^3$	$R_{n+2}^2$	$R_{n+2}^1$	$R_{n+2}^0$	$G_{n+2}^5$	$G_{n+2}^4$	$G_{n+2}^3$	$G_{n+2}^2$	$G_{n+2}^1$	$G_{n+2}^0$	$B_{n+2}^4$	$B_{n+2}^3$	$B_{n+2}^2$	$B_{n+2}^1$	$B_{n+2}^0$

表 12-4: 8 ビットホストインタフェース用 RGB5:6:5 データフォーマット

サイクル	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	$G_n^2$	$G_n^1$	$G_n^0$	$B_n^4$	$B_n^3$	$B_n^2$	$B_n^1$	$B_n^0$
m+1	$R_n^4$	$R_n^3$	$R_n^2$	$R_n^1$	$R_n^0$	$G_n^5$	$G_n^4$	$G_n^3$
m+2	$G_{n+1}^2$	$G_{n+1}^1$	$G_{n+1}^0$	$B_{n+1}^4$	$B_{n+1}^3$	$B_{n+1}^2$	$B_{n+1}^1$	$B_{n+1}^0$
m+3	$R_{n+1}^4$	$R_{n+1}^3$	$R_{n+1}^2$	$R_{n+1}^1$	$R_{n+1}^0$	$G_{n+1}^5$	$G_{n+1}^4$	$G_{n+1}^3$

### 12.1.3 24bpp+LUT データフォーマット

ホストからの入力データが 24bpp+LUT フォーマットである時、目的レイヤ (メインまたは PIP) は 24bpp+LUTx(REG[40h] ビット 2-0=100b または REG[50h] ビット 2-0=100b) に設定しなければなりません。

表 12-5: 16 ビットホストインタフェイス用 24bpp+LUT データフォーマット

サイクル	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	LG <sub>n</sub> <sup>7</sup>	LG <sub>n</sub> <sup>6</sup>	LG <sub>n</sub> <sup>5</sup>	LG <sub>n</sub> <sup>4</sup>	LG <sub>n</sub> <sup>3</sup>	LG <sub>n</sub> <sup>2</sup>	LG <sub>n</sub> <sup>1</sup>	LG <sub>n</sub> <sup>0</sup>	LB <sub>n</sub> <sup>7</sup>	LB <sub>n</sub> <sup>6</sup>	LB <sub>n</sub> <sup>5</sup>	LB <sub>n</sub> <sup>4</sup>	LB <sub>n</sub> <sup>3</sup>	LB <sub>n</sub> <sup>2</sup>	LB <sub>n</sub> <sup>1</sup>	LB <sub>n</sub> <sup>0</sup>
m+1	LB <sub>n+1</sub> <sup>7</sup>	LB <sub>n+1</sub> <sup>6</sup>	LB <sub>n+1</sub> <sup>5</sup>	LB <sub>n+1</sub> <sup>4</sup>	LB <sub>n+1</sub> <sup>3</sup>	LB <sub>n+1</sub> <sup>2</sup>	LB <sub>n+1</sub> <sup>1</sup>	LB <sub>n+1</sub> <sup>0</sup>	LR <sub>n</sub> <sup>7</sup>	LR <sub>n</sub> <sup>6</sup>	LR <sub>n</sub> <sup>5</sup>	LR <sub>n</sub> <sup>4</sup>	LR <sub>n</sub> <sup>3</sup>	LR <sub>n</sub> <sup>2</sup>	LR <sub>n</sub> <sup>1</sup>	LR <sub>n</sub> <sup>0</sup>
m+2	LR <sub>n+1</sub> <sup>7</sup>	LR <sub>n+1</sub> <sup>6</sup>	LR <sub>n+1</sub> <sup>5</sup>	LR <sub>n+1</sub> <sup>4</sup>	LR <sub>n+1</sub> <sup>3</sup>	LR <sub>n+1</sub> <sup>2</sup>	LR <sub>n+1</sub> <sup>1</sup>	LR <sub>n+1</sub> <sup>0</sup>	LG <sub>n+1</sub> <sup>7</sup>	LG <sub>n+1</sub> <sup>6</sup>	LG <sub>n+1</sub> <sup>5</sup>	LG <sub>n+1</sub> <sup>4</sup>	LG <sub>n+1</sub> <sup>3</sup>	LG <sub>n+1</sub> <sup>2</sup>	LG <sub>n+1</sub> <sup>1</sup>	LG <sub>n+1</sub> <sup>0</sup>

表 12-6: 8 ビットホストインタフェイス用 24bpp+LUT データフォーマット

サイクル	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	LB <sub>n</sub> <sup>7</sup>	LB <sub>n</sub> <sup>6</sup>	LB <sub>n</sub> <sup>5</sup>	LB <sub>n</sub> <sup>4</sup>	LB <sub>n</sub> <sup>3</sup>	LB <sub>n</sub> <sup>2</sup>	LB <sub>n</sub> <sup>1</sup>	LB <sub>n</sub> <sup>0</sup>
m+1	LG <sub>n</sub> <sup>7</sup>	LG <sub>n</sub> <sup>6</sup>	LG <sub>n</sub> <sup>5</sup>	LG <sub>n</sub> <sup>4</sup>	LG <sub>n</sub> <sup>3</sup>	LG <sub>n</sub> <sup>2</sup>	LG <sub>n</sub> <sup>1</sup>	LG <sub>n</sub> <sup>0</sup>
m+2	LR <sub>n</sub> <sup>7</sup>	LR <sub>n</sub> <sup>6</sup>	LR <sub>n</sub> <sup>5</sup>	LR <sub>n</sub> <sup>4</sup>	LR <sub>n</sub> <sup>3</sup>	LR <sub>n</sub> <sup>2</sup>	LR <sub>n</sub> <sup>1</sup>	LR <sub>n</sub> <sup>0</sup>
m+3	LB <sub>n+1</sub> <sup>7</sup>	LB <sub>n+1</sub> <sup>6</sup>	LB <sub>n+1</sub> <sup>5</sup>	LB <sub>n+1</sub> <sup>4</sup>	LB <sub>n+1</sub> <sup>3</sup>	LB <sub>n+1</sub> <sup>2</sup>	LB <sub>n+1</sub> <sup>1</sup>	LB <sub>n+1</sub> <sup>0</sup>
m+4	LG <sub>n+1</sub> <sup>7</sup>	LG <sub>n+1</sub> <sup>6</sup>	LG <sub>n+1</sub> <sup>5</sup>	LG <sub>n+1</sub> <sup>4</sup>	LG <sub>n+1</sub> <sup>3</sup>	LG <sub>n+1</sub> <sup>2</sup>	LG <sub>n+1</sub> <sup>1</sup>	LG <sub>n+1</sub> <sup>0</sup>
m+5	LR <sub>n+1</sub> <sup>7</sup>	LR <sub>n+1</sub> <sup>6</sup>	LR <sub>n+1</sub> <sup>5</sup>	LR <sub>n+1</sub> <sup>4</sup>	LR <sub>n+1</sub> <sup>3</sup>	LR <sub>n+1</sub> <sup>2</sup>	LR <sub>n+1</sub> <sup>1</sup>	LR <sub>n+1</sub> <sup>0</sup>

### 12.1.4 16bpp+LUT データフォーマット

ホストからの入力データが 16bpp+LUT フォーマットである時、目的レイヤ (メインまたは PIP) は 16bpp+LUTx(REG[40h] ビット 2-0=101b または REG[50h] ビット 2-0=101b) に設定しなければなりません。

表 12-7: 16 ビットホストインタフェイス用 16bpp+LUT データフォーマット

サイクル	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	LR <sub>n</sub> <sup>4</sup>	LR <sub>n</sub> <sup>3</sup>	LR <sub>n</sub> <sup>2</sup>	LR <sub>n</sub> <sup>1</sup>	LR <sub>n</sub> <sup>0</sup>	LG <sub>n</sub> <sup>5</sup>	LG <sub>n</sub> <sup>4</sup>	LG <sub>n</sub> <sup>3</sup>	LG <sub>n</sub> <sup>2</sup>	LG <sub>n</sub> <sup>1</sup>	LG <sub>n</sub> <sup>0</sup>	LB <sub>n</sub> <sup>4</sup>	LB <sub>n</sub> <sup>3</sup>	LB <sub>n</sub> <sup>2</sup>	LB <sub>n</sub> <sup>1</sup>	LB <sub>n</sub> <sup>0</sup>
m+1	LR <sub>n+1</sub> <sup>4</sup>	LR <sub>n+1</sub> <sup>3</sup>	LR <sub>n+1</sub> <sup>2</sup>	LR <sub>n+1</sub> <sup>1</sup>	LR <sub>n+1</sub> <sup>0</sup>	LG <sub>n+1</sub> <sup>5</sup>	LG <sub>n+1</sub> <sup>4</sup>	LG <sub>n+1</sub> <sup>3</sup>	LG <sub>n+1</sub> <sup>2</sup>	LG <sub>n+1</sub> <sup>1</sup>	LG <sub>n+1</sub> <sup>0</sup>	LB <sub>n+1</sub> <sup>4</sup>	LB <sub>n+1</sub> <sup>3</sup>	LB <sub>n+1</sub> <sup>2</sup>	LB <sub>n+1</sub> <sup>1</sup>	LB <sub>n+1</sub> <sup>0</sup>
m+2	LR <sub>n+2</sub> <sup>4</sup>	LR <sub>n+2</sub> <sup>3</sup>	LR <sub>n+2</sub> <sup>2</sup>	LR <sub>n+2</sub> <sup>1</sup>	LR <sub>n+2</sub> <sup>0</sup>	LG <sub>n+2</sub> <sup>5</sup>	LG <sub>n+2</sub> <sup>4</sup>	LG <sub>n+2</sub> <sup>3</sup>	LG <sub>n+2</sub> <sup>2</sup>	LG <sub>n+2</sub> <sup>1</sup>	LG <sub>n+2</sub> <sup>0</sup>	LB <sub>n+2</sub> <sup>4</sup>	LB <sub>n+2</sub> <sup>3</sup>	LB <sub>n+2</sub> <sup>2</sup>	LB <sub>n+2</sub> <sup>1</sup>	LB <sub>n+2</sub> <sup>0</sup>

表 12-8: 8 ビットホストインタフェイス用 16bpp+LUT データフォーマット

サイクル	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	LG <sub>n</sub> <sup>2</sup>	LG <sub>n</sub> <sup>1</sup>	LG <sub>n</sub> <sup>0</sup>	LB <sub>n</sub> <sup>4</sup>	LB <sub>n</sub> <sup>3</sup>	LB <sub>n</sub> <sup>2</sup>	LB <sub>n</sub> <sup>1</sup>	LB <sub>n</sub> <sup>0</sup>
m+1	LR <sub>n</sub> <sup>4</sup>	LR <sub>n</sub> <sup>3</sup>	LR <sub>n</sub> <sup>2</sup>	LR <sub>n</sub> <sup>1</sup>	LR <sub>n</sub> <sup>0</sup>	LG <sub>n</sub> <sup>5</sup>	LG <sub>n</sub> <sup>4</sup>	LG <sub>n</sub> <sup>3</sup>
m+2	LG <sub>n+1</sub> <sup>2</sup>	LG <sub>n+1</sub> <sup>1</sup>	LG <sub>n+1</sub> <sup>0</sup>	LB <sub>n+1</sub> <sup>4</sup>	LB <sub>n+1</sub> <sup>3</sup>	LB <sub>n+1</sub> <sup>2</sup>	LB <sub>n+1</sub> <sup>1</sup>	LB <sub>n+1</sub> <sup>0</sup>
m+3	LR <sub>n+1</sub> <sup>4</sup>	LR <sub>n+1</sub> <sup>3</sup>	LR <sub>n+1</sub> <sup>2</sup>	LR <sub>n+1</sub> <sup>1</sup>	LR <sub>n+1</sub> <sup>0</sup>	LG <sub>n+1</sub> <sup>5</sup>	LG <sub>n+1</sub> <sup>4</sup>	LG <sub>n+1</sub> <sup>3</sup>

### 12.1.5 8bpp+LUT データフォーマット

ホストからの入力データが 8bpp+LUT フォーマットである時、目的レイヤ (メインまたは PIP) は 8bpp+LUTx(REG[40h]ビット 2-0=110b または REG[50h]ビット 2-0=110b) に設定しなければなりません。

表 12-9: 16 ビットホストインタフェース用 8bpp+LUT データフォーマット

サイクル	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	$LA_{n+1}^7$	$LA_{n+1}^6$	$LA_{n+1}^5$	$LA_{n+1}^4$	$LA_{n+1}^3$	$LA_{n+1}^2$	$LA_{n+1}^1$	$LA_{n+1}^0$	$LA_n^7$	$LA_n^6$	$LA_n^5$	$LA_n^4$	$LA_n^3$	$LA_n^2$	$LA_n^1$	$LA_n^0$
m+1	$LA_{n+3}^7$	$LA_{n+3}^6$	$LA_{n+3}^5$	$LA_{n+3}^4$	$LA_{n+3}^3$	$LA_{n+3}^2$	$LA_{n+3}^1$	$LA_{n+3}^0$	$LA_{n+2}^7$	$LA_{n+2}^6$	$LA_{n+2}^5$	$LA_{n+2}^4$	$LA_{n+2}^3$	$LA_{n+2}^2$	$LA_{n+2}^1$	$LA_{n+2}^0$
m+2	$LA_{n+5}^7$	$LA_{n+5}^6$	$LA_{n+5}^5$	$LA_{n+5}^4$	$LA_{n+5}^3$	$LA_{n+5}^2$	$LA_{n+5}^1$	$LA_{n+5}^0$	$LA_{n+4}^7$	$LA_{n+4}^6$	$LA_{n+4}^5$	$LA_{n+4}^4$	$LA_{n+4}^3$	$LA_{n+4}^2$	$LA_{n+4}^1$	$LA_{n+4}^0$

表 12-10: 8 ビットホストインタフェース用 8bpp+LUT データフォーマット

サイクル	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
m	$LA_n^7$	$LA_n^6$	$LA_n^5$	$LA_n^4$	$LA_n^3$	$LA_n^2$	$LA_n^1$	$LA_n^0$
m+1	$LA_{n+1}^7$	$LA_{n+1}^6$	$LA_{n+1}^5$	$LA_{n+1}^4$	$LA_{n+1}^3$	$LA_{n+1}^2$	$LA_{n+1}^1$	$LA_{n+1}^0$
m+2	$LA_{n+2}^7$	$LA_{n+2}^6$	$LA_{n+2}^5$	$LA_{n+2}^4$	$LA_{n+2}^3$	$LA_{n+2}^2$	$LA_{n+2}^1$	$LA_{n+2}^0$

## 12.2 データ拡張

VRAM とパネルインタフェース回路間において、データ拡張 (ビットカバー) が行われます。これは、MSB を LSB にコピーするようにして、データ幅が常に 24 ビットになるように行われます。

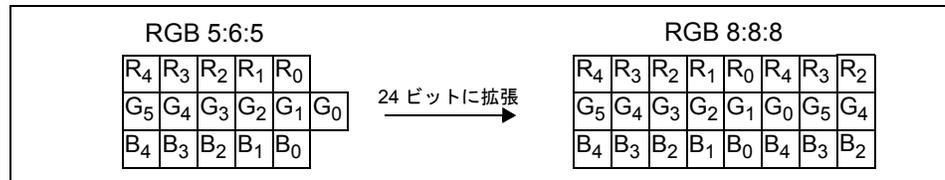


図 12-1: データイメージ

## 12.3 色深度

色深度を決定するためには、以下のレジスタの設定が必要です。REG[40h] Main Layer Setting Register( REG[50h] PIP Layer Setting Register) ビット 2-0 は、メモリ内のデータフォーマットと LUT 使用の可否を指定します。REG[20h] Panel Setting Miscellaneous Register ビット 3-0 はパネルデータのフォーマットを指定します。

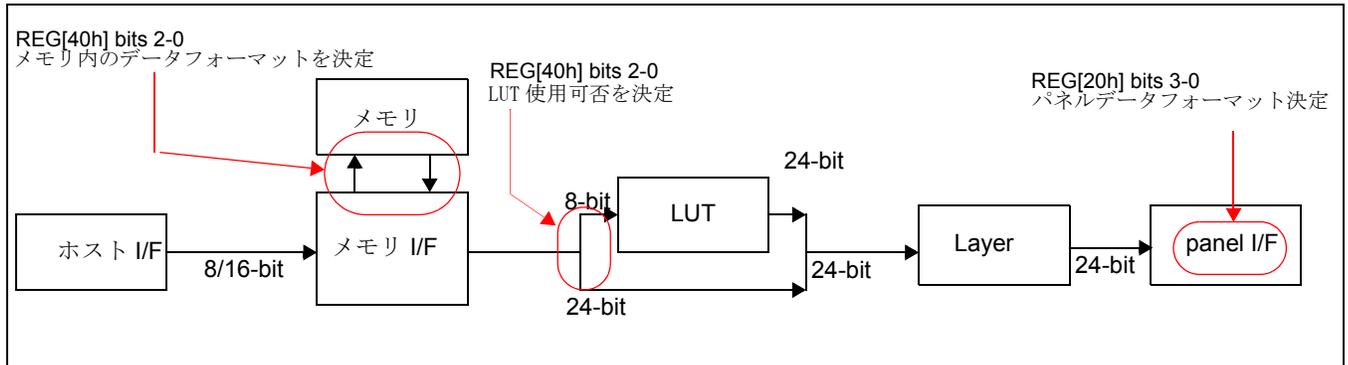


図 12-2: メインレイヤ用の色深度関連レジスタ

全てのイメージデータは 24 ビット (各色 8 ビット) として扱われます。各ロジックブロックにおいて、マスター側ロジックは 24 ビットで出力し、スレーブ側ロジックは MSB 側の必要なビットのみ使用します。例えば、メモリ内に RGB5:6:5 で格納されているデータも、メモリーインタフェースブロックからはマスター側ロジックとして 24 ビットで出力されます (詳細は「12.2 章 データ拡張 (92 ページ)」を参照)。REG[20h] Panel Setting Miscellaneous Register ビット 3-0 が TFT16 ビットパネルを選択している時、メモリ内に RGB8:8:8 で格納されているデータも、スレーブ側のパネルインタフェースロジックは MSB 側の RGB5:6:5 しか使用しません。

## 第 13 章 ルックアップテーブル様式

メイン及び PIP レイヤは様々な色深度に設定可能です ( 詳細は REG[40h] と REG[50h] を参照 )。いくつかの設定はルックアップテーブル (LUT) 様式を使用します。メインレイヤは LUT1、PIP レイヤは LUT2、それぞれ独立した LUT をサポートしています。

### 13.1 24bpp LUT

メインまたは PIP レイヤが 24bpp+LUTx(REG[40h] ビット 2-0=100b または REG[50h] ビット 2-0=100b) に設定された時、以下の LUT 様式が使用されます。

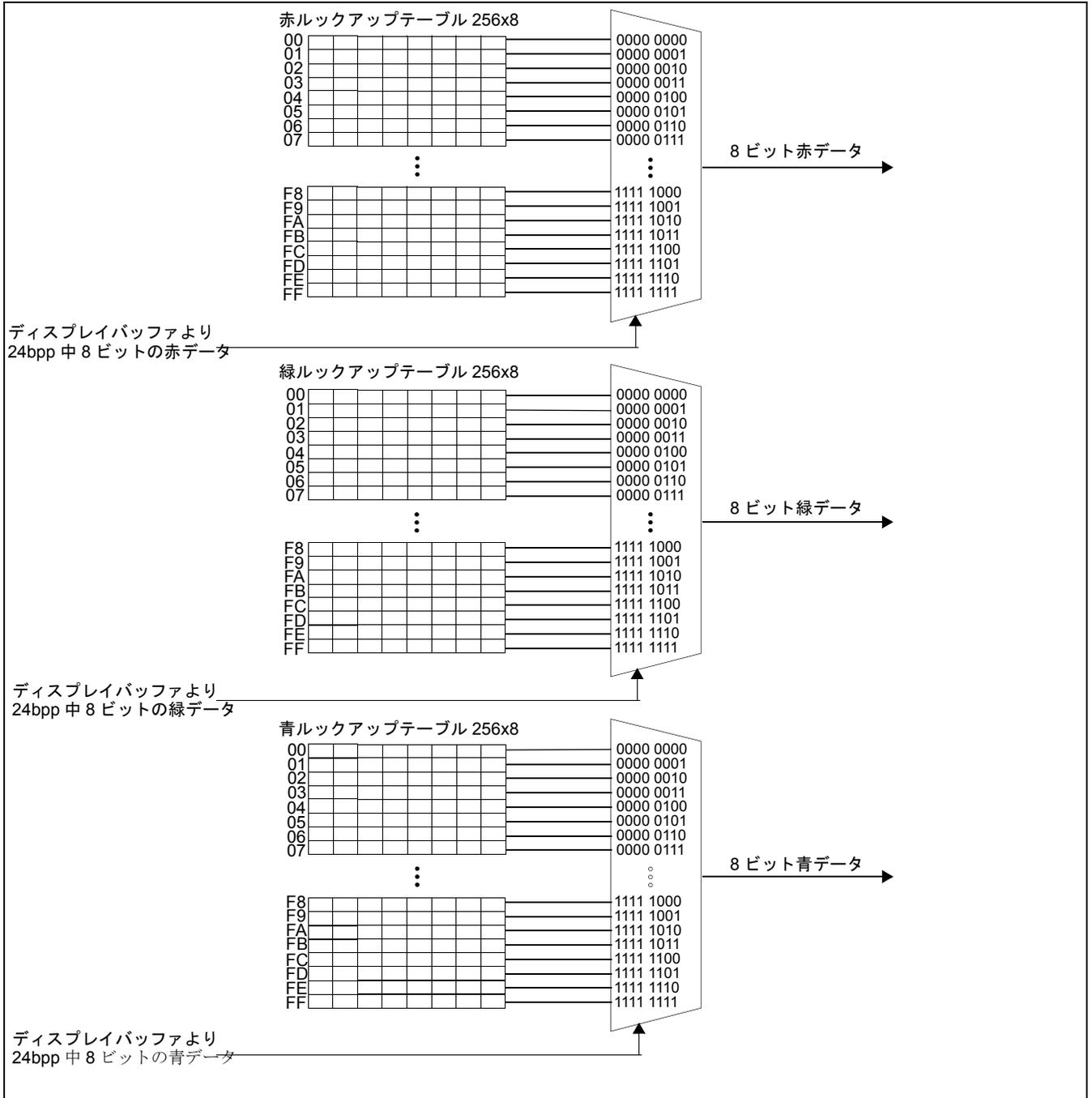


図 13-1: 24bpp LUT

## 13.2 16bpp LUT

メインまたは PIP レイヤが 16 bpp+LUTx(REG[40h] ビット 2-0=101b または REG[50h] ビット 2-0=101b) に設定された時、以下の LUT 様式が使用されます。

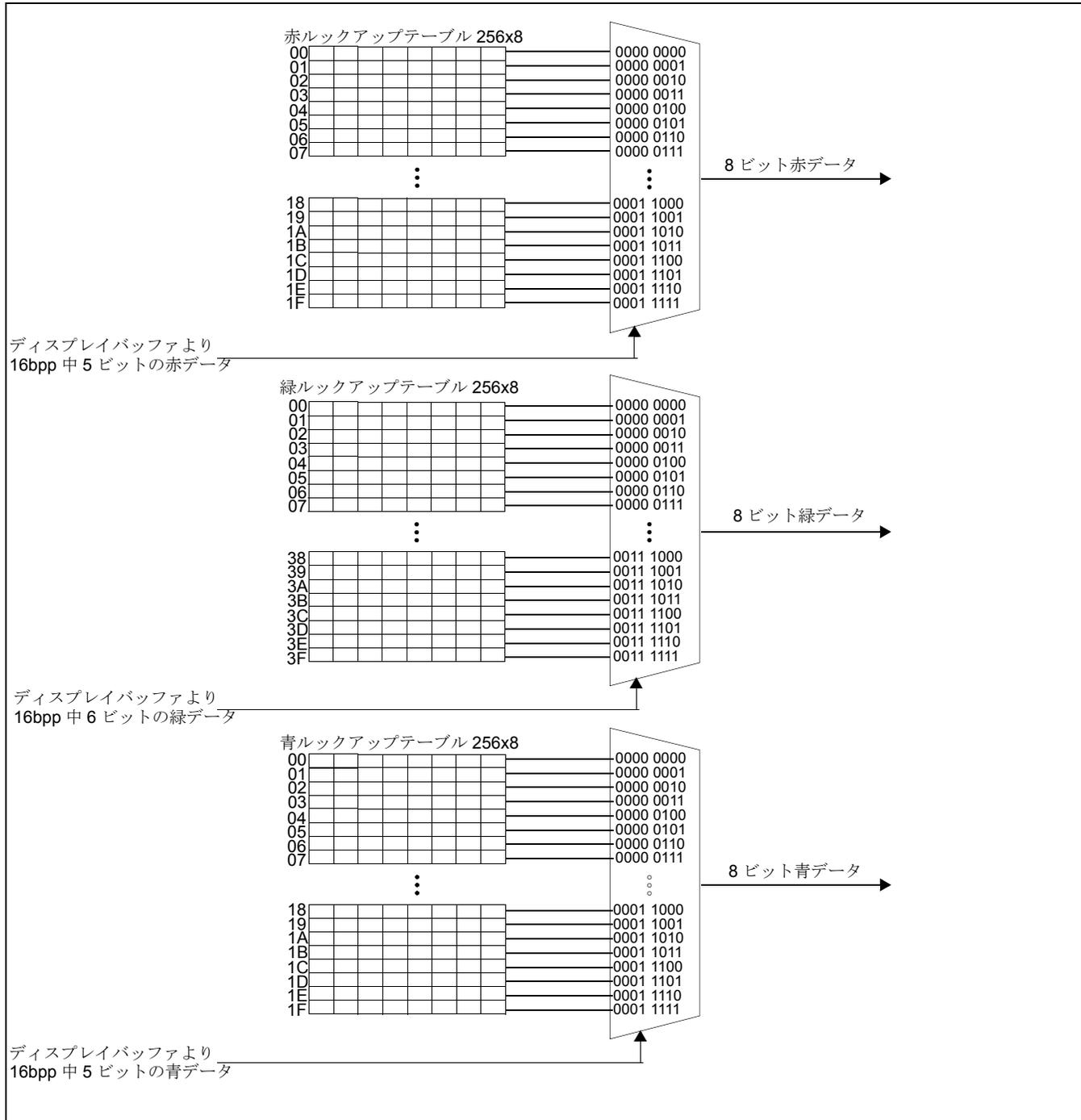


図 13-2: 16bpp LUT

### 13.3 カラーモード 8bpp LUT

S1D13L01 がモノクロ LCD パネルに設定 (REG[20h] ビット 3=1b) され、メインまたは PIP レイヤが 8bpp+LUTx(REG[40h] ビット 2-0=110b または REG[50h] ビット 2-0=110b) に設定された時、以下の LUT 様式が使用されます。

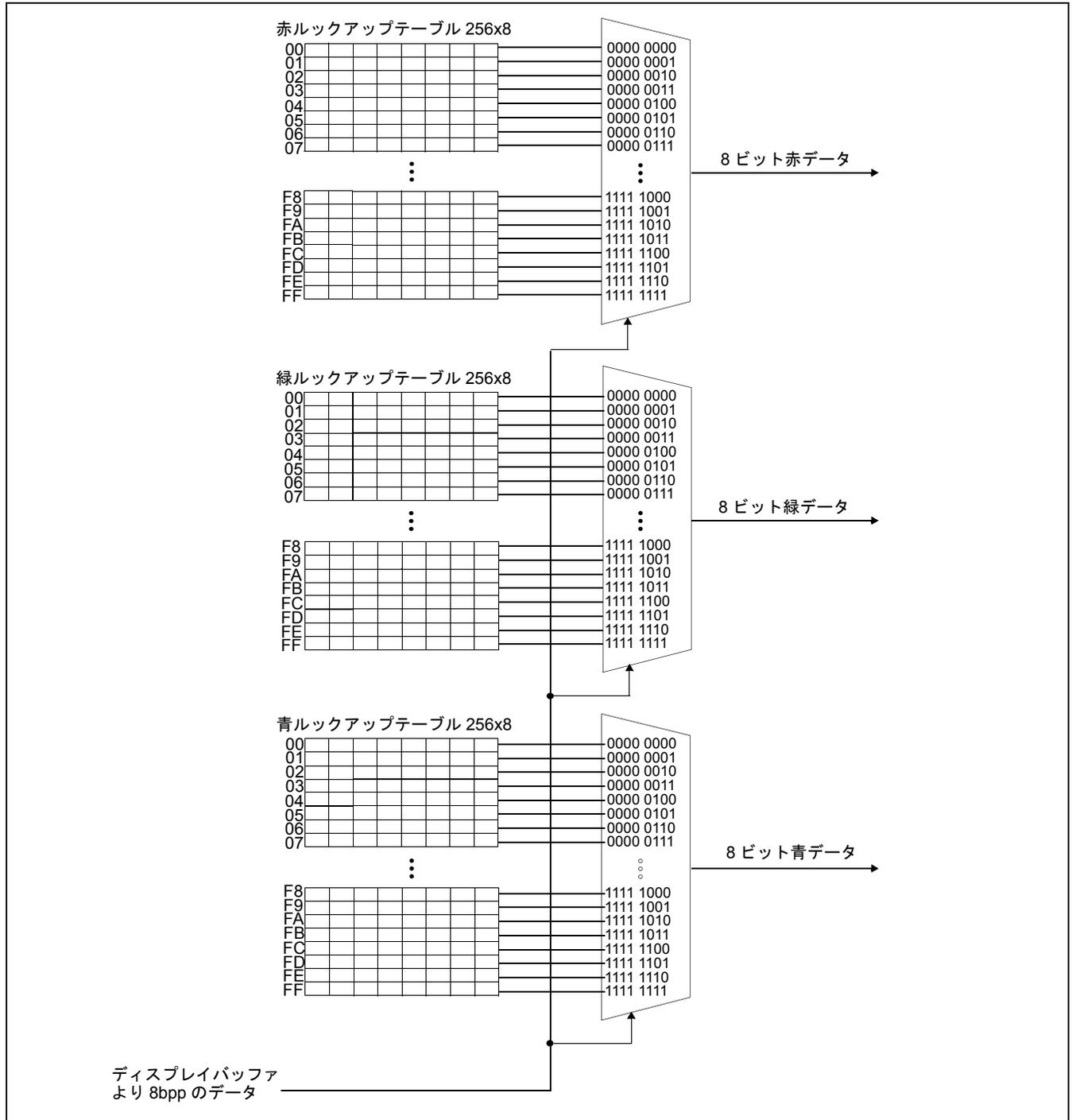


図 13-3: カラーモード 8bpp LUT

## 第 14 章 表示機能

### 14.1 PIP(Picture-in-Picture) レイヤ

REG[60h] PIP Enable Register ビット 2-0 は PIP 効果ビットです。PIP 効果ビットが 000b の時、PIP (picture-in-picture) レイヤは非表示になります ( ブランク )。PIP レイヤは PIP 効果ビットが 000b 以外の時に表示されます。PIP 効果には、ブランク、ノーマル、ブリンク 1、ブリンク 2、フェードアウト、フェードイン、連続フェードイン/アウトがあります。PIP レイヤはメインレイヤの手前に表示されます。PIP レイヤの高さと幅はそれぞれ REG[56h] と REG[58h]、メインレイヤ上での表示座標 (X,Y) は REG[5Ah] と REG[5Ch] で指定されます。PIP レイヤは必ずメインレイヤ上であらねばなりません。PIP レイヤはメインレイヤとアルファブレンドする事ができ、アルファブレンド率は REG[60h] PIP Enable Register ビット 6-0 で指定します。以下にアルファブレンド率最大で PIP 効果をノーマルの例を示します。



図 14-1: PIP レイヤ

## 14.2 トランスピアレンシー

REG[64h] Transparency Register ビット 0 はトランスピアレンシーイネーブルビットです。このビットがイネーブルの時、REG[66h] Transparency Key Color Register 0 と REG[68h] Transparency Key Color Register 1 で規定された色がキーカラーとなります。キーカラーで指定された色は、PIP 効果やアルファブレンディングの影響を受けません。PIP は REG[60h] PIP Enable Register ビット 2-0 によりイネーブルになります。



図 14-2: トランスピアレンシー

### 14.3 アルファブレンディング

アルファブレンディング率は REG[62h] Alpha Blending Register ビット 6-0 により指定します。アルファブレンディングはトランスピアレンシーと同時に使用でき、キーカラーに対しては影響しません。

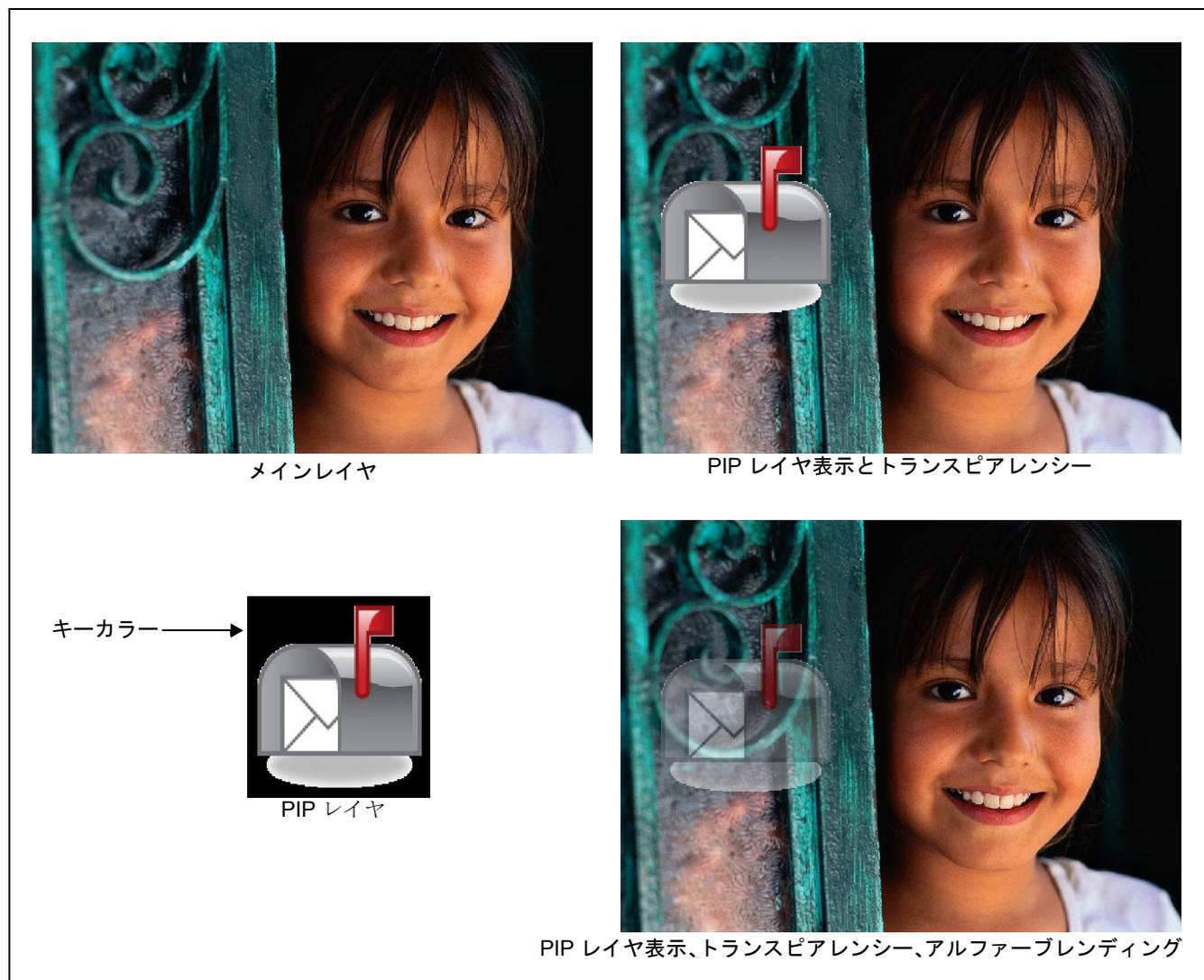


図 14-3: アルファブレンディング

## 14.4 PIP 効果

PIP 効果は REG[60h] PIP Enable Register ビット 2-0 で指定します。PIP 効果には、ブランク (PIP オフ)、ノーマル (PIP 通常表示)、ブリンク 1、ブリンク 2、フェードアウト、フェードイン、連続フェードイン/アウトがあります。ブリンク及びフェードの詳細は以降の図を参照してください。PIP 効果はトランスピアレンシーと同時に使用することができます。

### 14.4.1 ブリンクとフェード効果

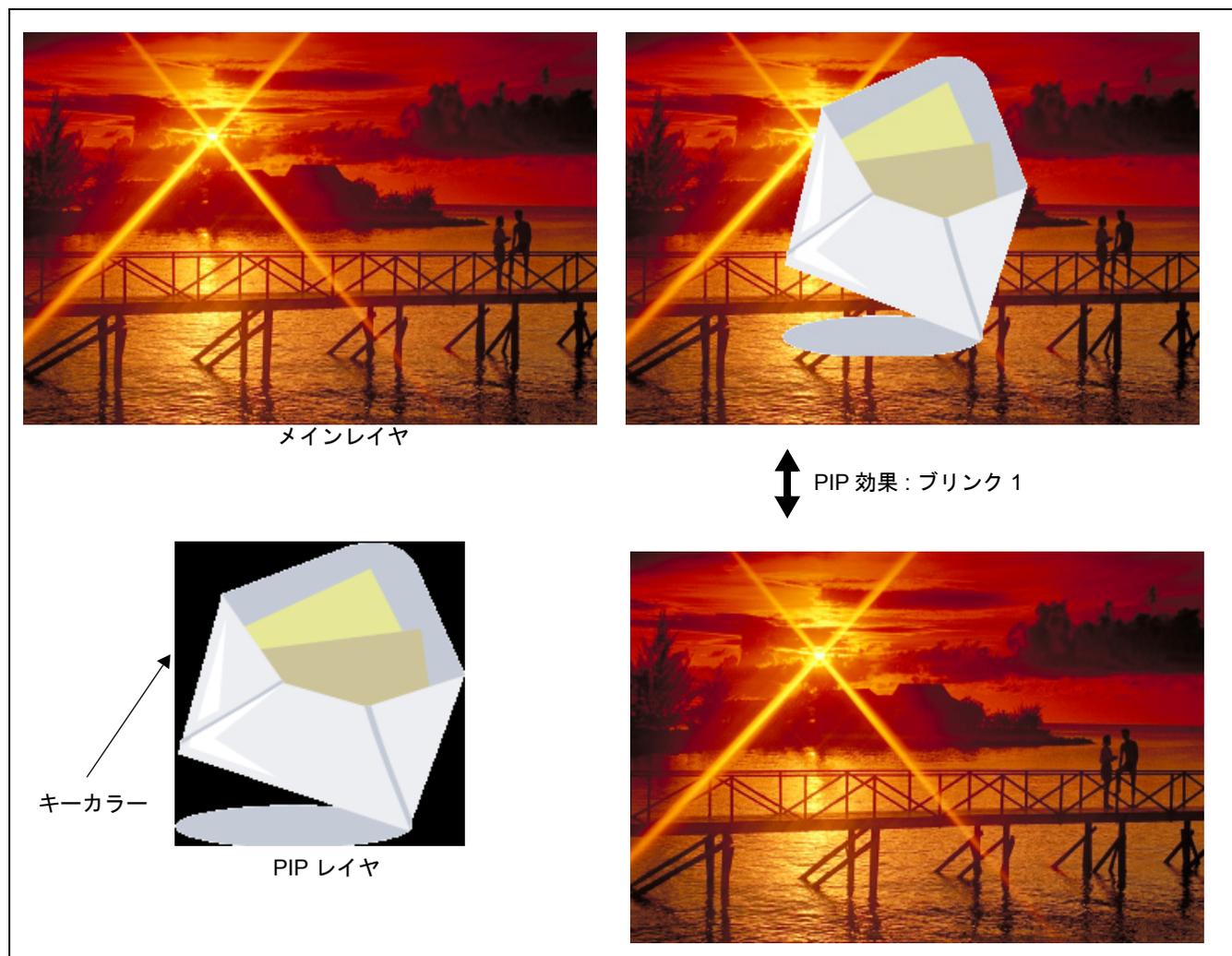


図 14-4: PIP 効果 : ブリンク 1

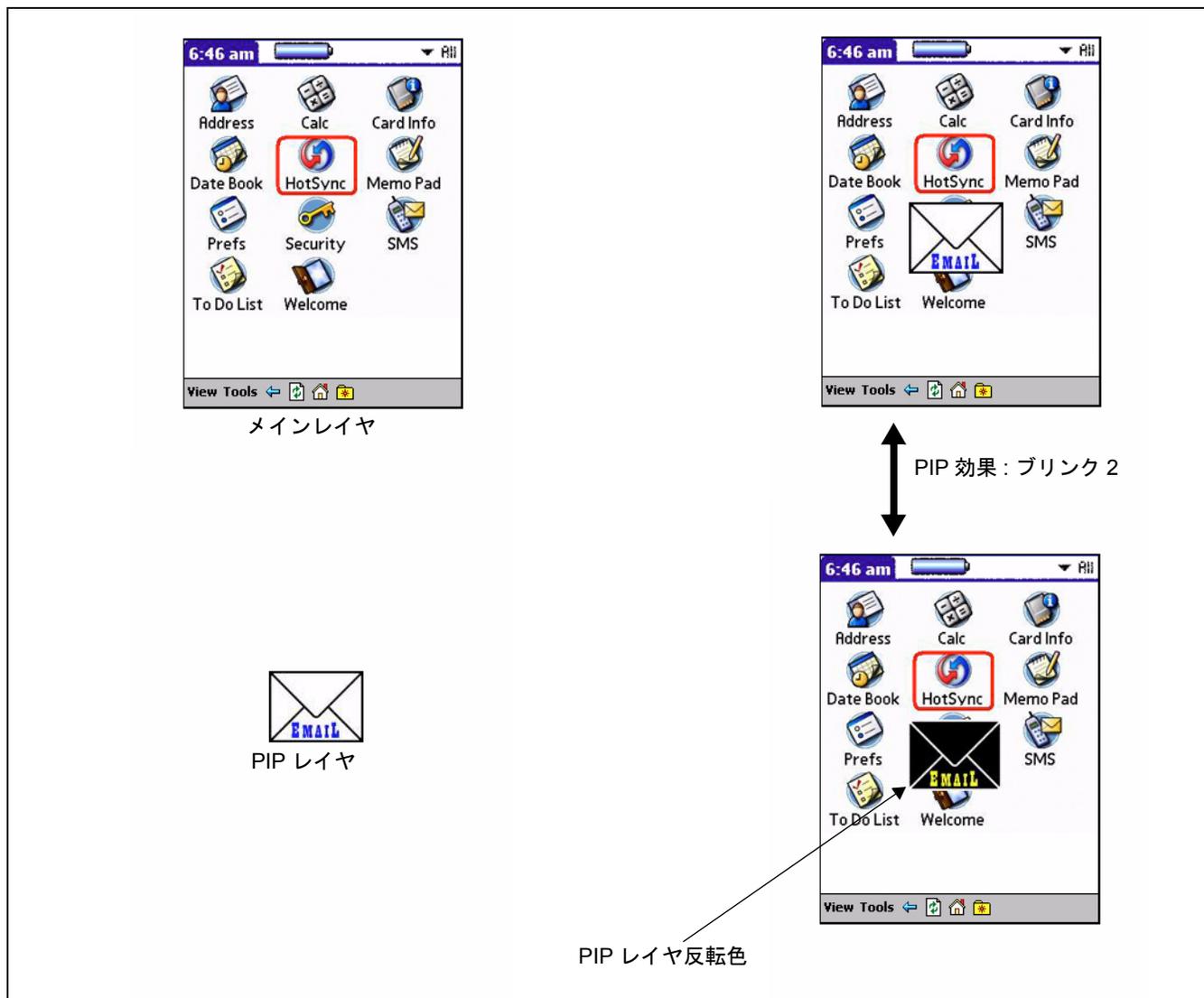


図 14-5: PIP 効果 : ブリンク 2

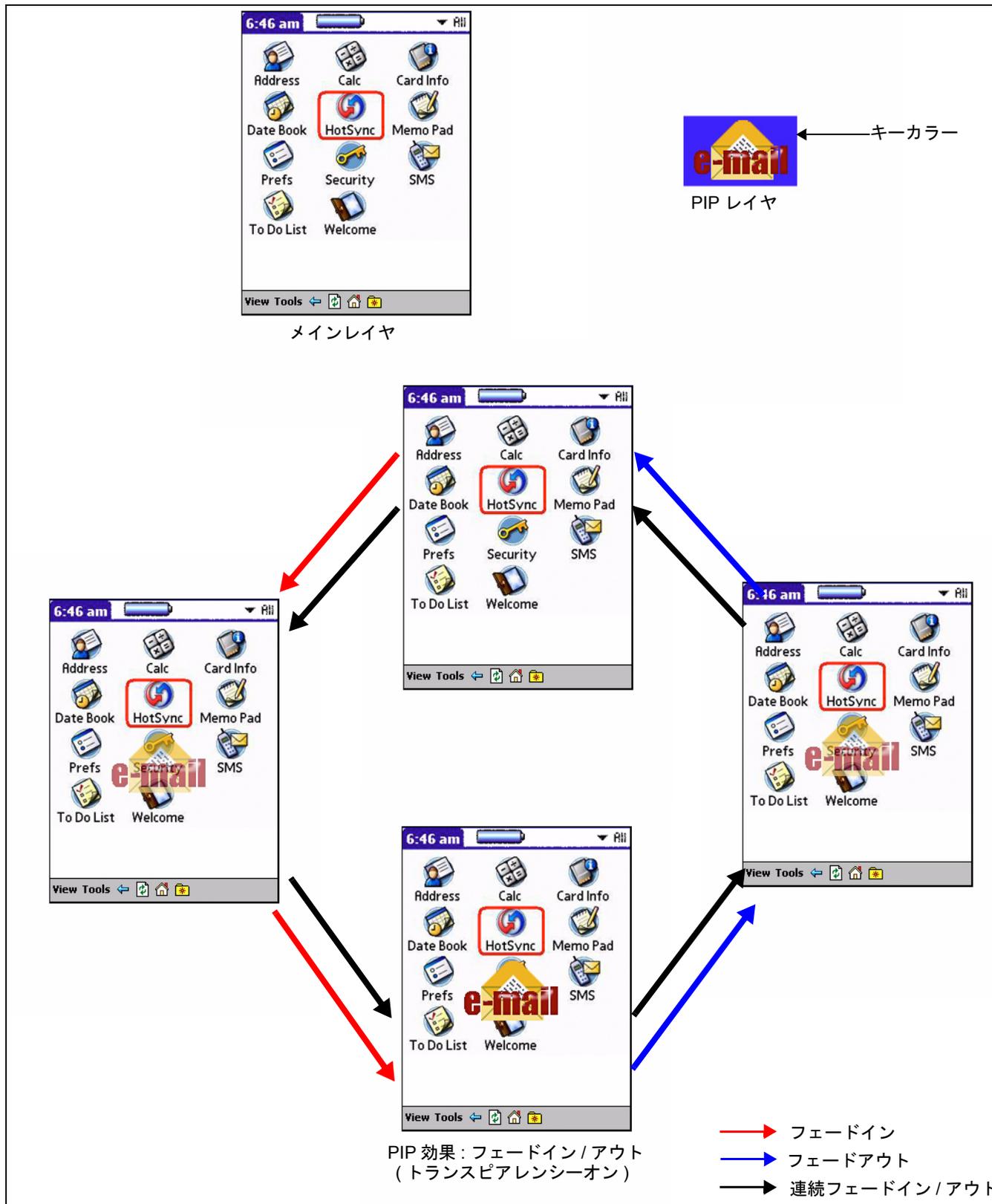


図 14-6: PIP 効果 : フェードイン、フェードアウト、連続フェードイン/アウト

### 14.4.2 ブリンク / フェード周期

ブリンク / フェード周期は REG[60h] PIP Enable Register ビット 15-9 で規定され、以下のように規定されます。

ブリンク / フェード周期 ( フレーム ) = (REG[60h] PIP Enable Register ビット 15-9) + 1

PIP 効果のブリンク 1、ブリンク 2 においても、ブリンキングの周期はこれらのビットで規定されません。

PIP 効果のフェードアウト、フェードイン、連続フェードイン / アウトの周期はこれらのビットで規定されます。フェードまたはブリンクの最中であってもブリンク / フェード周期は変更可能であり、フェードまたはブリンクのスピードを増減させる事ができます。

### 14.4.3 フェードステップ

フェード効果において、各ブリンク / フェード周期からのフェード率の増減量は REG[62h] Alpha Blending Register ビット 9-8 アルファブレンディングステップビットで指定します。

アルファブレンディング率の増減量は +/-1、+/-2、+/-4、+/-8 で指定できます。

フェードの最中であってもアルファブレンディングステップビットは変更可能であり、フェードのスピードを増減させる事ができます。

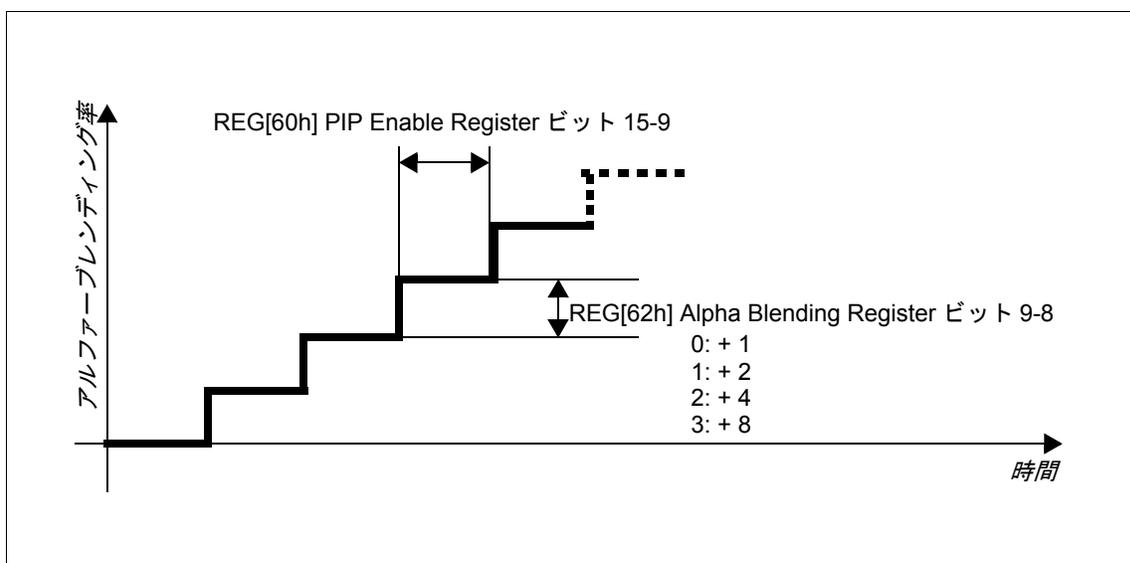


図 14-7: フェードインにおけるステップ例

## 14.4.4 PIP 効果状態遷移

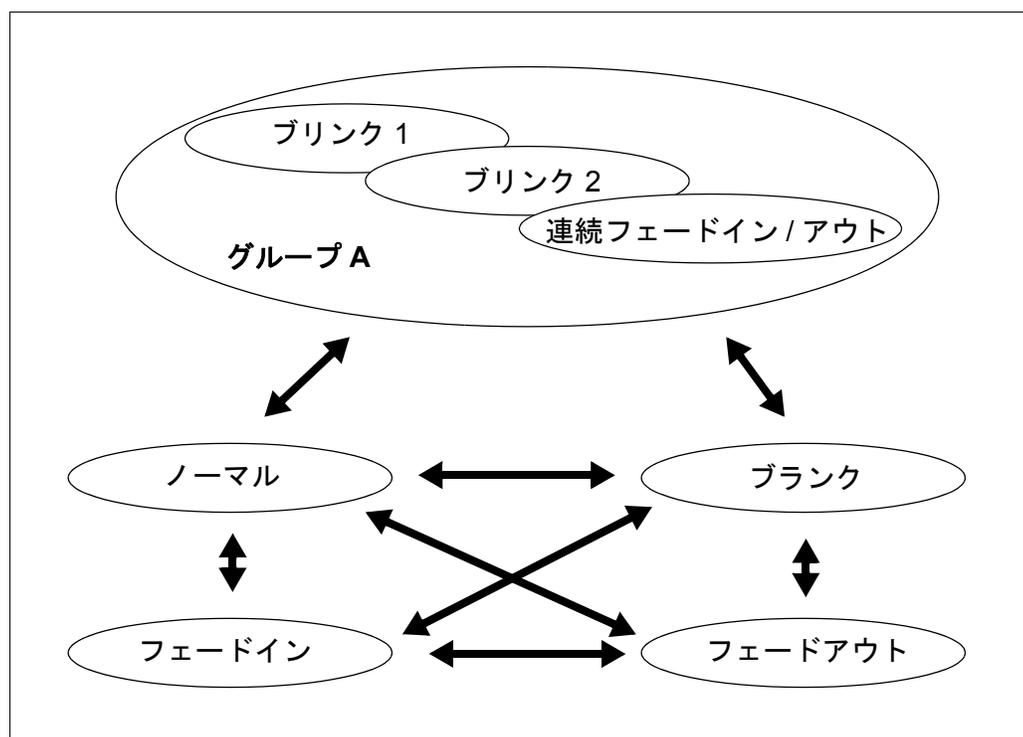


図 14-8: PIP 効果状態遷移図

ノーマルまたはブランクの状態からは、PIP 効果のすべての状態に移行可能です。

ブリンク 1、ブリンク 2、連続フェードイン/アウト (グループ A) を止めるには、通常またはブランクの状態へ移行しなければなりません。REG[60] ビット 3 のブリンク/フェードステータスにより、ブリンク/フェード最中かノーマル/ブランクへ移行終了したかがわかります。グループ A の状態にあるとき、ブリンク/フェードステータスは常に 1 です。PIP 効果をグループ A からノーマル/ブランクへ移行する場合、PIP レイヤがブリンク/フェードを終了した事を確認するために、必ずブリンク/フェードステータスを確認してください。

PIP 効果をノーマルまたはブランクの状態からからフェードインへ設定した場合、PIP レイヤはアルファブレンディング数値を 0 からカウントアップを開始して、アルファブレンディング率 (REG[62] ビット 6-0) で指定された値で止めます。この間、ブリンク/フェードステータスは 1 になります。フェードイン終了後、0 に戻ります。再度フェードインを開始する場合、必ず一度ノーマルまたはブランクの状態に移行してからフェードインへ戻ってください。

PIP 効果をノーマルまたはブランクの状態からからフェードアウトへ設定した場合、PIP レイヤはアルファブレンディング数値をアルファブレンディング率 (REG[62] ビット 6-0) で指定された値からカウントダウンを開始して、0 で止めます。この間、ブリンク/フェードステータスは 1 になります。フェードアウト終了後、0 に戻ります。再度フェードアウトを開始する場合、必ず一度ノーマルまたはブランクの状態に移行してからフェードアウトへ戻ってください。

## 14.5 レイヤ回転

メインレイヤ、PIP レイヤそれぞれ独立して回転できます。

### 14.5.1 位置座標

位置座標はパネル原点 (左上) か PIP レイヤの原点 (左上) によって決められます。水平は 1 ピクセル毎、垂直は 1 ライン毎を単位とします。

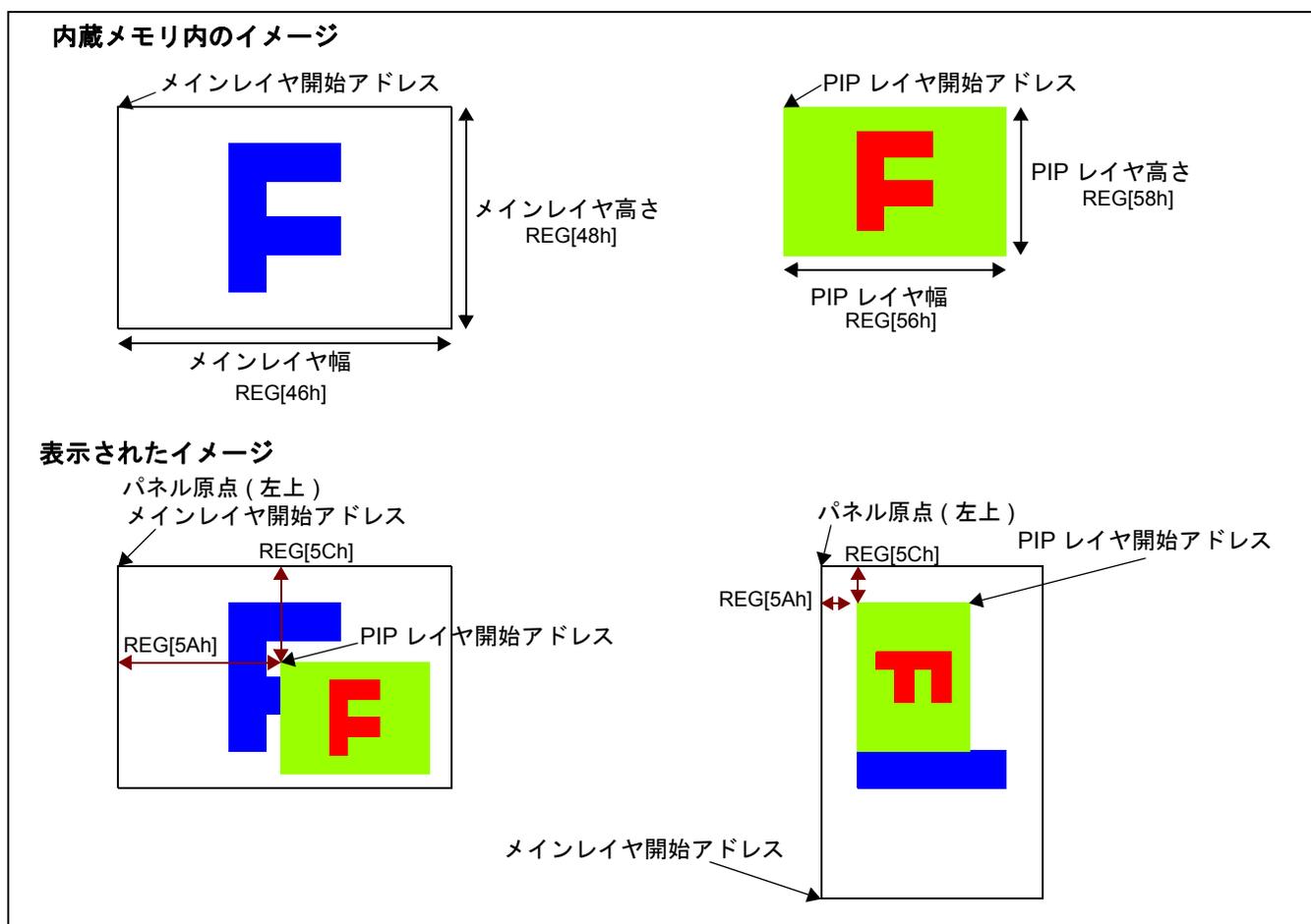


図 14-9: レイヤの一座標と回転の関係

### 14.5.2 開始アドレス

内蔵 RAM の各レイヤの開始アドレスは、メインレイヤについては REG[42h] Main Layer Start Address Register 0 及び REG[44h] Main Layer Start Address Register 1、PIP レイヤについては REG[52h] PIP Layer Start Address Register 0 及び REG[54h] PIP Layer Start Address Register 1 にて指定します。これらのレジスタは 32 ビットアライメント、すなわち最下位 2 ビットは必ず 00b にしてください。

## 14.6 動作モード

以下に S1D13L01 の動作モードを示します

表 14-1: 動作モード

動作モード	レジスタアクセス	メモリアクセス (MCLK アクティブ)	パネル I/F クロックアクティブ (PCLK アクティブ)
NMM - パネルイネーブル	Yes	Yes	Yes
NMM - パネルディスエーブル	Yes	Yes	Yes
PSM1	Yes	Yes	No
PSM0 (Note 参照)	Yes	No	No

### Note

PSM0 状態の時、メモリ及び LUT1/2 にはアクセスしないでください。

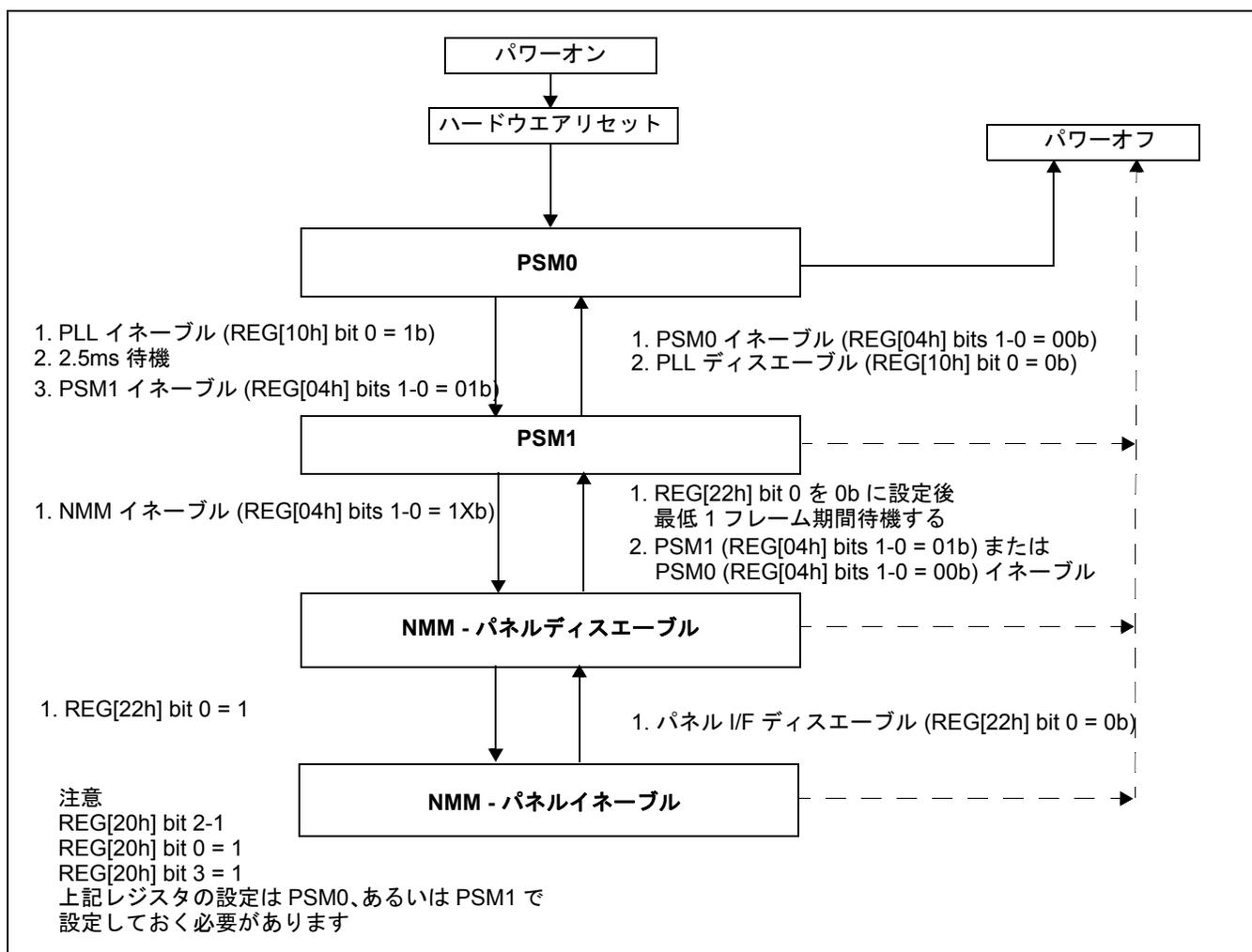


図 14-10: 動作モード

# 第 15 章 メカニカルデータ

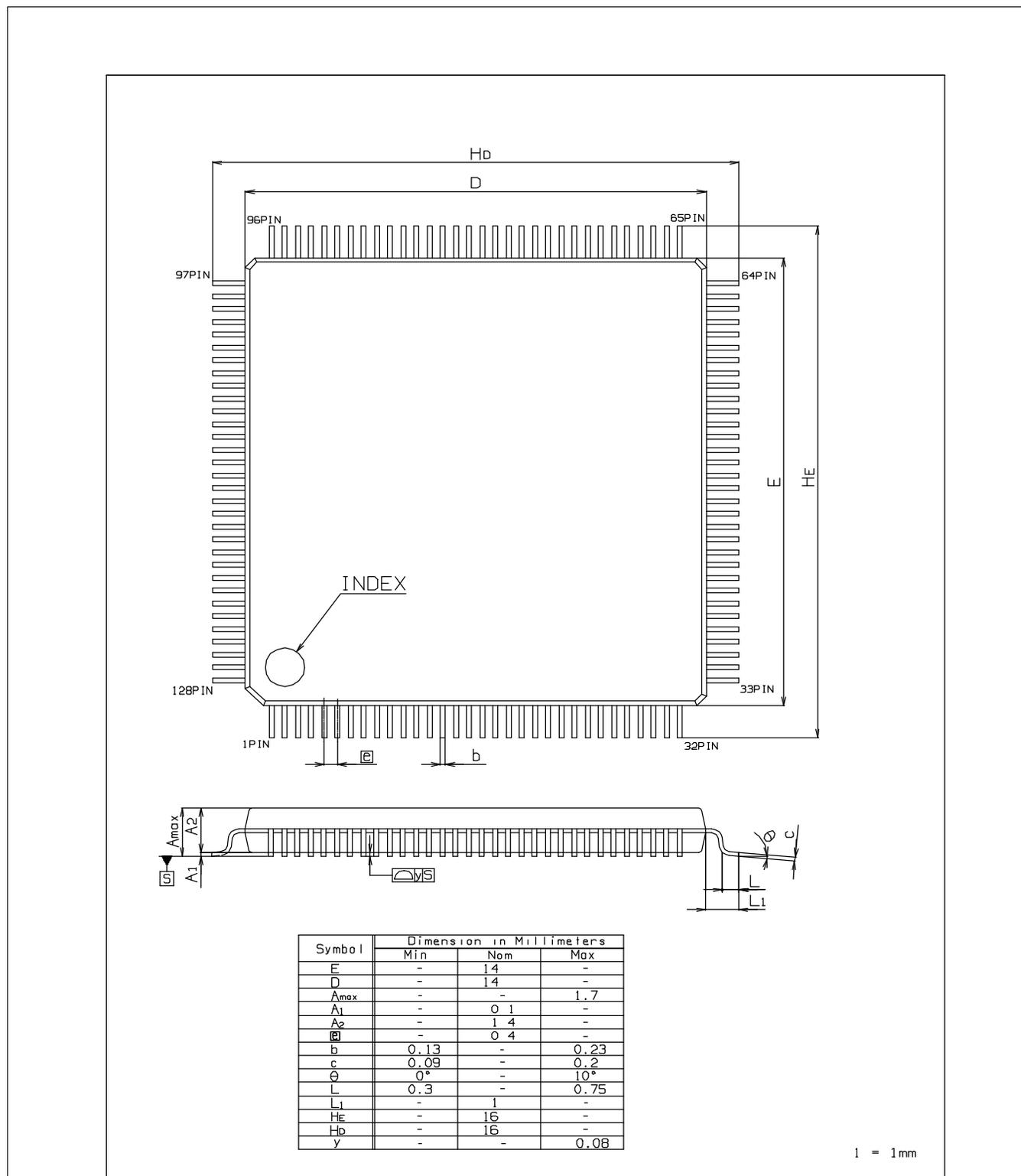


図 15-1: QFP15-128 ピンパッケージ

## 第 16 章 改訂履歴

### **XA9A-A-001-01 Revision 1.2 - Issued: Jan 31, 2015**

- chapter 10.4 パネルデータ幅選択ビットの表追記

### **XA9A-A-001-01 Revision 1.1 - Issued: June 20, 2014**

- chapter 8.2 保管温度を記載

## セイコーエプソン株式会社

マイクロデバイス事業部 デバイス営業部

---

東京 〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F  
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

---

ドキュメントコード : 412840901  
2014年6月作成  
2015年1月改訂