

**ディスプレイコントローラ
S1D13517
テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

- 1.) 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 2.) 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
- 3.) 特性値の数値の大小は、数直線上の大小関係で表しています。
- 4.) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
- 5.) 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
- 6.) 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1.	はじめに	1
1.1	適用範囲	1
1.2	概要説明	1
2.	特長	2
2.1	フレームバッファ	2
2.2	ホストインタフェース	2
2.3	入力データフォーマット	2
2.4	表示モード	2
2.5	ディスプレイサポート	2
2.6	表示機能	3
2.7	クロックソース	3
2.8	電源電圧	4
2.9	その他	4
3.	システム構成図	5
4.	機能ブロック図	7
5.	画像データパス図	8
6.	端子	9
6.1	端子配置図	9
6.2	端子説明	10
6.2.1	ホストインタフェース	11
6.2.2	LCDインタフェース	12
6.2.3	SDRAMインタフェース	13
6.2.4	クロック	14
6.2.5	その他	14
6.2.6	電源	15
6.3	端子構造	16
6.3.1	入力端子	16
6.3.2	出力端子	16
6.3.3	双方向端子	17
6.4	構成オプション	18
6.5	ホストインタフェースデータ端子	18
6.6	ホストインタフェース制御端子	19
6.7	LCDインタフェース端子	19
7.	DC特性	20
7.1	絶対最大定格	20
7.2	推奨動作条件	20

7.3	電気的特性	21
8.	AC特性	22
8.1	クロックタイミング	22
8.1.1	入力クロック	22
8.1.2	PLLクロック	23
8.1.3	クロック出力	24
8.1.4	スプレッド・スペクトラム変調クロック	24
8.2	リセットタイミング	25
8.3	電源シーケンスタイミング	26
8.3.1	電源投入シーケンスタイミング	26
8.3.2	電源遮断シーケンスタイミング	26
8.4	ホストインタフェースのタイミング	27
8.4.1	非同期インダイレクトIntel80バス	27
8.4.2	非同期インダイレクトALEバス	29
8.4.3	Hi-Z状態への遷移時間の定義	31
8.5	SDRAMインタフェースタイミング	32
8.6	LCDインタフェースタイミング	38
8.6.1	LCDパネル表示開始シーケンス	39
8.6.2	LCDパネル表示停止シーケンス	39
8.6.3	LCDパネルタイミング	40
8.6.4	LCDインタフェースタイミング	42
9.	クロック	43
9.1	クロック説明	43
9.2	クロック選択	43
9.3	クロック機能	44
9.4	クロック制御	44
9.5	ソフトウェアリセット制御	45
10.	レジスタ	46
10.1	レジスタマッピング	46
10.2	レジスタセット	47
10.3	レジスタ説明	49
10.3.1	製品構成レジスタ	49
10.3.2	クロック構成レジスタ	50
10.3.3	パネル構成レジスタ	55
10.3.4	表示画像設定レジスタ	58
10.3.5	入力画像設定レジスタ	66
10.3.6	メモリポートレジスタ	70
10.3.7	その他レジスタ	71
10.3.8	汎用IO端子レジスタ	73
10.3.9	PWM設定レジスタ	74

10.3.10 SDRAM設定レジスタ	77
10.3.11 アルファブレンディング設定レジスタ	81
10.3.12 割り込み設定レジスタ	85
11. ホストインタフェース	86
11.1 パラレルインタフェース	86
11.1.1 レジスタライト手順	86
11.1.2 レジスタリード手順	87
11.1.3 メモリ（新しいウィンドウ）のライト手順	87
11.1.4 メモリ（既存ウィンドウ）のライト手順	89
11.2 パラレルインタフェースのカラーフォーマット	90
11.2.1 8ビット16bppモード（RGB 5:6:5）	90
11.2.2 8ビット24bppモード（RGB 8:8:8）	91
11.2.3 16ビット16bppモード（RGB 5:6:5）	92
11.2.4 16ビット24bppモード1（RGB 8:8:8）	93
11.2.5 16ビット24bppモード2（RGB 8:8:8）	94
11.3 PCLKと入力データレートの関係	95
12. 表示機能	96
12.1 ディスプレイウィンドウ	96
12.1.1 ディスプレイバッファ設定	96
12.1.2 メモリディスプレイウィンドウ設定	97
12.1.3 透過色設定	98
12.2 Picture-in-Picture表示	99
12.2.1 PIPウィンドウ設定	99
12.2.2 PIPウィンドウ表示メモリ開始位置設定	100
12.3 回転表示	101
12.3.1 180°回転	101
12.3.2 左右反転	102
12.3.3 180°回転+左右反転	102
12.4 ダブルバッファ表示	103
12.5 アルファブレンディング	104
12.5.1 アルファブレンディング（2入力画像）	104
12.5.2 アルファブレンディング（1入力画像）	105
12.5.3 アルファブレンディングウィンドウ設定	106
12.5.4 アルファブレンディング処理時間	106
13. SDRAMインタフェース	107
13.1 SDRAMの初期化	107
13.2 SDRAM接続	107
13.3 SDRAMのコマンド	108
13.3.1 MRSコマンド	108
13.3.2 リード/ライトコマンド	108

13.3.3	オートリフレッシュコマンド	108
13.3.4	セルフリフレッシュコマンド	108
13.3.5	パワーダウンコマンド	108
13.3.6	コントローラステータス	108
13.4	画像メモリデータ	109
13.5	画像メモリアドレス	109
14.	PWM出力	110
15.	割り込み回路	111
16.	テストカラーバー表示	112
17.	パワーセーブ	113
17.1	スリープモード	113
17.2	スタンバイモード	115
18.	標準的な使用例	117
18.1	初期化シーケンス	117
18.2	表示シーケンス	119
19.	PLL	121
19.1	PLL外付けローパスフィルタ	121
19.2	PLL電源配置ガイドライン	122
20.	メカニカルデータ	124

1. はじめに

1.1 適用範囲

本書は、ディスプレイコントローラS1D13517のテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明および電力管理の説明などが記載されています。本書は、システム設計者とソフトウェア開発者を対象としています。

英語版のS1D13517 Display Controller Technical Manualが正規の資料であり、本書は正規英語版テクニカルマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりますは、必ず正規英語版の最新資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、

http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm

<http://vdc.epson.com/>

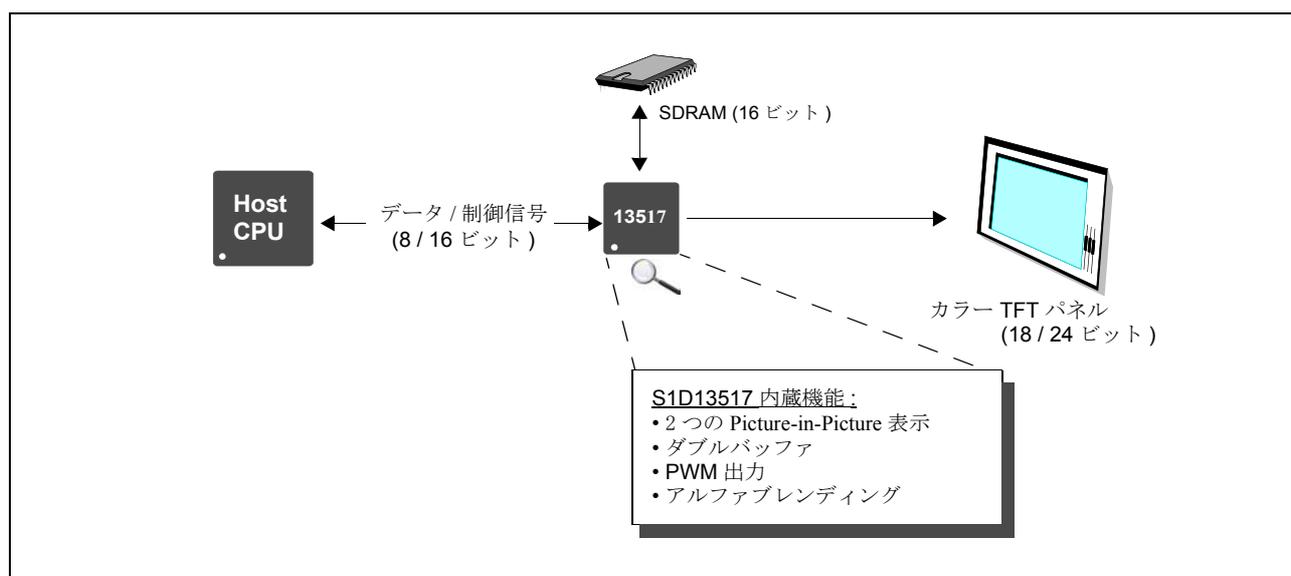
からダウンロードできます。

1.2 概要説明

S1D13517は、外付けSDRAMにディスプレイバッファを保持するカラーLCD用グラフィックコントローラです。8/16ビットパラレルインタフェースをサポートし、高効率なSDRAMインタフェースにより高解像度のLCDパネルを表示することができます。

表示機能としては、マルチバッファ、Picture-in-Picture、アルファブレンディング、回転などをサポートしています。

S1D13517は、システムパフォーマンスを低減することなく、WVGAクラスのLCDパネルを表示させたい機器には最適なLCDコントローラです。



2. 特長

2. 特長

2.1 フレームバッファ

- 外付け16Mビット、64Mビット、128MビットのSDRAMメモリをサポート
- 最大90MHzのSDRAMクロックインタフェース
- x16ビットバスインタフェース（SDRAMは1個しか接続できません）

注

SDRAMをホストインタフェースからリードすることはできません

2.2 ホストインタフェース

- 2種類の8/16ビット非同期パラレルインタフェース（レジスタとメモリ）
 - インダイレクトIntel80バス
 - インダイレクトALE (Address Latch Enable) バス

注

SDRAMクロック周波数によりメモリへのライトサイクル周期が変わります

2.3 入力データフォーマット

- RGB 8:8:8、RGB 5:6:5

2.4 表示モード

- 24bpp (RGB 8:8:8) の階調をサポート (RGB 5:6:5 の入力データは、RGB 8:8:8に変換されてSDRAMに保存されます)

2.5 ディスプレイサポート

- アクティブマトリクスTFTインタフェース
 - 18/24ビットインタフェース
- 最大960 x 960の表示解像度をサポート (ただしPCLKは最大45MHzです)
 - HVGA: 640 x 240 x 16/18/24bit LCDパネル
 - VGA : 640 x 480 x 16/18/24bit LCDパネル
 - WVGA: 800 x 480 x 16/18/24bit LCDパネル
 - SVGA: 800 x 600 x 16/18/24bit LCDパネル
 - QHD: 960 x 540 x 16/18/24bit LCDパネル

2.6 表示機能

- **ディスプレイウィンドウ**
ディスプレイの書き込みはすべてウィンドウ設定により処理され、ディスプレイの全体更新または部分更新を行います。入力画像データの制約は、水平方向サイズ8ピクセル単位、垂直方向1ライン単位になります。ウィンドウの座標はすべて、表示画像の左上コーナーを基準とします。ただし部分更新の開始位置は8ピクセルの倍数の位置になります。また透過色を設定することができ、透過色と一致した画像データはメモリに書き込まれません。文字およびアイコンの上書きなどに使用することができます。なおこの透過色機能は、回転およびミラー反転を同時に併用できません。REG[52h] ビット 3-0は、9h, Ah およびBhに設定できません。
- **Picture-in-Picture表示**
メイン画面に対して、2つのPIP画面を選択させて表示することができます。PIP画面の大きさおよび開始位置の制約は、水平方向サイズ8ピクセル単位、垂直方向1ライン単位になります。
またディスプレイバッファの表示メモリ開始位置を変更することで、PIP画面の画面内スクロールができます。透過色を使つてのメイン画面とPIP画面のオーバーレイ表示機能はありません。
- **アルファブレンディング**
2画面の画像をアルファブレンディングして、新しい画面を作成することができます。アルファブレンディング画面の大きさおよび開始位置の制約は、水平方向サイズ8ピクセル単位、垂直方向1ライン単位になります。
アルファブレンディングで作成した画面は、PIP画面に指定することにより表示できます。アルファブレンディングの処理速度は、画面サイズにより変わります。
- **回転表示**
ディスプレイ画像をハードウェアにて180°回転表示、左右反転表示させることができます。ディスプレイバッファに書き込む前に実行されます。ディスプレイウィンドウ単位で設定できるため、カメラ画像をPIP画面に左右反転表示させることができます。
- **ダブルバッファ表示**
動画入力時の画像ティアリングノイズを防ぐため、ハードウェアにて2つのディスプレイバッファを切り替え表示することができます。
- **マルチバッファ表示**
最大16個（メモリサイズに依存する）のディスプレイバッファを持つことができ、ソフトウェアによりディスプレイバッファを選択することができます。全画面のアニメーション表示などに応用できます。

2. 特長

2.7 クロックソース

- プログラム可能なPLL（最大周波数180MHz：ただし内部回路で使用できる周波数は最大90MHzのため、90MHzを超える設定は1/2分周して使います）
- 発振器入力：CLKI（2MHz~64MHz）
 - 内部システムクロック（最大周波数45MHz）
 - LCDピクセルクロック（最大周波数45MHz）
 - 内部システムクロックとLCDピクセルクロックの周波数は同じ
- SDRAMクロック（最大周波数90MHz）
 - 内部システムクロックに対し2倍または3倍のクロック周波数のみ選択可能
- スプレッド・スペクトラム変調
 - 内部クロックへ付加可能（ただし周波数は31MHz~80MHzのみです）

2.8 電源電圧

- I/O電圧 : 3.3V +/- 0.3V
- コア電圧 : 2.5V +/- 0.2V
- PLL電圧 : 2.5V +/- 0.2V

2.9 その他

- LCDバックライト制御用PWM出力
- ソフトウェア制御によるパワーセーブ
- ティアリングノイズ防止用のTE出力
- 割り込み検出のINT出力（アルファブレンディング終了）
- 4本の汎用出力端子（LCDパネルタイプが18ビットの場合は10本使用可能）
- テストカラーバー表示（SDRAMのデータ使用せず）
- パッケージ : QFP15 -128

3. システム構成図

3. システム構成図

以下の図は代表的なシステム構成例です。

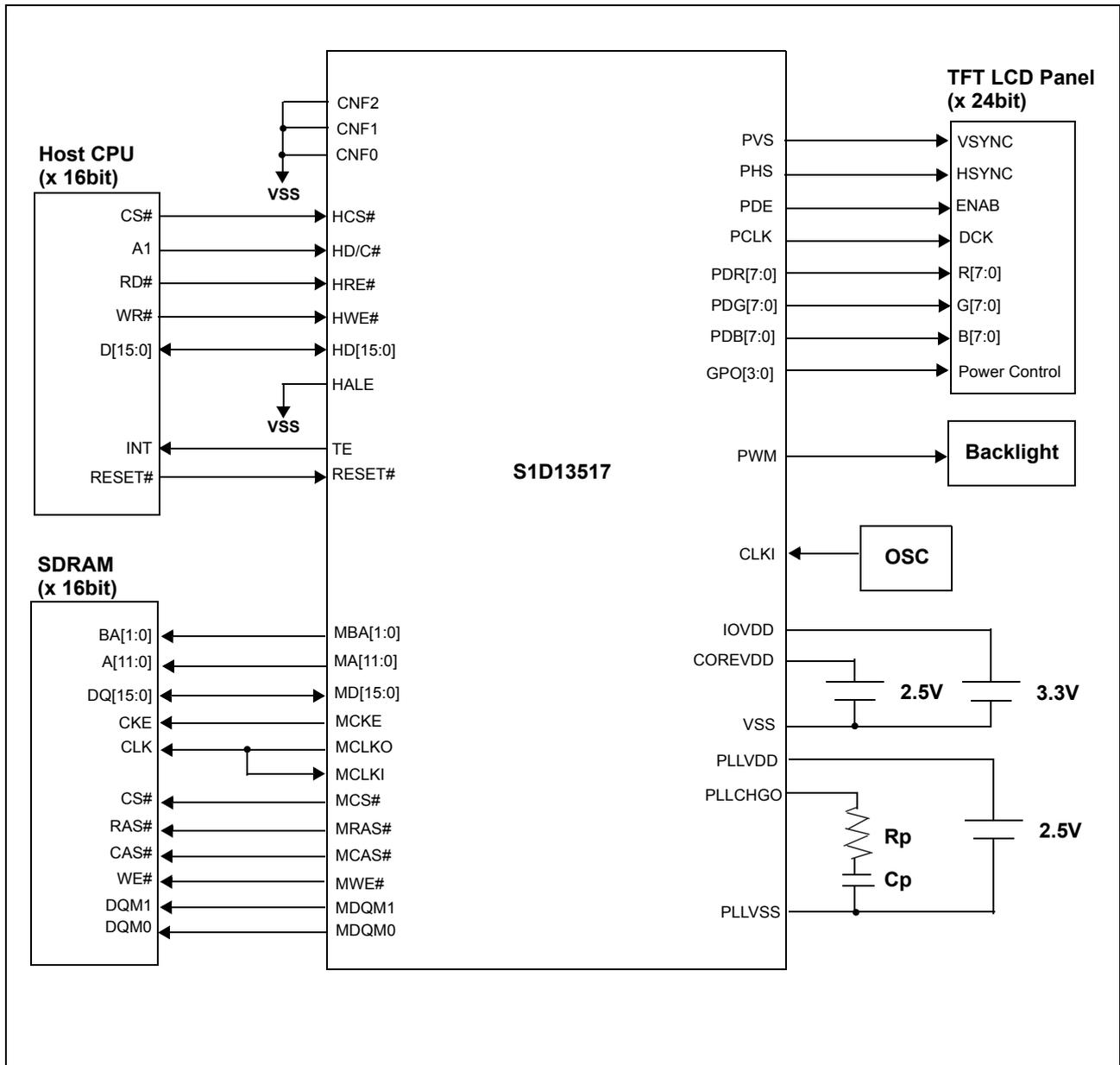


図3.1 システム構成例（16ビットIntel80バス）

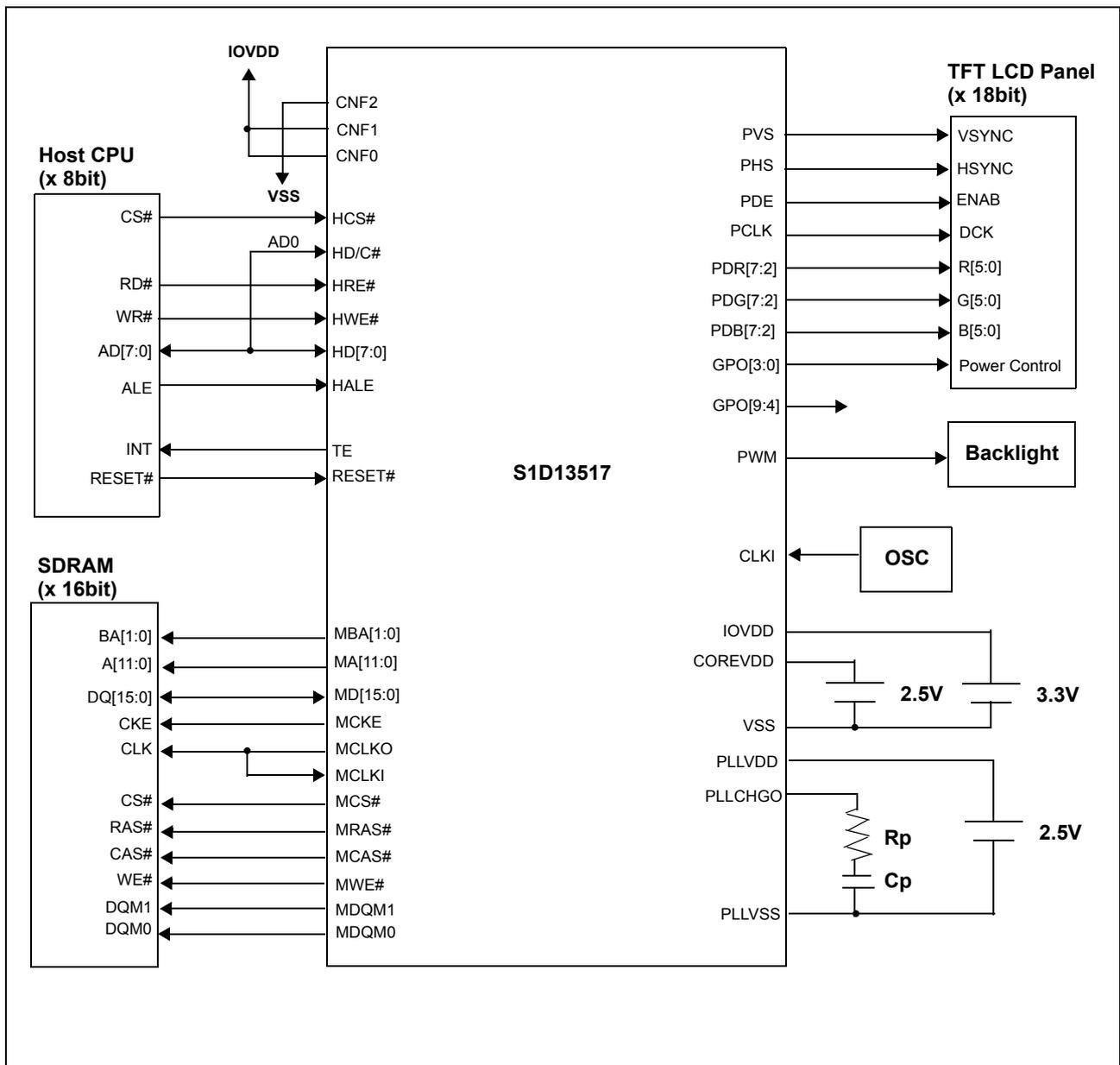


図3.2 システム構成例 (8ビットALEバス)

4. 機能ブロック図

4. 機能ブロック図

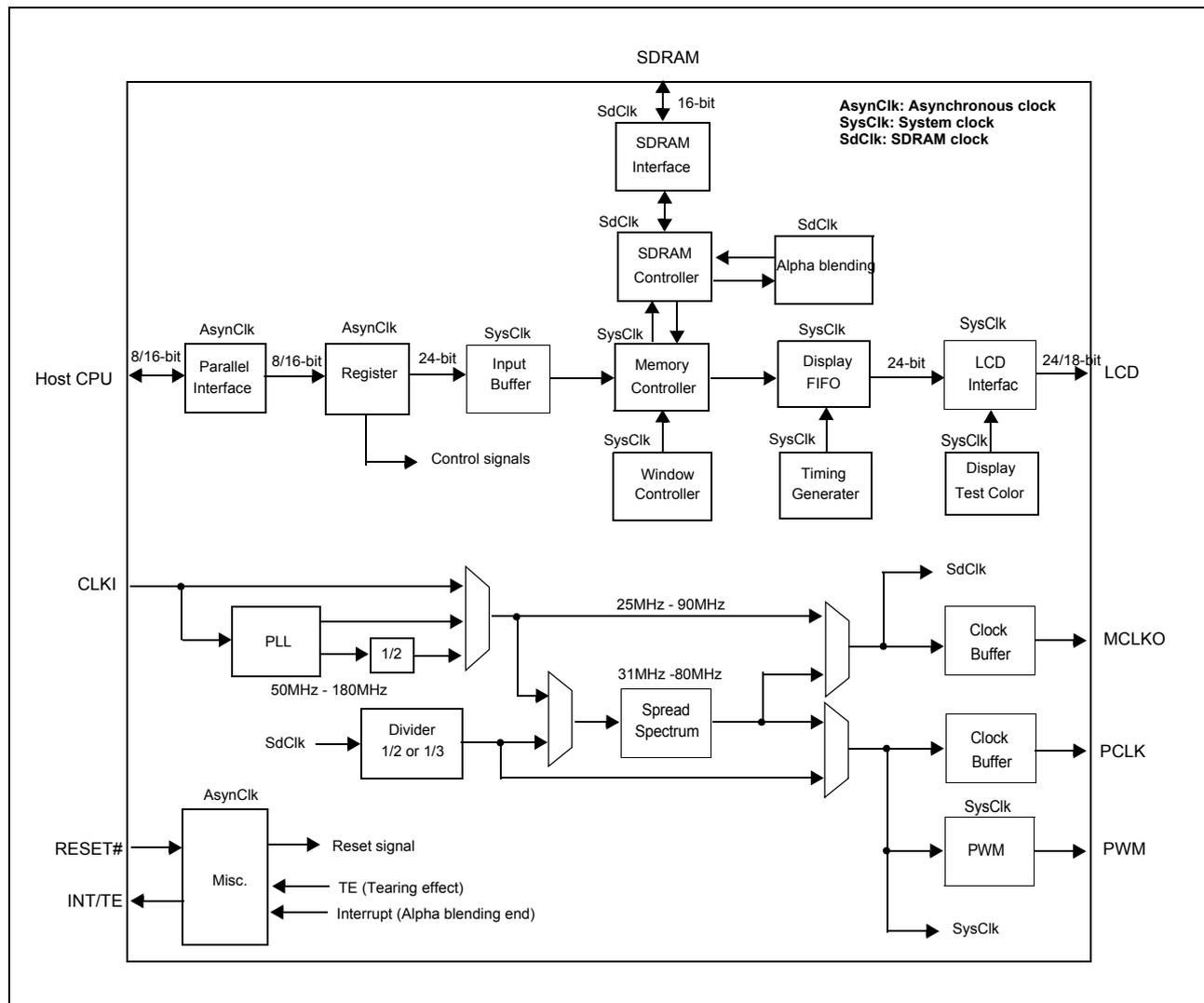


図4.1 機能ブロック図

5. 画像データパス図

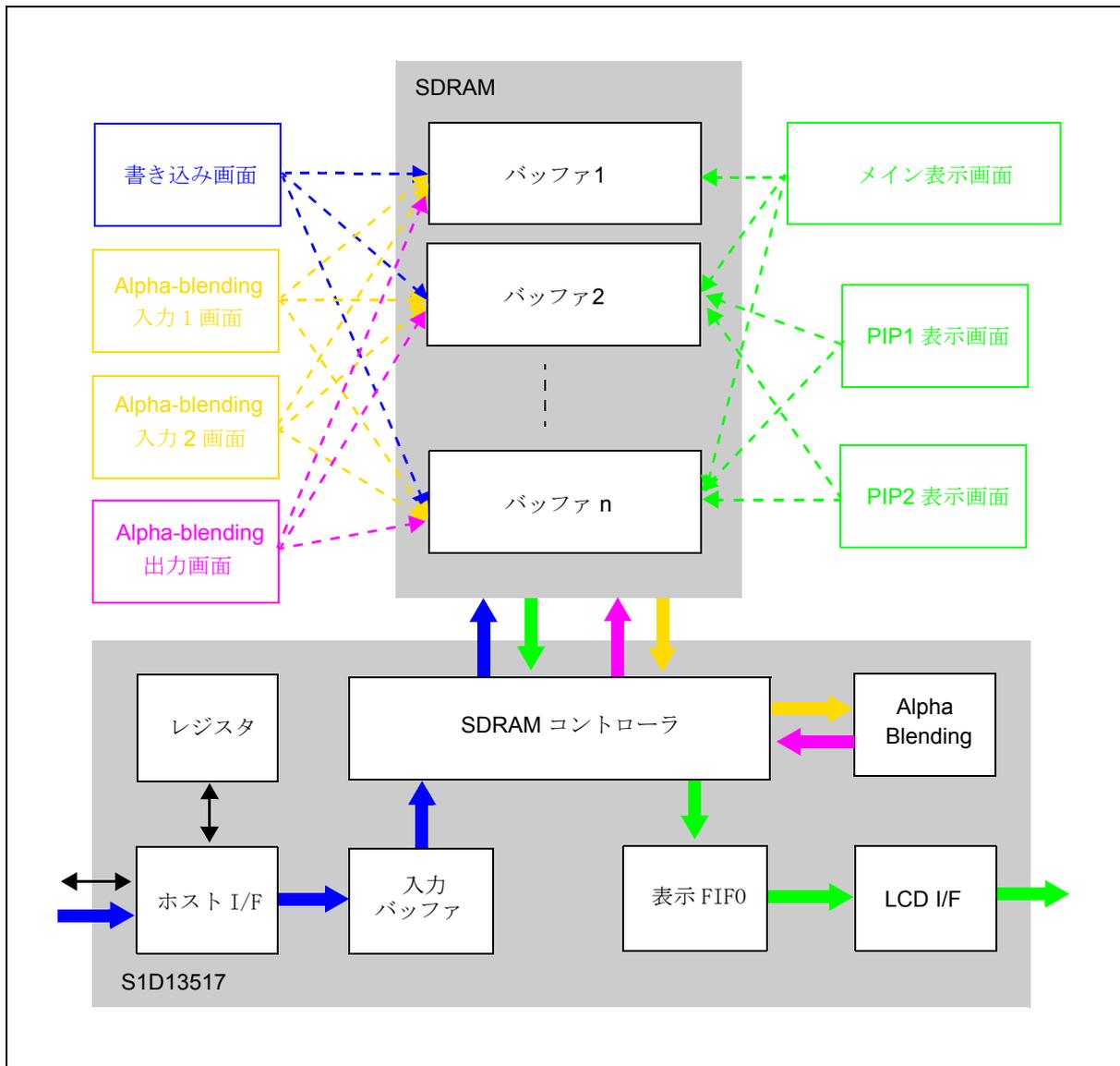


図5.1 画像データパス図

6. 端子

6. 端子

6.1 端子配置図

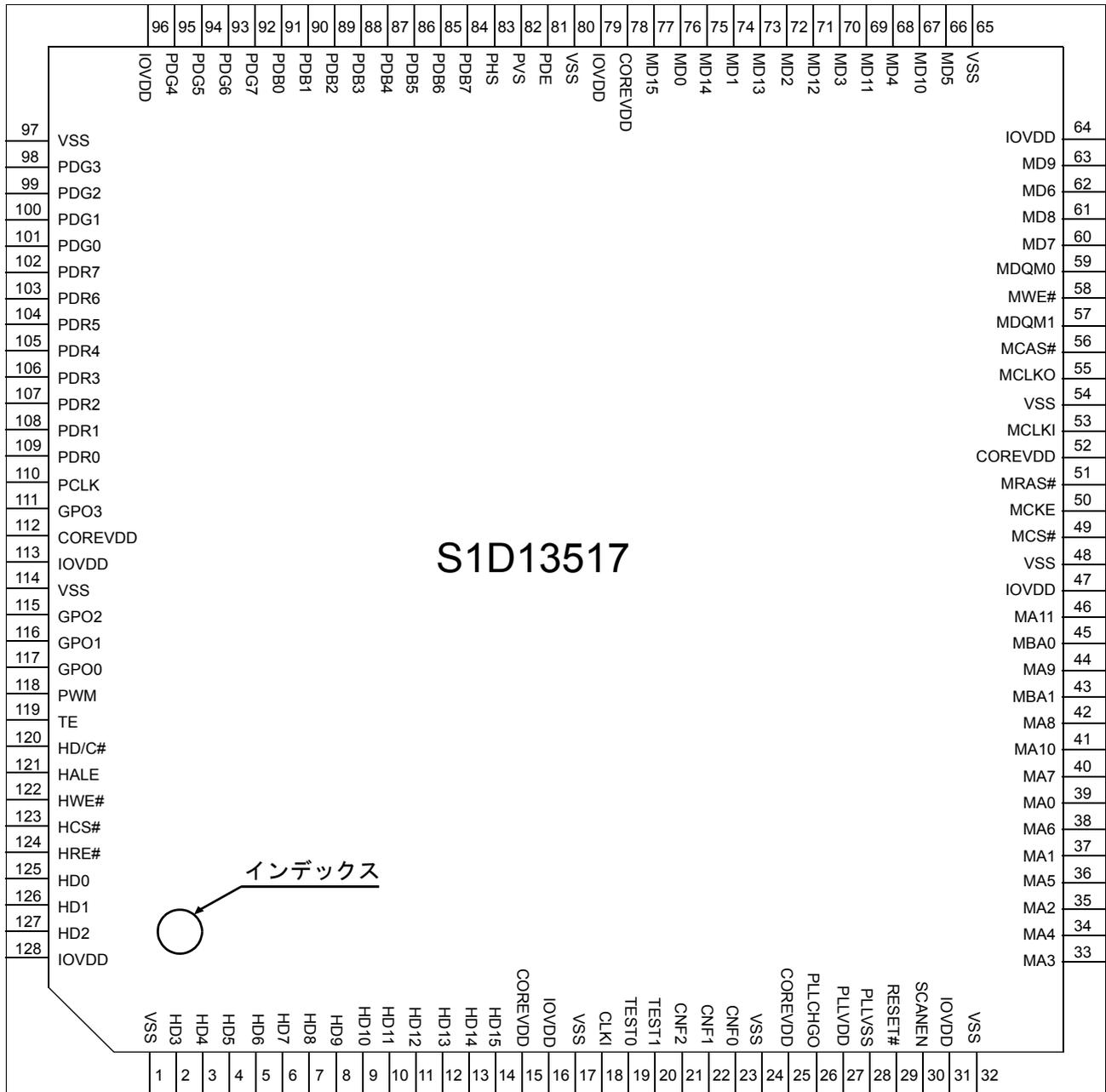


図6.1 QFP15-128の端子配置図（上から見た図）

6.2 端子説明

略語の意味：

端子のタイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子

RESET#/パワーセーブステータス

H	=	高レベル出力
L	=	低レベル出力
Z	=	ハイインピーダンス（Hi-Z）
0	=	プルダウン抵抗オン入力

表6.1 セルの説明

セル	説明
HI	H系LVCMO入力バッファ
HIS	H系LVCMOSシュミット入力バッファ
HID	H系LVCMOS入力バッファ（プルダウン抵抗付き）
HO1	H系LVCMOS出力バッファタイプ1（+/- 3mA）
HO2	H系LVCMOS出力バッファタイプ2（+/- 6mA）
HB1G	H系LVCMOS双方向バッファタイプ1（ゲーテッド付き +/- 3mA）
HB1D	H系LVCMOS双方向バッファタイプ1（プルダウン抵抗付き +/- 3mA）
LOT	L系アナログ出力

注

1. H系はIOVDDです（6.「DC特性」を参照してください）。
2. L系はCOREVDDです（6.「DC特性」を参照してください）。

6. 端子

6.2.1 ホストインタフェース

表6.2 ホストインタフェースの端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
HD[15:8]	IO	14, 13, 12, 11, 10, 9, 8, 7	HB1G	IOVDD	Z	入力	Intel80バス / ALEバス この端子はデータバスになります。CNF0によって8ビットバスインタフェースが選択されている場合、内部で入力ゲーティングされますので未接続にすることができます。HCS#入力がハイの場合は、内部で入力ゲーティングされますので外部での抵抗付加などは不要です。
HD[7:0]	IO	6, 5, 4, 3, 2, 127, 126, 125	HB1G	IOVDD	Z	入力	Intel80バス / ALEバス この端子はデータバスになります。HCS#入力がハイの場合は、内部で入力ゲーティングされますので外部での抵抗付加などは不要です。
HWE#	I	122	HIS	IOVDD	入力	入力	Intel80バス / ALEバス この入力端子は、ライトイネーブル信号です。
HRE#	I	124	HI	IOVDD	入力	入力	Intel80バス / ALEバス この入力端子は、リードイネーブル信号です。
HCS#	I	123	HI	IOVDD	入力	ハイ入力	Intel80バス / ALEバス この入力端子は、チップセレクト信号です。パワーセーブモード時はハイを入力してください。
HD/C#	I	120	HI	IOVDD	入力	入力	Intel80バス この入力端子は、レジスタのインデックスアドレスまたはデータのいずれかを選択する信号です。 ALEバス この入力端子は、レジスタのインデックスアドレスまたはデータのいずれかを選択する信号です。HALEの立ち上がりエッジでデータをラッチします。8ビットバスの場合はHD0、16ビットバスの場合はHD1に接続することを推奨します。端子がHi-Z入力にならないように抵抗を付加してください。
HALE	I	121	HI	IOVDD	入力	入力	Intel80バス この入力端子は使用しませんので、VSSに接続してください。 ALEバス この入力端子は、HD/C#の信号をラッチさせる信号です。立ち上がりエッジでデータをラッチします。

表6.2 ホストインタフェースの端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
TE / INT	O	119	HO1	IOVDD	L	停止	ティアリング信号（初期値） この出力端子は、ディスプレイのVNDP、HNDPを示す信号です。パワーセーブ中は停止状態です。 割り込み信号 この出力端子は、割り込み信号です。パワーセーブ中は停止状態です。
RESET#	I	29	HIS	IOVDD	入力	ハイ入力	この入力信号はリセット信号で、すべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。シュミット入力およびディレイラインでノイズキャンセルをしています。

6.2.2 LCDインタフェース

表6.3 LCDインタフェースの端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
PDR[7:2]	O	102, 103, 104, 105, 106, 107	HO1	IOVDD	L	L	この出力端子は、画像のRデータ[7:2]信号です。
PDR[1:0] / GPO[5:4]	O	108, 109	HO1	IOVDD	L	L	この出力端子は、24ビットでは画像のRデータ[1:0]信号です。18ビットの場合は汎用出力ポートになります。
PDG[7:2]	O	92, 93, 94, 95, 98, 99	HO1	IOVDD	L	L	この出力端子は、画像のGデータ[7:2]信号です。
PDG[1:0] / GPO[7:6]	O	100, 101	HO1	IOVDD	L	L	この出力端子は、24ビットでは画像のGデータ[1:0]信号です。18ビットの場合は汎用出力ポートになります。
PDB[7:2]	O	84, 85, 86, 87, 88, 89	HO1	IOVDD	L	L	この出力端子は、画像のBデータ[7:2]信号です。
PDB[1:0] / GPO[9:8]	O	90, 91	HO1	IOVDD	L	L	この出力端子は、24ビットでは画像のBデータ[1:0]信号です。18ビットの場合は汎用出力ポートになります。
PVS	O	82	HO1	IOVDD	L	L	この出力端子は、垂直同期パルス信号です。
PHS	O	83	HO1	IOVDD	L	L	この出力端子は、水平同期パルス信号です。
PCLK	O	110	HO1	IOVDD	L	L	この出力端子は、データクロック信号です。
PDE	O	81	HO1	IOVDD	L	L	この出力端子は、データイネーブル信号です。
GPO[3:0]	O	111, 115, 116, 117	HO1	IOVDD	L	L	この出力端子は、汎用出力ポートです。

6. 端子

6.2.3 SDRAMインタフェース

表6.4 SDRAMインタフェースの端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
MD[15:0]	I/O	77, 75, 73, 71, 69, 67, 63, 61, 60, 62, 66, 68, 70, 72, 74, 76	HB1D	IOVDD	0	0	この端子は、SDRAMのデータバス信号です。入みにプルダウン抵抗が付加されています。
MBA[1:0]	O	43, 45	HO1	IOVDD	L	L	この出力端子は、SDRAMのバンク選択信号です。
MA[11:0]	O	46, 41, 44, 42, 40, 38, 36, 34, 33, 35, 37, 39	HO1	IOVDD	L	L	この出力端子は、SDRAMのアドレスバス信号です。
MCS#	O	49	HO1	IOVDD	H	H	この出力端子は、SDRAMのチップセレクト信号です。
MRAS#	O	51	HO1	IOVDD	H	H	この出力端子は、SDRAMのRAS信号です。
MCAS#	O	56	HO1	IOVDD	H	H	この出力端子は、SDRAMのCAS信号です。
MWE#	O	58	HO1	IOVDD	H	H	この出力端子は、SDRAMのライトイネーブル信号です。
MDQM1	O	57	HO1	IOVDD	L	L	この出力端子は、SDRAMのDQMH信号です。
MDQM0	O	59	HO1	IOVDD	L	L	この出力端子は、SDRAMのDQML信号です。
MCLKO	O	55	HO2	IOVDD	H or L	H or L	この出力端子は、SDRAMのクロック信号です。
MCLKI	I	53	HI	IOVDD	入力	入力	この入力端子は、SDRAMデータを取り込むクロック信号です。
MCKE	O	50	HO1	IOVDD	H	H	この出力端子は、SDRAMのCKE信号です。

6.2.4 クロック

表6.5 クロック入力の端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
CLKI	I	18	HI	IOVDD	入力	入力	この入力信号は動作クロックを生成する信号です。PLL動作のための入力クロック、またはPLLがバイパスされる場合の入力クロックになります。

6.2.5 その他

表6.6 その他の端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
PWM	O	118	HO1	IOVDD	L	L	この出力端子は、LCDバックライト制御用のPWMです。
CNF[2:0]	I	21, 22, 23	HI	IOVDD	入力固定	入力固定	これらの入力端子は、電源投入後およびリセット中のホストインタフェースの構成を決めます。26ページの6.4「構成オプション」を参照してください。 注：必ずIOVDDまたはVSSに直接接続してください。
PLLCHGO	O	26	LOT	PLLVDD	—	—	この端子は、PLLのローパスフィルタを構成するアナログ端子です。推奨する抵抗・容量でローパスフィルタを構成してください。 PLLを使用しない場合は、未接続のままにしておいてください。
TEST[1:0]	I	20, 19	HID	IOVDD	—	—	この端子はテストイネーブル入力で、製造試験でのみ使用します。 この端子は、通常動作ではVSSへ接続してください。
SCANEN	I	30	HID	IOVDD	—	—	この端子はテストスキャンイネーブル入力であり、製造試験でのみ使用します。 この端子は、通常動作ではVSSへ接続してください。

6. 端子

6.2.6 電源

表6.7 電源およびグラウンドの端子説明

端子名	端子タイプ	QFP 端子#	セル	説明
COREVDD	P	15, 25, 52, 78, 112	P	コア電源（必ず全端子接続してください）
IOVDD	P	16, 31, 47, 64, 79, 96, 113, 128	P	IO電源（必ず全端子接続してください）
PLLVD	P	27	P	PLL電源
PLLVS	P	28	P	PLL用GND
VSS	P	1, 17, 24, 32, 48, 54, 65, 80, 97, 114	P	GND（必ず全端子接続してください）

6.3 端子構造

6.3.1 入力端子

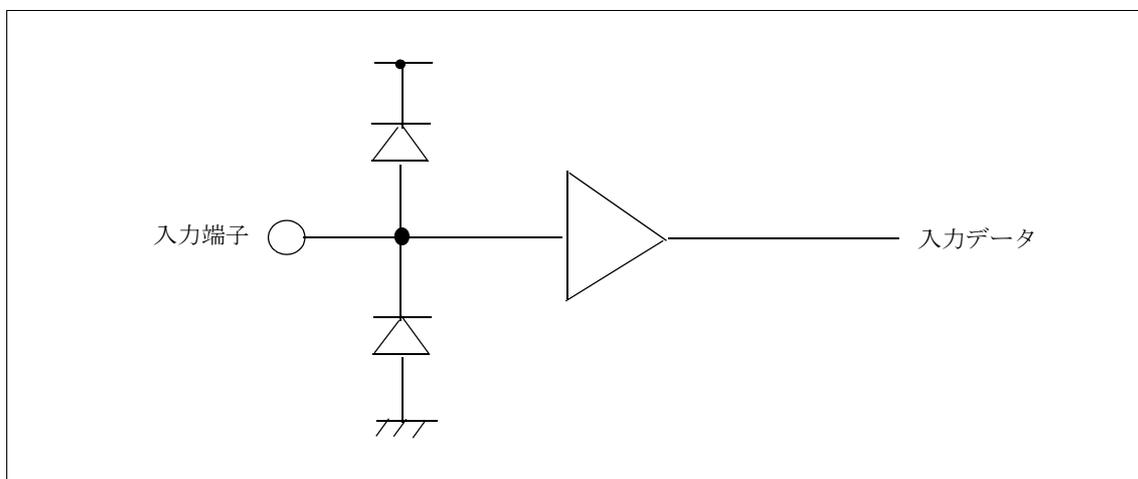


図6.2 入力端子(HI, HIS)構造

6.3.2 出力端子

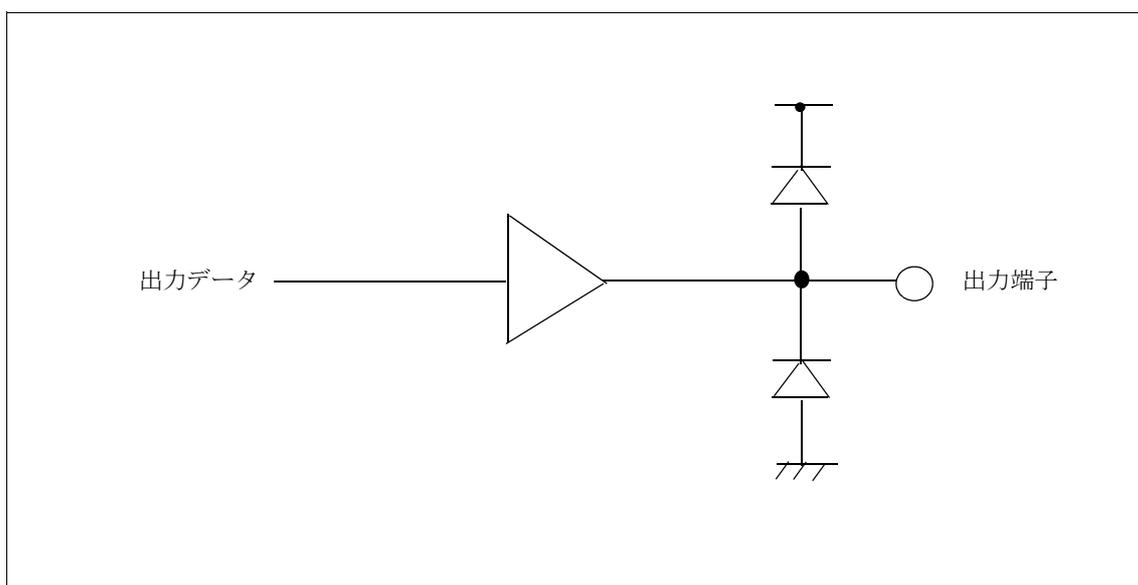


図6.3 出力端子(HO1, HO2)構造

6. 端子

6.3.3 双方向端子

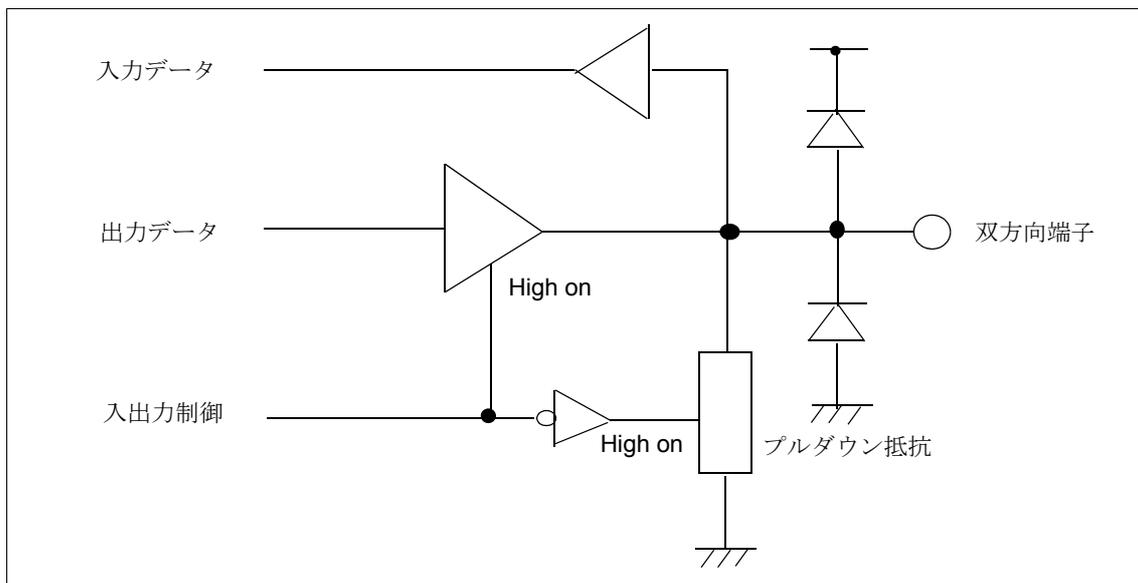


図6.4 双方向端子(HB1D)構造

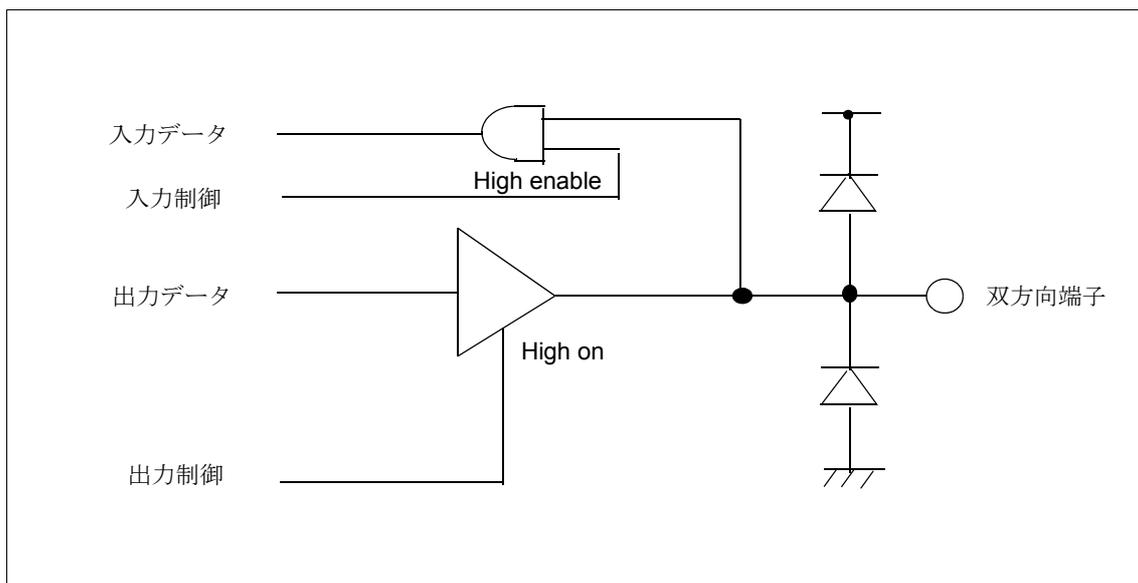


図6.5 双方向端子(HB1G)構造

6.4 構成オプション

これらの端子は、電源投入の構成用に使用される端子でIOVDDまたはVSSに直接接続する必要があります。動作中は変更しないでください。

表6.8 電源投入／リセット状態の構成

構成入力	電源投入／リセット状態	
	1 (IOVDDに接続)	0 (VSSに接続)
CNF0	データ8ビットバス	データ16ビットバス
CNF[2:1]	ホストインタフェースのタイプを選択します。 CNF[2:1] = 00の場合、パラレルインタフェース (Intel80バス) CNF[2:1] = 01の場合、パラレルインタフェース (ALEバス) CNF[2:1] = 1xの場合、予約	

注

すべてのレジスタアクセスは8ビットのみです。
CNF0 = 0 (16ビット) のとき、メモリデータポートのレジスタアクセスのみ16ビットになります。その他のレジスタの上位バイトは無視されます。

6.5 ホストインタフェースデータ端子

この機能はCNF端子によって制御されます。未接続は、端子内部でゲーティングされていますのでオープンとすることができます。双方向端子は直接電源と接続しないでください。電源投入時に出力データを駆動することがあります。

表6.9 ホストインタフェースデータ端子

端子名	16ビットバス (CNF[2:0]=0x0)	8ビットバス (CNF[2:0]=0x1)
HD15	HD15	未接続
HD14	HD14	未接続
HD13	HD13	未接続
HD12	HD12	未接続
HD11	HD11	未接続
HD10	HD10	未接続
HD9	HD9	未接続
HD8	HD8	未接続
HD7	HD7	HD7
HD6	HD6	HD6
HD5	HD5	HD5
HD4	HD4	HD4
HD3	HD3	HD3
HD2	HD2	HD2
HD1	HD1	HD1
HD0	HD0	HD0

6. 端子

6.6 ホストインタフェース制御端子

この機能はCNF[2:1]によって制御されます。

表6.10 ホストインタフェース制御端子

端子名	Intel80バス (CNF[2:0]=00x)	ALEバス (CNF[2:0]=01x)
HCS#	HCS#	HCS#
HRE#	HRE#	HRE#
HWE#	HWE#	HWE#
HD/C#	HD/C#	HD/C#
HALE	VSSに接続	HALE
TE / INT	TE / INT	TE / INT

6.7 LCDインタフェース端子

表6.11 LCDインタフェース端子

端子名	TFTインタフェース	
	18bpp	24bpp
PVS	PVS	
PHS	PHS	
PCLK	PCLK	
PDE	PDE	
PDR0	GPO4	R0
PDR1	GPO5	R1
PDR2	R2	
PDR3	R3	
PDR4	R4	
PDR5	R5	
PDR6	R6	
PDR7	R7	
PDG0	GPO6	G0
PDG1	GPO7	G1
PDG2	G2	
PDG3	G3	
PDG4	G4	
PDG5	G5	
PDG6	G6	
PDG7	G7	
PDB0	GPO8	B0
PDB1	GPO9	B1
PDB2	B2	
PDB3	B3	
PDB4	B4	
PDB5	B5	
PDB6	B6	
PDB7	B7	
GPO0	GPO0	GPO0
GPO1	GPO1	GPO1
GPO2	GPO2	GPO2
GPO3	GPO3	GPO3

7. DC特性

7.1 絶対最大定格

表7.1 絶対最大定格

記号	パラメータ	定格	単位
CORE V _{DD}	コア電源電圧	VSS - 0.3~3.0	V
PLL V _{DD}	PLL電源電圧	VSS - 0.3~3.0	V
IO V _{DD}	IO電源電圧	COREVDD~4.0	V
V _{IN}	入力信号電圧	VSS - 0.3~IOVDD + 0.5	V
V _{OUT}	出力信号電圧	VSS - 0.3~IOVDD + 0.5	V
I _{OUT}	出力信号電流	±30	mA

7.2 推奨動作条件

表7.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
CORE V _{DD}	コア電源電圧	VSS = 0 V	2.30	2.50	2.70	V
PLL V _{DD}	PLL電源電圧	VSS = 0 V	2.30	2.50	2.70	V
IO V _{DD}	ホストIO電源電圧	VSS = 0 V	3.00	3.30	3.60	V
V _{IN}	入力電圧	—	VSS	—	IOVDD	V
T _{OPR}	動作温度	—	-40	+25	+85	°C

7. DC特性

7.3 電気的特性

以下は、 $V_{SS} = 0V$ 、 $T_{OPR} = -40 \sim +85^{\circ}C$ の場合の特性です。

表7.3 電気的特性

記号	パラメータ	条件	Min	Typ	Max	単位
I_{QALL}	静止電流	静止状態 (すべての電源系)	—	—	1	mA
I_{PLL}	PLL電流	$f_{PLL} = 90MHz$	—	1	—	mA
I_{CORE}	動作電流	COREVDD電源端子	—	50	100	mA
I_{IZ}	入力リーク電流	—	-5	—	5	μA
I_{OZ}	出力リーク電流	—	-5	—	5	μA
IOV_{OH1}	高レベル出力電圧 (1)	$IOV_{DD} = \min$ $I_{OH1} = -3mA$	$IOV_{DD} - 0.40$	—	IOV_{DD}	V
IOV_{OH2}	高レベル出力電圧 (2)	$IOV_{DD} = \min$ $I_{OH2} = -6mA$	$IOV_{DD} - 0.40$	—	IOV_{DD}	V
IOV_{OL1}	低レベル出力電圧 (1)	$IOV_{DD} = \min$ $I_{OL1} = 3.0mA$	VSS	—	0.40	V
IOV_{OL2}	低レベル出力電圧 (2)	$IOV_{DD} = \min$ $I_{OL2} = 6.0mA$	VSS	—	0.40	V
IOV_{IH1}	高レベル入力電圧	CMOS入力	2.20	—	—	V
IOV_{IL1}	低レベル入力電圧	CMOS入力	—	—	0.80	V
IOV_{IH2}	高レベル入力電圧	ゲーテッド入力	1.70	—	—	V
IOV_{IL2}	低レベル入力電圧	ゲーテッド入力	—	—	0.70	V
IOV_{T+}	ポジティブトリガ電圧	CMOSシュミット	1.40	—	2.70	V
IOV_{T-}	ネガティブトリガ電圧	CMOSシュミット	0.60	—	1.80	V
IOV_H	ヒステリシス電圧	CMOSシュミット	0.30	—	—	V
R_{PD}	プルダウン抵抗	$V_I = V_{DD}$	60	120	288	k Ω
C_{IO}	端子の静電容量	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF

8. AC特性

条件：IOVDD = 3.3V ± 0.3V, COREVDD = PLLVDD = 2.5V ± 0.2V, T_A = -40°C ~ 85°C

シュミットを除くすべての入力はT_{rise}とT_{fall}は≤50ns (10%~90%)

シュミット入力はT_{rise}とT_{fall}は≤5ms (10%~90%)

C_L = 30pF (ホストインタフェース)

C_L = 15pF (SDRAMインタフェース)

C_L = 30pF (LCDパネルインタフェース)

C_L = 30pF (その他のインタフェース)

8.1 クロックタイミング

8.1.1 入力クロック

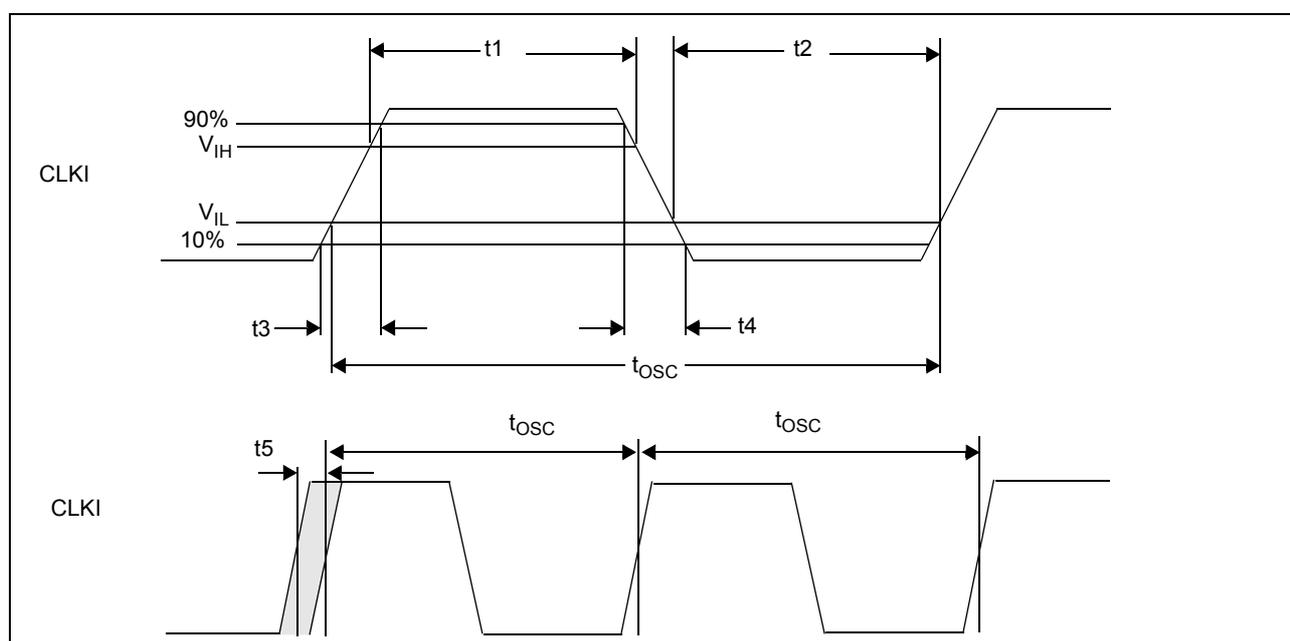


図8.1 クロック入力要件 (CLKI)

表8.1 クロック入力 (CLKI)

記号	パラメータ	Min	Typ	Max	単位
f _{osc}	入力クロック周波数	2	—	64	MHz
t _{osc}	入力クロック周期	—	1/f _{osc}	—	ns
t1	入力クロックHIGHパルス幅	5	—	—	ns
t2	入力クロックLOWパルス幅	5	—	—	ns
t3	入力クロック立ち上がり時間 (10%~90%)	—	—	10	ns
t4	入力クロック立ち下がり時間 (90%~10%)	—	—	10	ns
t5	入力クロックサイクルジッター (注1)	-150	—	150	ps

注

1. 入力クロックサイクルジッターは、隣接するサイクル間の周期差です。

8. AC特性

8.1.2 PLLクロック

PLL回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL回路の動作が不安定になったり、ジッターを増大させたりするおそれがあります。

ノイズの制約のため、PLLの電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。入力クロック波形のジッターはできるだけ少なくなるようにしてください。

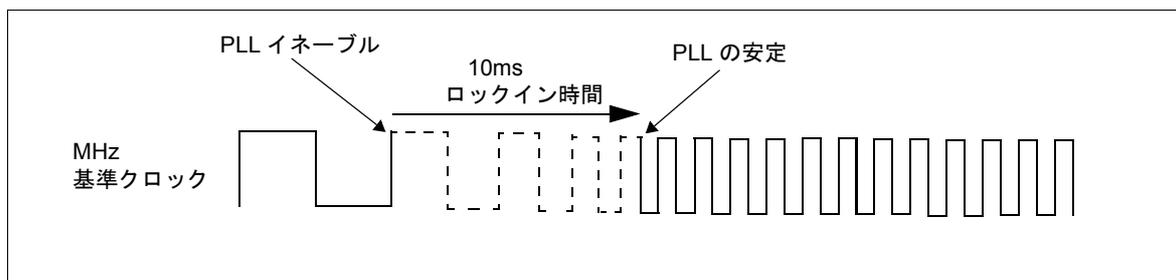


図8.2 PLL起動時間

表8.2 PLLクロック

記号	パラメータ	Min	Typ	Max	単位
f_{PLLI}	PLL入力クロックの周波数	0.99	1.00	2.00	MHz
f_{PLLO}	PLL出力クロックの周波数	50	—	180	MHz
$t_{\text{PLL}Duty1}$	PLL出力クロックデューティ	30	—	70	%
$t_{\text{PLL}Duty2}$	PLL出力クロックデューティ (注)	40	—	60	%
$t_{\text{P}Jref}$	PLL出力クロックの周期ジッター	-500	—	500	ps
$t_{\text{P}Stal}$	PLL出力の安定時間	—	—	10	ms

注

REG[08h] bit 0 = 1により、PLLクロックを1/2分周した場合の値です。

8.1.3 クロック出力

表8.3 クロック出力 (SYSCLK : SDCLK = 1:3の場合)

記号	パラメータ	Min	Typ	Max	単位
f_{SDCLK}	SDRAMクロック (注1)	—	—	90	MHz
t_{SDuty1}	SDRAMクロックデューティ	30	50	70	%
t_{SDuty2}	SDRAMクロックデューティ (注2)	40	50	60	%
f_{SYSCLK}	内部システムクロック (注1)	—	—	30	MHz
f_{PCLK}	ピクセルクロック (注1)	—	—	30	MHz
t_{PDuty}	ピクセルクロックデューティ	45	50	55	%

表8.4 クロック出力 (SYSCLK : SDCLK = 1:2の場合)

記号	パラメータ	Min	Typ	Max	単位
f_{SDCLK}	SDRAMクロック (注1)	—	—	90	MHz
t_{SDuty1}	SDRAMクロックデューティ	30	50	70	%
t_{SDuty2}	SDRAMクロックデューティ (注2)	40	50	60	%
f_{SYSCLK}	内部システムクロック (注1)	—	—	45	MHz
f_{PCLK}	ピクセルクロック (注1)	—	—	45	MHz
t_{PDuty}	ピクセルクロックデューティ	45	50	55	%

注

- SDRAMクロック、内部システムクロック、ピクセルクロックの最大周波数は、PLLの入カクロック周波数ばらつきおよびPLLのジッターの値を含んでいません。
- REG[08h] bit 0 = 1により、PLLクロックを1/2分周した場合の値です。

8.1.4 スプレッド・スペクトラム変調クロック

EMIのノイズを低減するためスプレッド・スペクトラム変調を付加することができます。

注

表8.5 クロック出力

記号	パラメータ	Min	Max	単位
f_{SSCLK}	入力SSクロック (注1)	31	80	MHz
t_{SSW}	SSクロックの拡散幅 (REG[10h]ビット6~4 = 000b)	-0.37	0.37	ns
	SSクロックの拡散幅 (REG[10h]ビット6~4 = 001b)	-0.52	0.52	ns
	SSクロックの拡散幅 (REG[10h]ビット6~4 = 010b)	-0.67	0.67	ns
	SSクロックの拡散幅 (REG[10h]ビット6~4 = 011b)	-0.82	0.82	ns
	SSクロックの拡散幅 (REG[10h]ビット6~4 = 100b)	-0.97	0.97	ns

注

- SSの入力周波数は31~80MHzになります。82MHz~90MHzには使用できません。

8. AC特性

8.2 リセットタイミグ

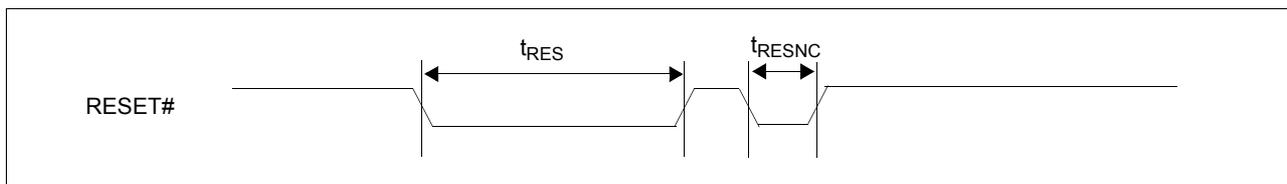


図8.3 リセットタイミグ

表8.6 リセットタイミグ

記号	パラメータ	Min	Max	単位
t_{RES}	アクティブリセットパルス幅	100	—	uS
t_{RESNC}	ノイズキャンセルパルス幅	—	3	nS

8.3 電源シーケンスタイミング

8.3.1 電源投入シーケンスタイミング

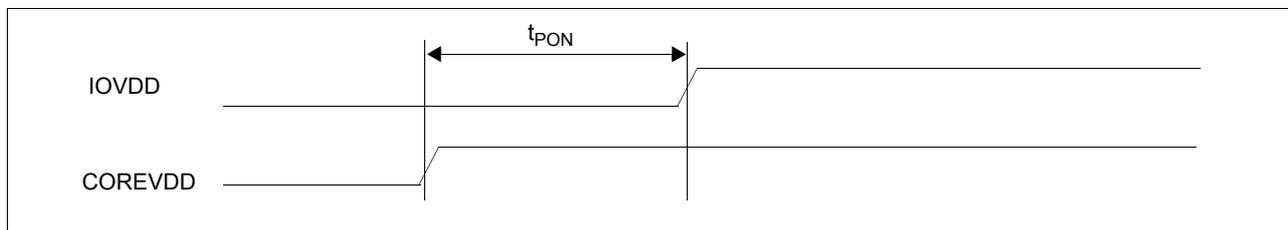


図8.4 電源投入シーケンスタイミング

表8.7 電源投入シーケンスタイミング

記号	パラメータ	Min	Max	単位
t_{PON}	電源投入時間差	0	—	mS

8.3.2 電源遮断シーケンスタイミング

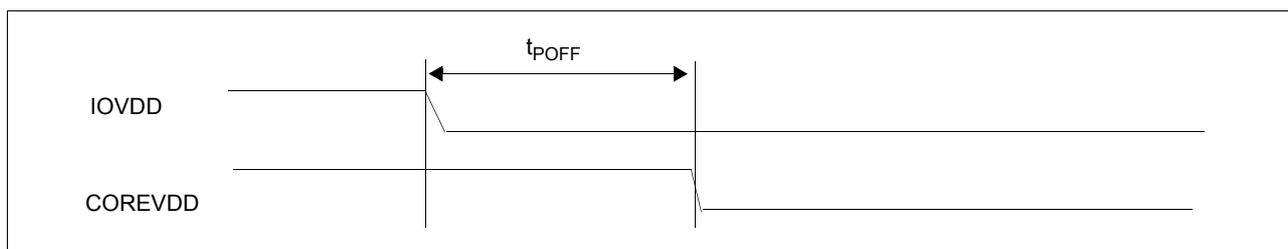


図8.5 電源遮断シーケンスタイミング

表8.8 電源遮断シーケンスタイミング

記号	パラメータ	Min	Max	単位
t_{POFF}	電源遮断時間差	0	—	mS

8. AC特性

8.4 ホストインタフェースのタイミング

8.4.1 非同期インダイレクトIntel80バス

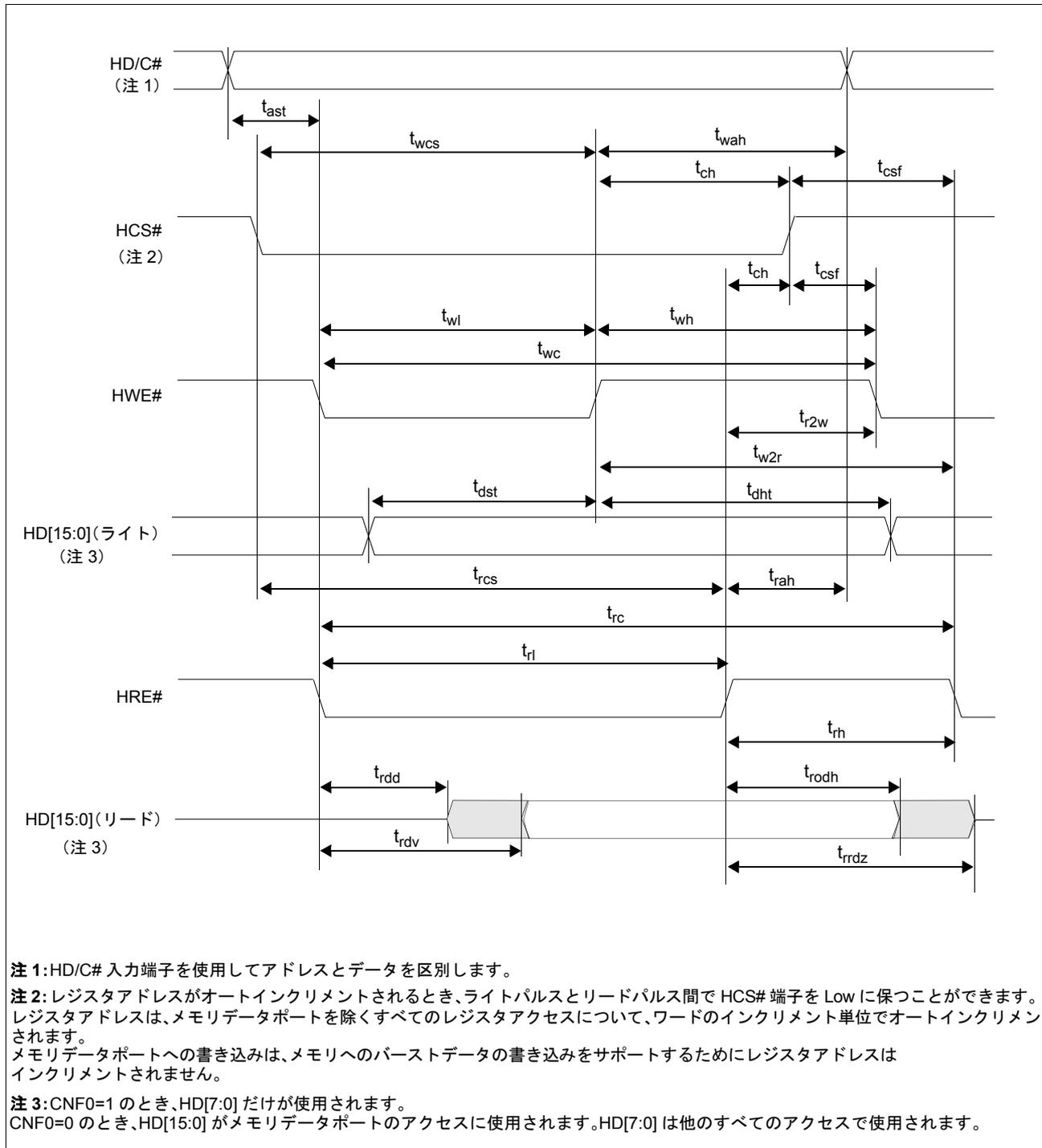


図8.6 Intel80バス入力AC特性

表8.9 Intel80バス入力AC特性

信号	記号	パラメータ	Min	Max	単位	説明	
HD/C#	t_{ast}	アドレスのセットアップ時間 (リード/ライト)	1	—	ns		
	t_{wah}	アドレスのホールド時間 (ライト)	5	—	ns		
	t_{rah}	アドレスのホールド時間 (リード)	5	—	ns		
HCS#	t_{wcs}	チップセレクトのセットアップ時間 (ライト)	t_{wl}	—	ns		
	t_{rcs}	チップセレクトのセットアップ時間 (リード)	t_{rl}	—	ns		
	t_{ch}	チップセレクトのホールド時間 (リード/ライト)	0	—	ns		
	t_{csf}	チップセレクトの待機時間 (リード/ライト)	1	—	ns		
HWE#	t_{wc}	レジスタのライトサイクル	30	—	ns	注1	
		メモリのライトサイクル (8ビット16bppモード)	$3.5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (8ビット24bppモード)	$2.5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット16bppモード)	$7 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット24bppモード1)	$5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット24bppモード2)	$3.5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (8ビット16bppモード)	$7 * (1/f_{SDCLK})$	—	ns	注2	
		メモリのライトサイクル (8ビット24bppモード)	$5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット16bppモード)	$14 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット24bppモード1)	$10 * (1/f_{SDCLK})$	—	ns		
			メモリのライトサイクル (16ビット24bppモード2)	$7 * (1/f_{SDCLK})$	—	ns	
	t_{wl}	パルスLow期間	10	—	ns		
	t_{wh}	パルスHigh期間	$t_{wc} - t_{wl}$	—	ns		
t_{w2r}	HWE#立ち上がりエッジ→HRE#立ち下がりエッジ	20	—	ns			
HRE#	t_{r2w}	HRE#立ち上がりエッジ→HWE#立ち下がりエッジ	20	—	ns		
	t_{rc}	リードサイクル	$t_{rl} + t_{rhl}$	—	ns		
	t_{rl}	パルスLow期間	t_{rdv}	—	ns		
	t_{rh}	パルスHigh期間	10	—	ns		
HD[15:0]	t_{dst}	ライトデータのセットアップ時間	3	—	ns		
	t_{dht}	ライトデータのホールド時間	5	—	ns		
	t_{rodh}	リードデータのホールド時間	1	—	ns		
	t_{rrdz}	HRE#立ち上がりエッジ→HD Hi-Z	—	10	ns		
	t_{rdv}	HRE#立ち下がりエッジ→HDが有効	—	15	ns		
	t_{rdd}	HRE#立ち下がりエッジ→HDの駆動	5	—	ns		

注

1. REG[12h] bit 4 = 0 (SYSCLK分周比1:3) の場合です。この値を超えた場合は、メモリコントローラのライトバッファオーバーフロー (REG[92h] bit 3) が発生します。
2. REG[12h] bit 4 = 1 (SYSCLK分周比1:2) の場合です。この値を超えた場合は、メモリコントローラのライトバッファオーバーフロー (REG[92h] bit 3) が発生します。

8. AC特性

8.4.2 非同期インダイレクトALEバス

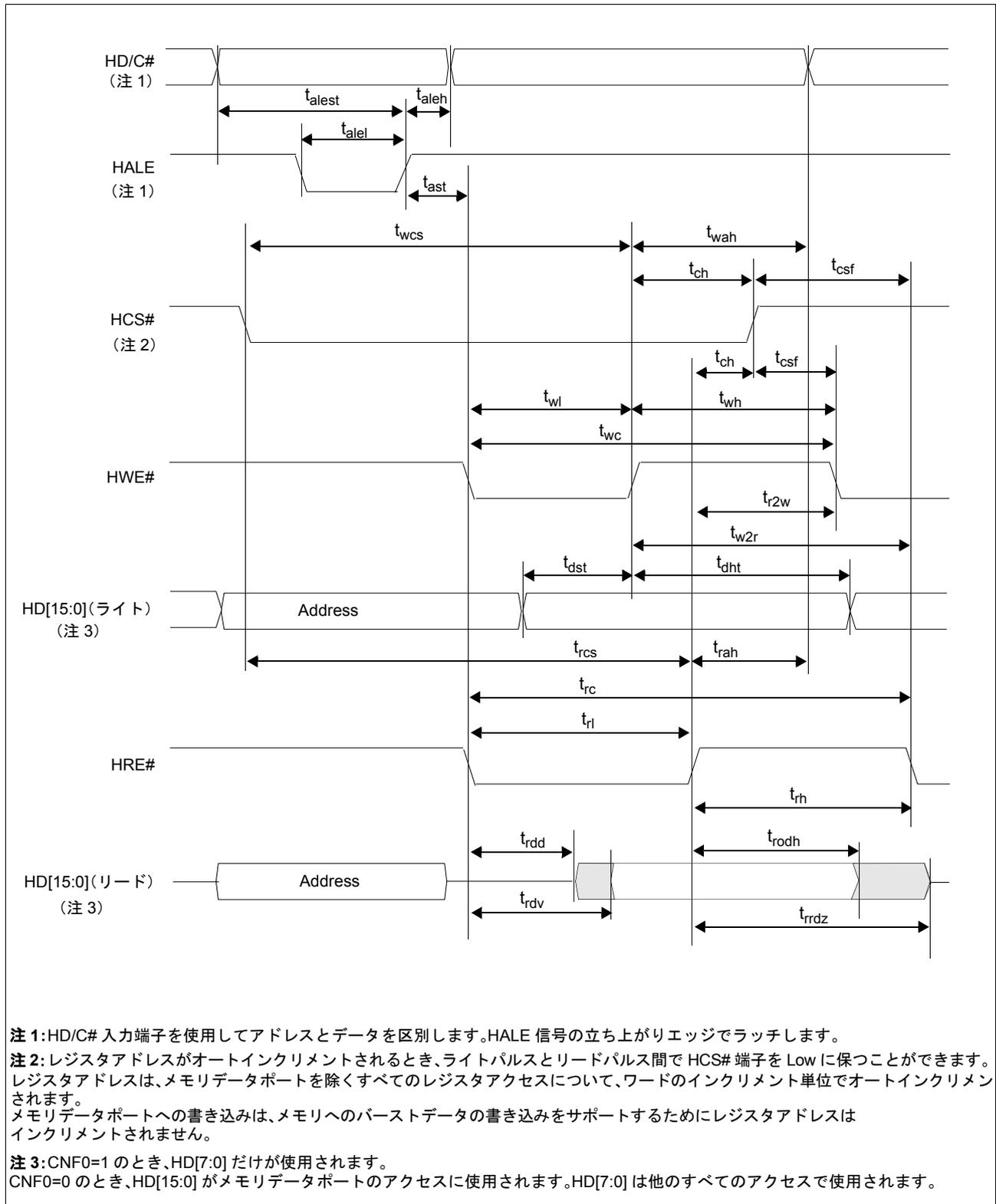


図8.7 ALEバス入力AC特性

表8.10 ALEバス入力AC特性

信号	記号	パラメータ	Min	Max	単位	説明	
HD/C#	t_{ast}	アドレスのセットアップ時間 (リード/ライト)	1	—	ns		
	t_{wah}	アドレスのホールド時間 (ライト)	5	—	ns		
	t_{rah}	アドレスのホールド時間 (リード)	5	—	ns		
HALE#	t_{alest}	アドレスのセットアップ時間	5	—	ns		
	t_{aleh}	アドレスのホールド時間	5	—	ns		
	t_{alel}	パルスLow期間	5	—	ns		
HCS#	t_{wcs}	チップセレクトのセットアップ時間 (ライト)	t_{wl}	—	ns		
	t_{rcs}	チップセレクトのセットアップ時間 (リード)	t_{rl}	—	ns		
	t_{ch}	チップセレクトのホールド時間 (リード/ライト)	0	—	ns		
	t_{csf}	チップセレクトの待機時間 (リード/ライト)	1	—	ns		
HWE#	t_{wc}	レジスタのライトサイクル	30	—	ns	注1	
		メモリのライトサイクル (8ビット16bppモード)	$3.5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (8ビット24bppモード)	$2.5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット16bppモード)	$7 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット24bppモード1)	$5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット24bppモード2)	$3.5 * (1/f_{SDCLK})$	—	ns	注2	
		メモリのライトサイクル (8ビット16bppモード)	$7 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (8ビット24bppモード)	$5 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット16bppモード)	$14 * (1/f_{SDCLK})$	—	ns		
		メモリのライトサイクル (16ビット24bppモード1)	$10 * (1/f_{SDCLK})$	—	ns		
		t_{wl}	パルスLow期間	10	—	ns	
		t_{wh}	パルスHigh期間	$t_{wc} - t_{wl}$	—	ns	
		t_{w2r}	HWE#立ち上がりエッジ→HRE#立ち下がりエッジ	20	—	ns	
HRE#	t_{r2w}	HRE#立ち上がりエッジ→HWE#立ち下がりエッジ	20	—	ns		
	t_{rc}	リードサイクル	$t_{rl} + t_{rh}$	—	ns		
	t_{rl}	パルスLow期間	t_{rdv}	—	ns		
	t_{rh}	レジスタのパルスHigh期間	10	—	ns		
HD[15:0]	t_{dst}	ライトデータのセットアップ時間	3	—	ns		
	t_{dht}	ライトデータのホールド時間	5	—	ns		
	t_{rodh}	リードデータのホールド時間	1	—	ns		
	t_{rrdz}	HRE#立ち上がりエッジ→HD Hi-Z	—	10	ns		
	t_{rdv}	HRE#立ち下がりエッジ→HDが有効	—	15	ns		
	t_{rdd}	HRE#立ち下がりエッジ→HDの駆動	5	—	ns		

注

1. REG[12h] bit 4 = 0 (SYSCLK分周比1:3) の場合です。この値を超えた場合は、メモリコントローラのライトバッファオーバーフロー (REG[92h] bit 3) が発生します。
2. REG[12h] bit 4 = 1 (SYSCLK分周比1:2) の場合です。この値を超えた場合は、メモリコントローラのライトバッファオーバーフロー (REG[92h] bit 3) が発生します。

8. AC特性

8.4.3 Hi-Z状態への遷移時間の定義

高速信号のハイインピーダンスの測定は困難であるため、High/LowからHi-Zへの遷移時間は以下のように規定されています。

- HighからHi-Zへの遅延時間： t_{pHZ}
Pch-MOSFETの最終段のゲート電圧が $0.8 \times IOVDD$ に変わるとき（Pch-MOSFETがオフ）の遅延時間。Hi-Zまでの総遅延時間は、次式で算出されます。
内部ロジック遅延 + t_{pHZ} （HighからHi-Z）
- LowからHi-Zへの遅延時間： t_{pLZ}
Nch-MOSFETの最終段のゲート電圧が $0.2 \times IOVDD$ に変わるとき（Nch-MOSFETがオフ）の遅延時間。Hi-Zまでの総遅延時間は、次式で算出されます。
内部ロジック遅延 + t_{pLZ} （LowからHi-Z）

トライステート出力セルの最終段の機能モデルは、図8.8「Hi-Z状態への遷移時間の定義」に示されています。

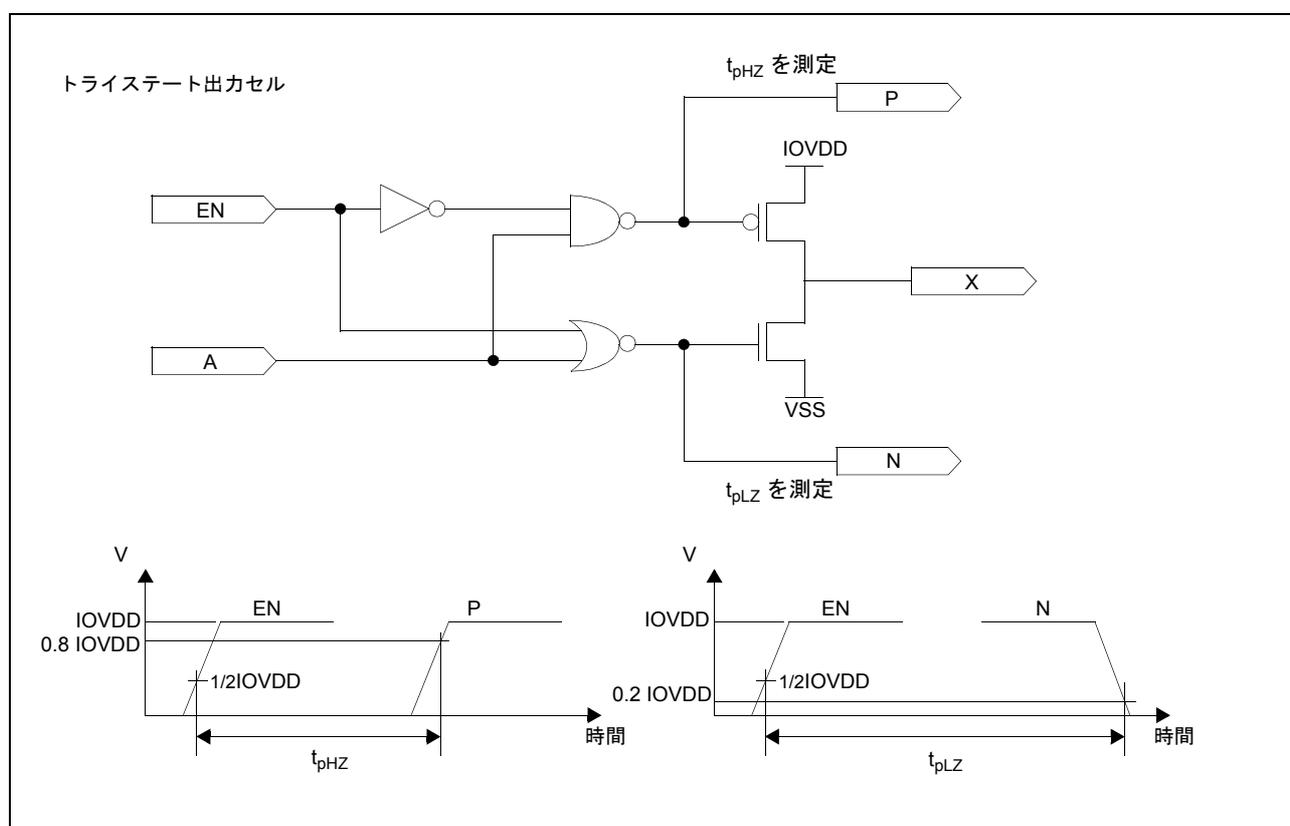


図8.8 Hi-Z状態への遷移時間定義

8.5 SDRAMインタフェースタイミング

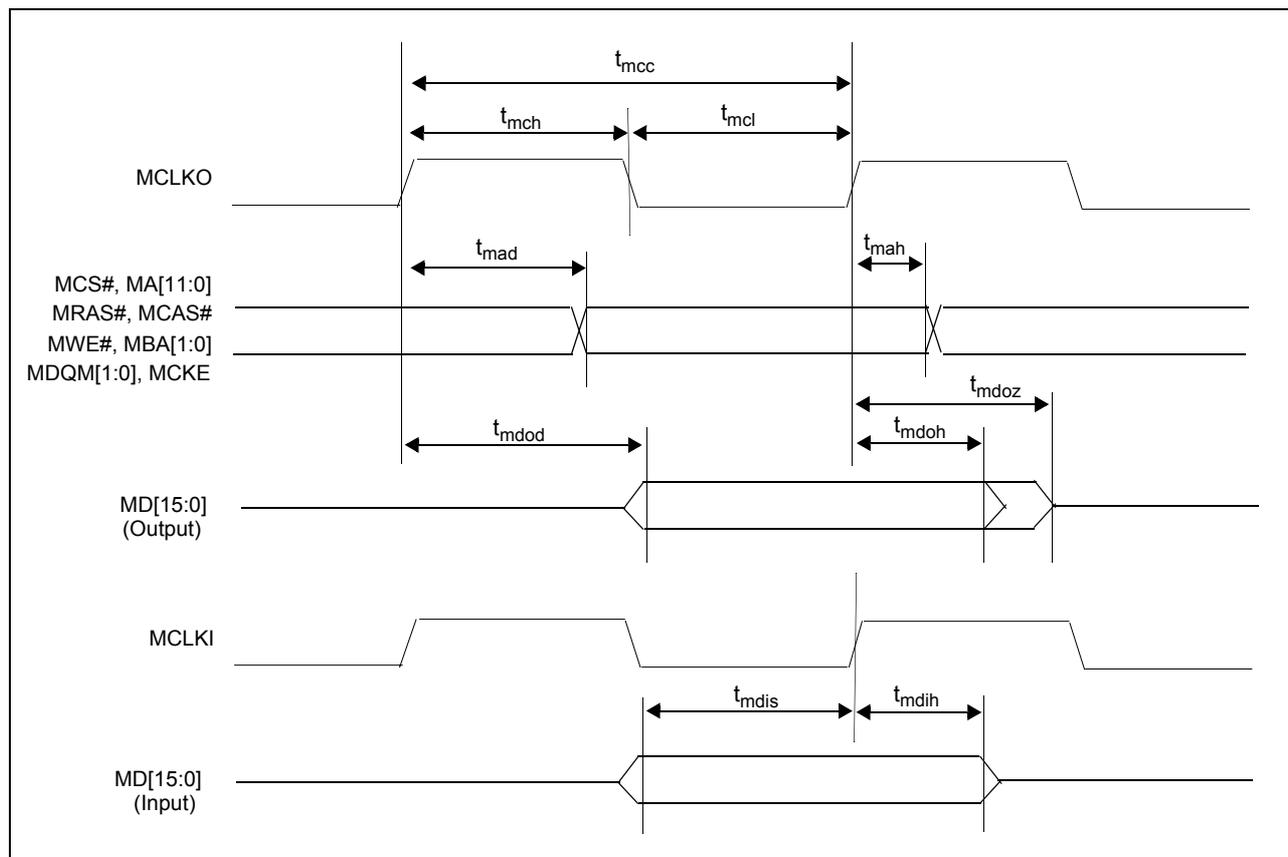


図8.9 SDRAMインタフェースタイミング

表8.11 SDRAMインタフェースタイミング

記号	パラメータ	MIN	MAX	単位
t_{mcc}	MCLKOサイクル時間 (注1)	10	—	ns
t_{mcl1}	MCLKO Lowパルス幅	$t_{mcc} * 0.3 - 2$	—	ns
t_{mcl2}	MCLKO Lowパルス幅 (注2)	$t_{mcc} * 0.5 - 2$	—	ns
t_{mch1}	MCLKO Highパルス幅	$t_{mcc} * 0.3 - 2$	—	ns
t_{mch2}	MCLKO Highパルス幅 (注2)	$t_{mcc} * 0.5 - 2$	—	ns
t_{mad}	SDRAM制御信号出力遅延時間	—	7	ns
t_{mah}	SDRAM制御信号出力ホールド時間	1	—	ns
t_{mdod}	SDRAMデータ信号出力遅延時間	—	7	ns
t_{mdoh}	SDRAMデータ信号出力ホールド時間	1	—	ns
t_{mdoz}	SDRAMデータ信号出力Hi-Z時間	—	9	ns
t_{mdih}	SDRAMデータ信号入力ホールド時間	2	—	ns
t_{mdis}	SDRAMデータ信号入力セットアップ時間	3	—	ns

注

1. MCLKOサイクル時間(MIN) = (1/PLL周波数設定値) / 2 - 1ns - SSジッター幅になります。
2. REG[08h] bit 0 = 1により、PLLクロックを1/2分周した場合の値です。

8. AC特性

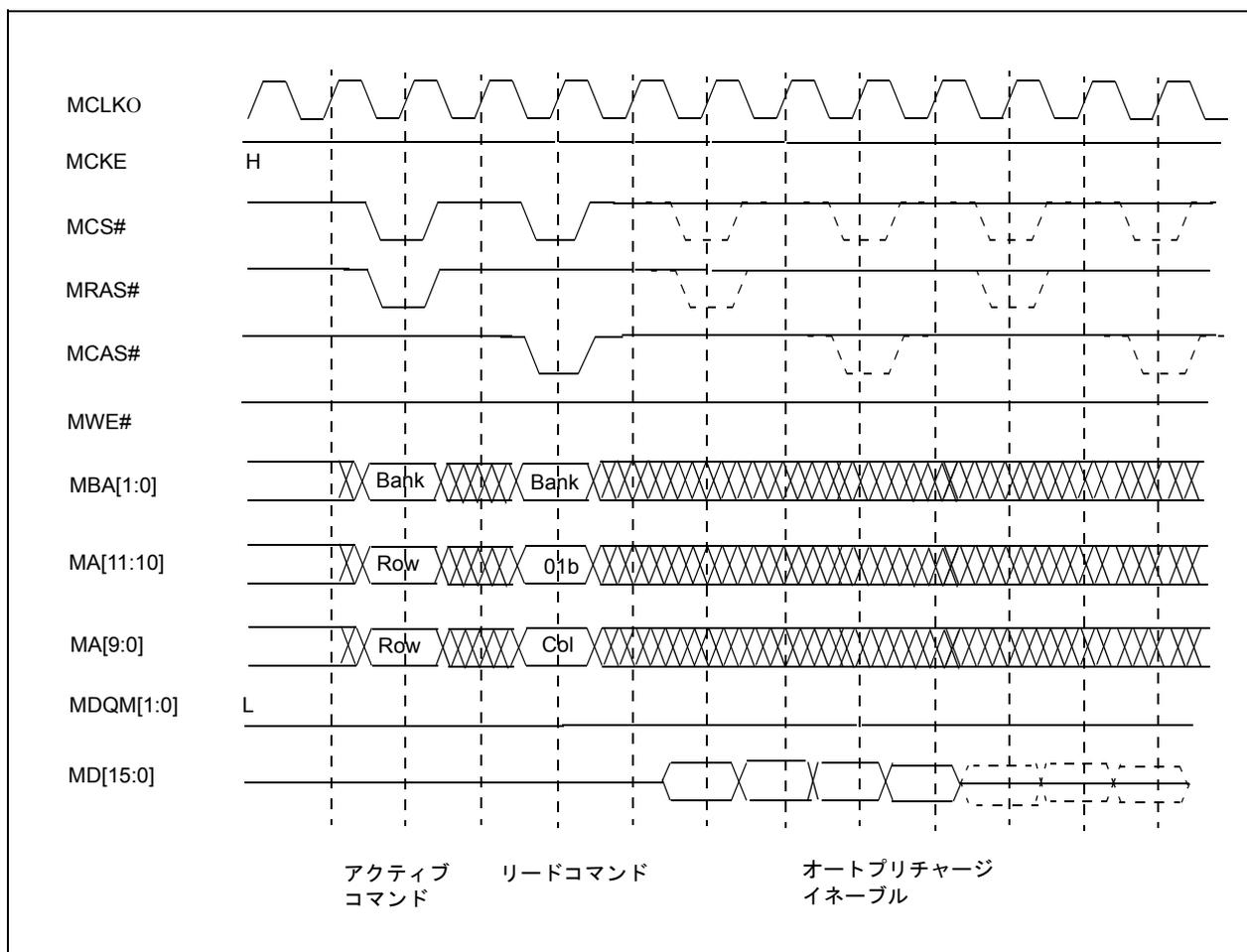


図8.10 SDRAMリードタイミング

注

バースト長=4、CASレイテンシー=2に固定になります。

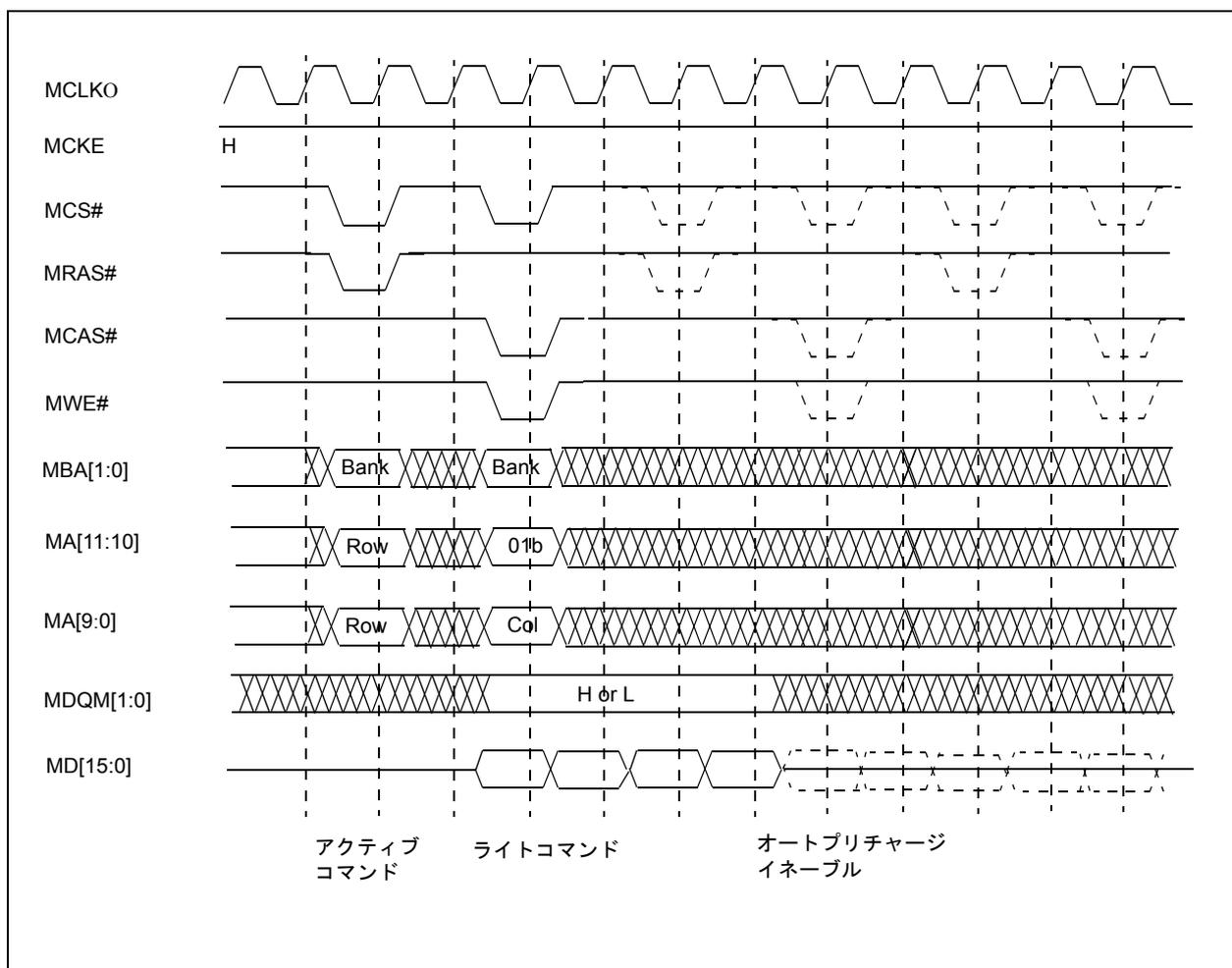


図8.11 SDRAMライトタイミング

注

バースト長=4に固定になります。

8. AC特性

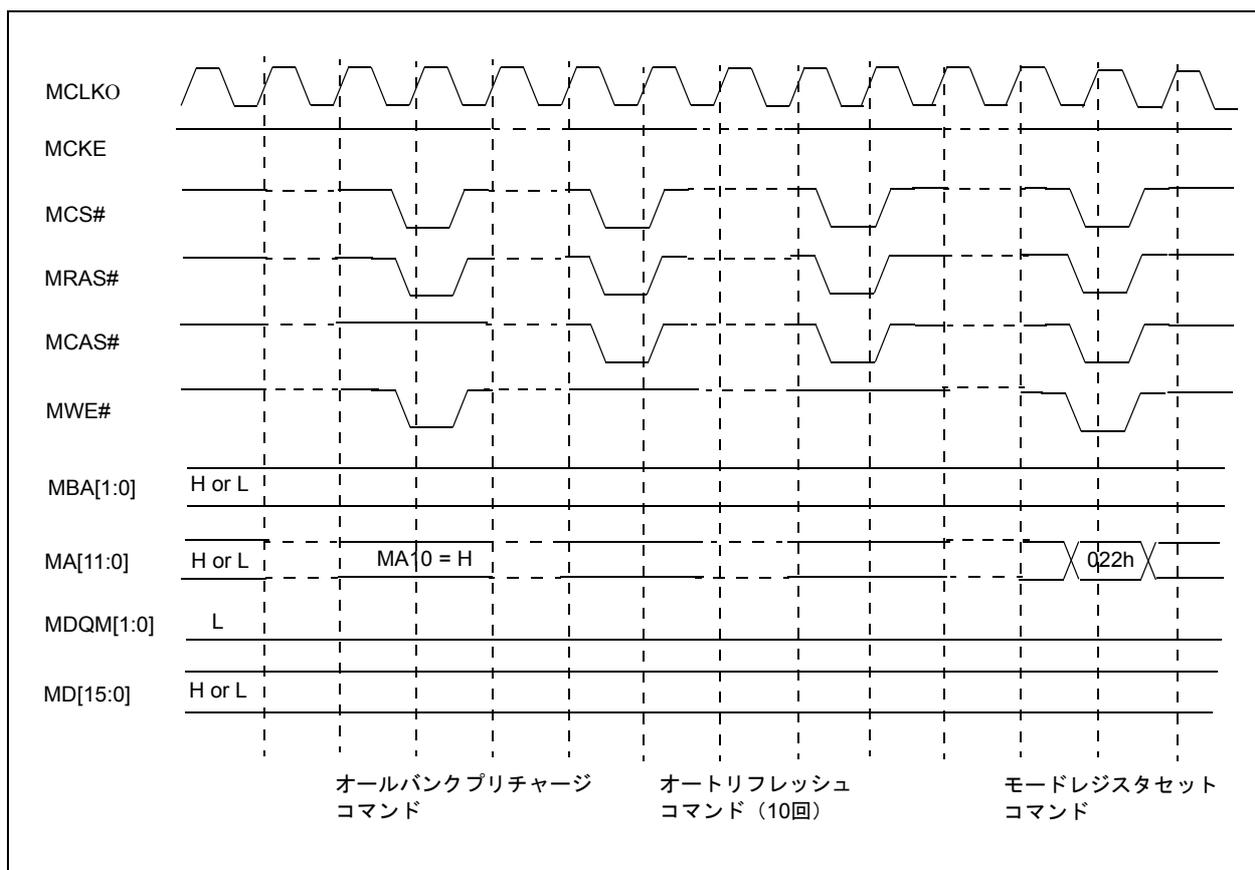


図8.12 イニシャライズタイミング

注

イニシャライズシーケンスはイニシャライズセットビット (REG[84h] bit1 = 1) で起動され、イニシャライズ期間は $30000 \cdot \text{MCLKO}$ になります。イニシャライズシーケンスはリセット後に、1回しか起動できません。

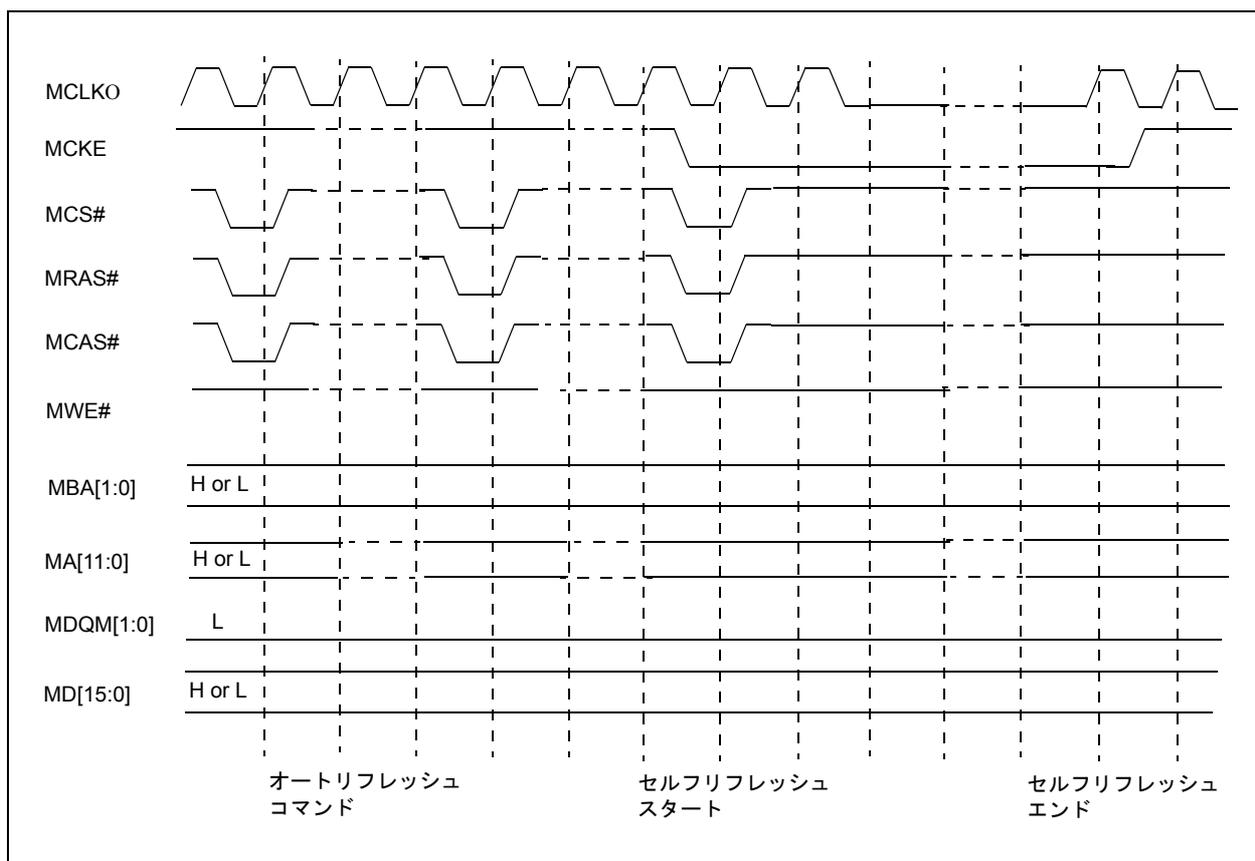


図8.13 オートリフレッシュ／セルフリフレッシュタイミング

注

オートリフレッシュサイクル時間 = (REG[8Eh]/[8Ch]カウンタ設定値) / f_{SDCLK} になります。

8. AC特性

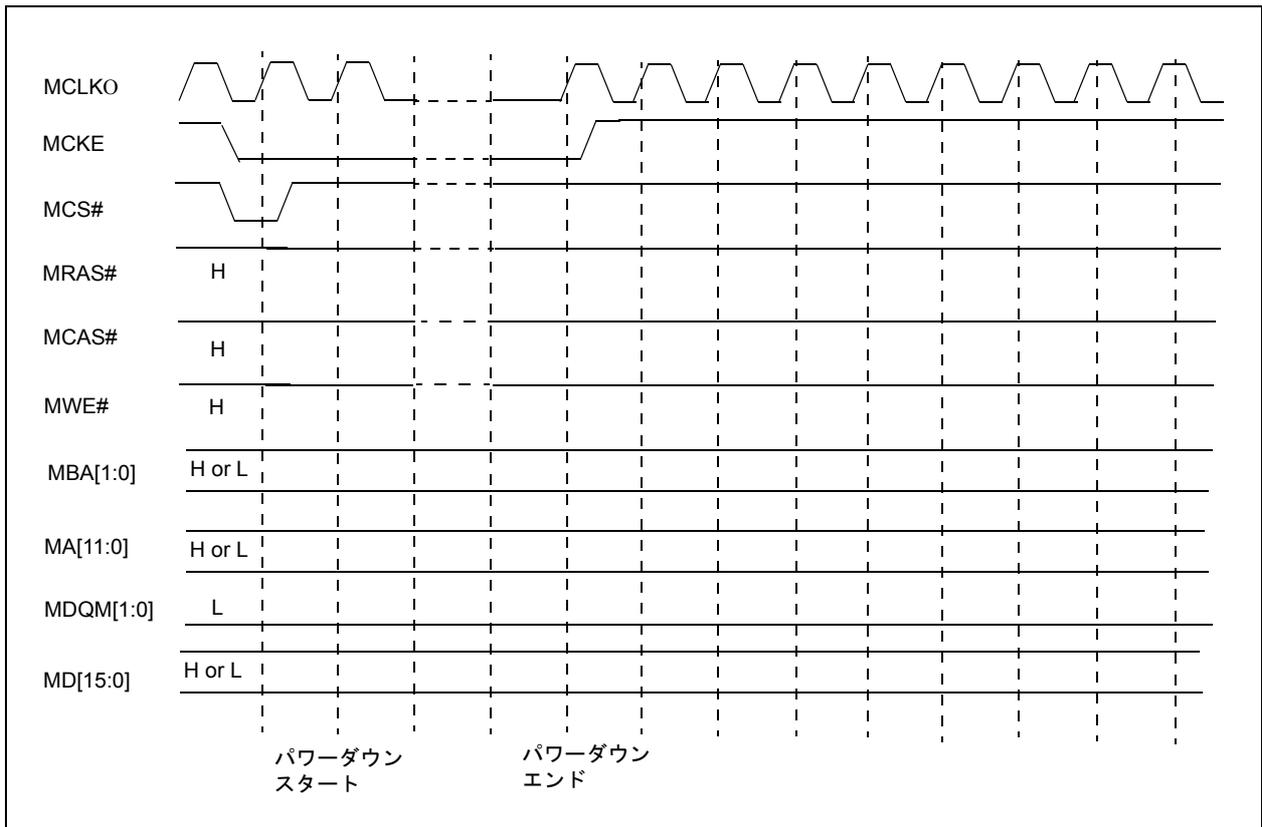


図8.14 パワーダウンタイミング

注

パワーダウンになった場合でも制御信号はハイレベルを出力するため、SDRAMの電源を落とすことはできません。

8.6 LCDインタフェースタイミング

LCDパネルを駆動するために必要なタイミングパラメータを示します。

注

すべてのタイミングは、図8.18「LCDパネルタイミング」の1/2*IOVDDレベルに対して測定しています。

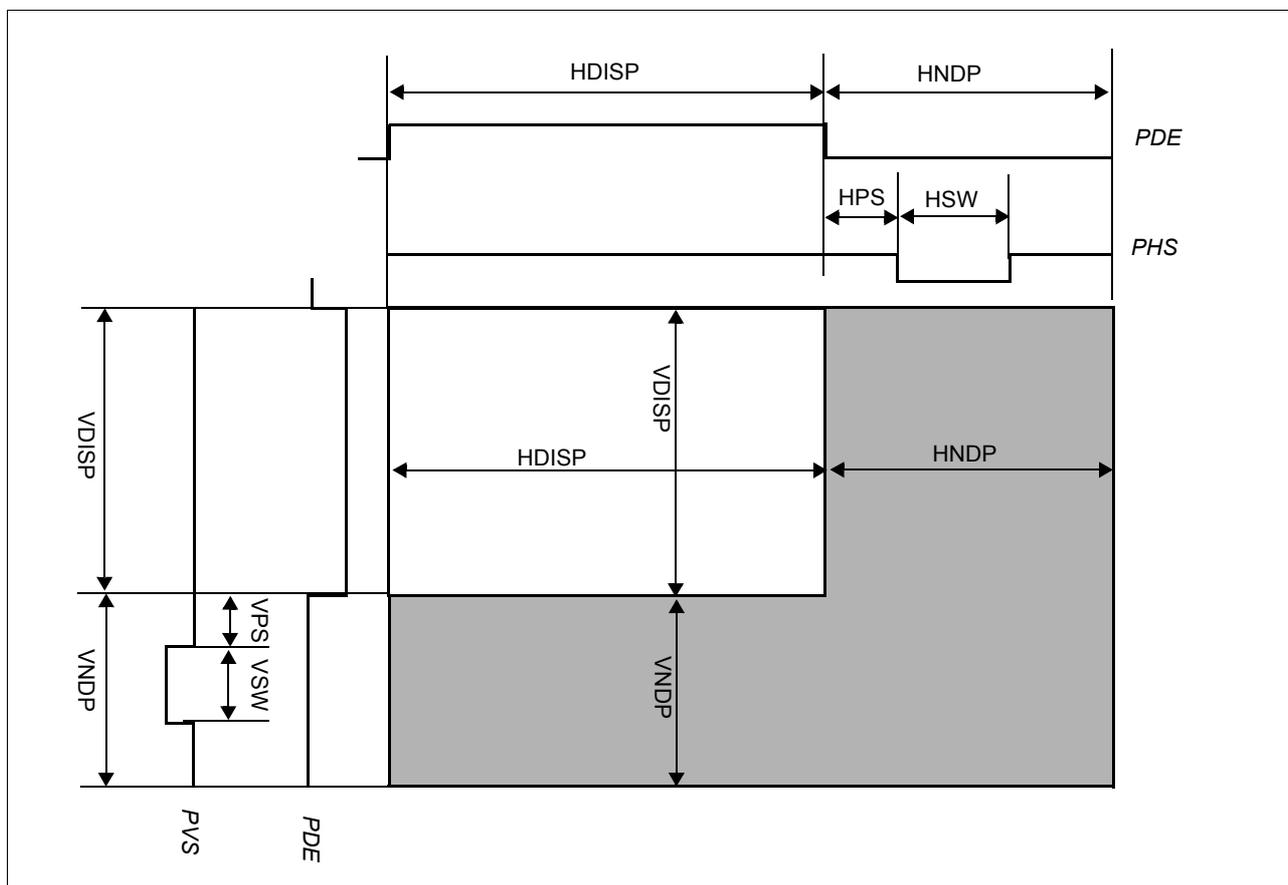


図8.15 パネルタイミングパラメータ

表8.12 パネルタイミングパラメータ

記号	説明	対象レジスタ	Min	Max	単位
HDISP	水平表示期間	$((\text{REG}[16\text{h}] \text{ビット}6\sim0) + 1) \times 8$	32	960	Ts
HNDP	水平非表示期間	$((\text{REG}[18\text{h}] \text{ビット}7\sim0) + 1) \times 2$	4	512	
HPS	PHSパルス開始位置	$(\text{REG}[22\text{h}] \text{ビット}6\sim0)$	0	127	
HSW	PHSパルス幅	$(\text{REG}[20\text{h}] \text{ビット}6\sim0) + 1$	1	128	
VDISP	垂直表示期間	$(\text{REG}[1\text{Ch}] \text{ビット}1\sim0, \text{REG}[1\text{Ah}] \text{ビット}7\sim0) + 1$	32	960	ライン
VNDP	垂直非表示期間	$((\text{REG}[1\text{Eh}] \text{ビット}7\sim0) + 1) \times 2$	4	512	
VPS	PVSパルス開始位置	$(\text{REG}[26\text{h}] \text{ビット}7\sim0)$	0	255	
VSW	PVSパルス幅	$(\text{REG}[24\text{h}] \text{ビット}5\sim0) + 1$	1	64	

注

$T_s = 1/\text{PCLK}$

8. AC特性

8.6.1 LCDパネル表示開始シーケンス

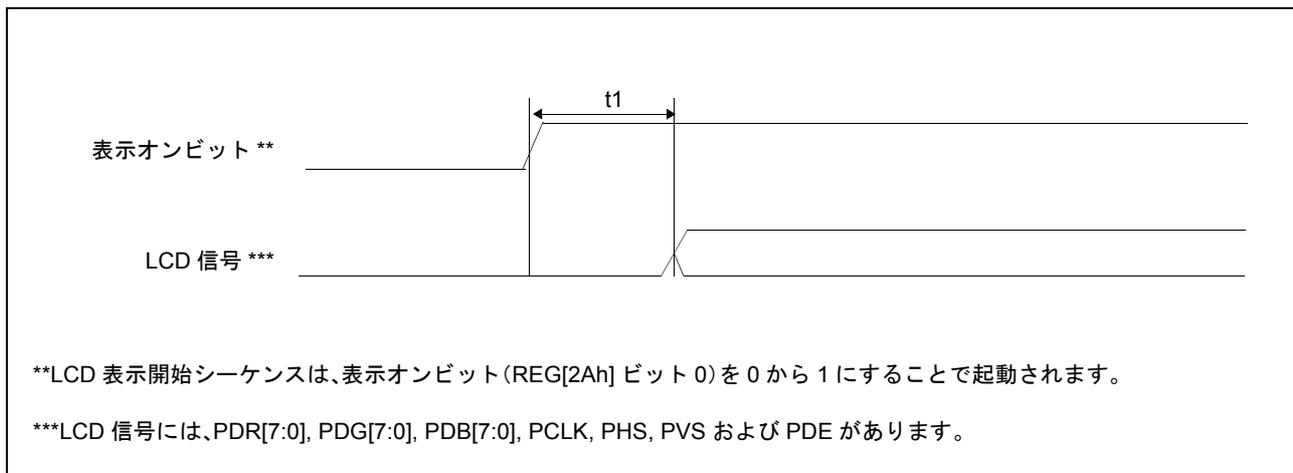


図8.16 LCDパネル表示開始シーケンスタイミング

表8.13 LCDパネル表示開始シーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	表示オンがディセーブル→LCD信号がアクティブ	0	10	Ts

8.6.2 LCDパネル表示停止シーケンス

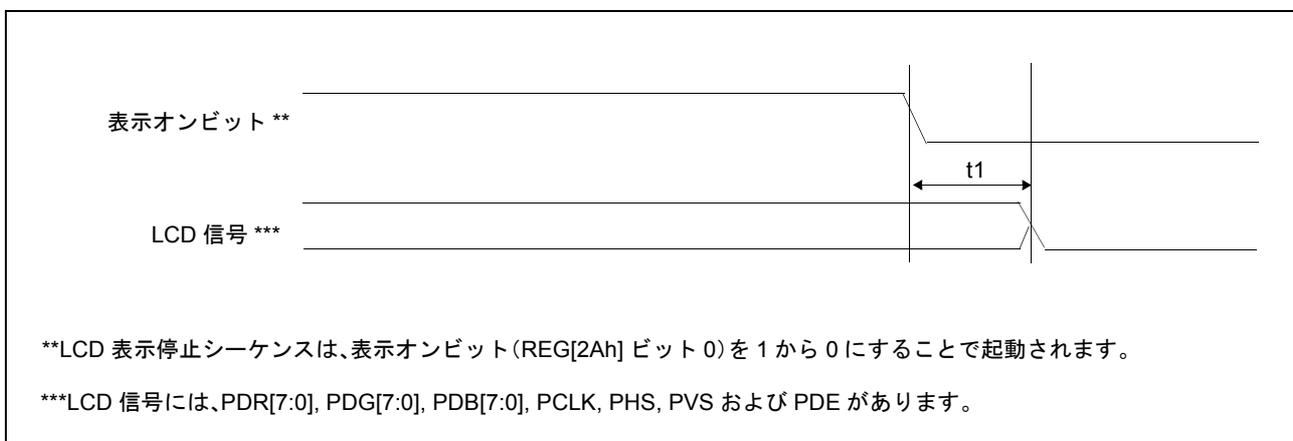


図8.17 LCDパネル表示停止シーケンスタイミング

表8.14 LCDパネル表示停止シーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	表示オンがイネーブル→LCD信号がLow	0	10	Ts

8.6.3 LCDパネルタイミング

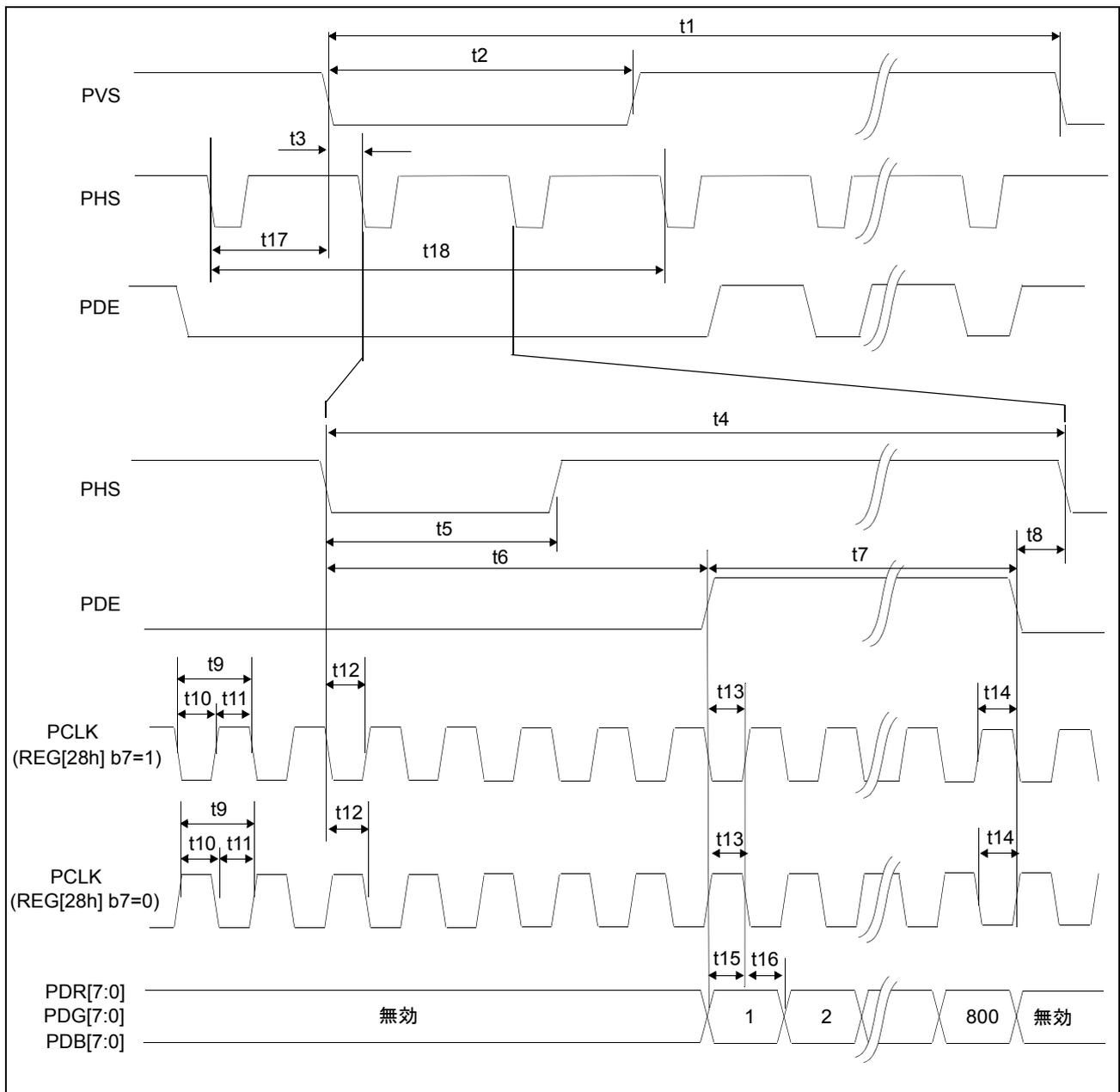


図8.18 LCDパネルタイミング

注

PHS、PVSおよびPCLKはレジスタにて極性選択ができます。

8. AC特性

表8.15 LCDパネルタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	PVSサイクル時間	—	VDISP + VNDP	—	ライン
t2	PVSパルス幅Low	—	VSW	—	ライン
t3	PVS立ち下がリエッジ→PHS立ち下がリエッジの位相差	—	HPS	—	Ts
t4	PHSサイクル時間	—	HDISP + HNDP	—	Ts
t5	PHSパルス幅Low	—	HSW	—	Ts
t6	PHS立ち下がリエッジ→PDEアクティブ	—	HNDP - HPS	—	Ts
t7	PDEパルス幅	—	HDISP	—	Ts
t8	PDE立ち下がリエッジ→PHS立ち下がリエッジ	—	HPS	—	Ts
t9	PCLK周期	1	—	—	Ts
t10	PCLKパルス幅Low	0.5	—	—	Ts
t11	PCLKパルス幅High	0.5	—	—	Ts
t12	PHSセットアップ→PCLKアクティブエッジ	0.5	—	—	Ts
t13	PDE→PCLK立ち上がりエッジのセットアップ時間	0.5	—	—	Ts
t14	PCLKアクティブエッジからのPDEホールド	0.5	—	—	Ts
t15	データセットアップ→PCLKアクティブエッジ	0.5	—	—	Ts
t16	PCLKアクティブエッジからのデータホールド	0.5	—	—	Ts
t17	PDEストップセットアップ→PVS開始	—	VPS	—	Ts
t18	垂直非表示期間	—	VNDP	—	Ts

1. Ts = ピクセルクロック周期

8.6.4 LCDインタフェースタイミング

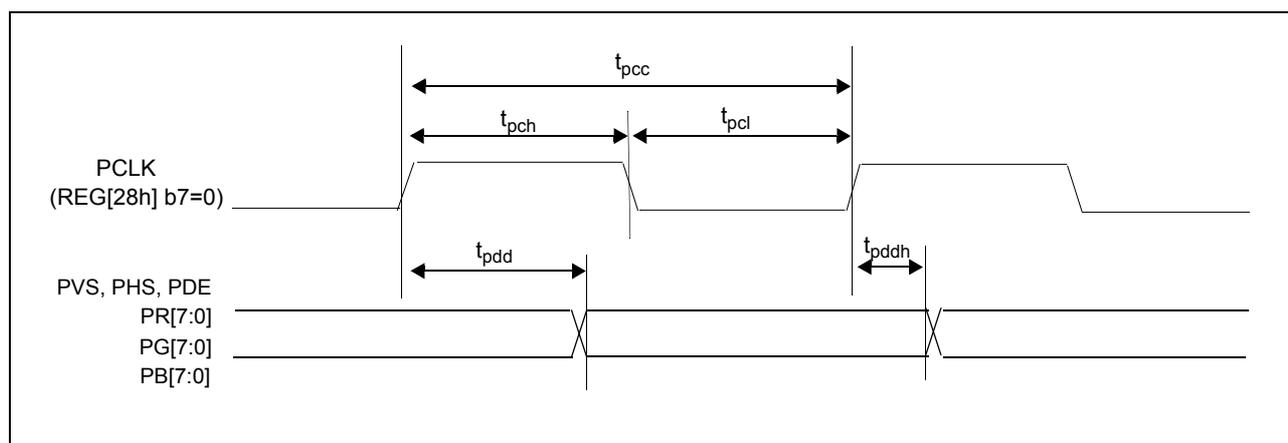


図8.19 LCDインタフェースタイミング

表8.16 LCDインタフェースタイミング

記号	パラメータ	MIN	MAX	単位
t_{pcc}	PCLKサイクル時間 (注)	20	—	ns
t_{pcl}	PCLK Lowパルス幅	$t_{pcc} * 0.45$	—	ns
t_{pch}	PCLK Highパルス幅	$t_{pcc} * 0.45$	—	ns
t_{pdd}	LCD制御信号出力遅延時間	—	5	ns
t_{pdh}	LCD制御信号出力ホールド時間	0	—	ns

注

PCLKサイクル時間(MIN) = ((1/PLL周波数設定値) / 2 - 1ns - SSジッター幅) * 2
(または*3) になります。

9. クロック

9. クロック

9.1 クロック説明

クロック入力はCLKI端子になります。PLLで逡倍したクロックがSDRAMクロック (SDCLK) になります。SDCLK から 1/2 分周または 1/3 分周したクロックがシステムクロック (SYSCLK) になります。ピクセルクロック (PCLK) はSYSCLKと同じクロックになります。SDCLKまたはSYSCLKにスプレッドスペクトラム変調 (SS) を付加することができます。(ただし31MHz~80MHzになります)

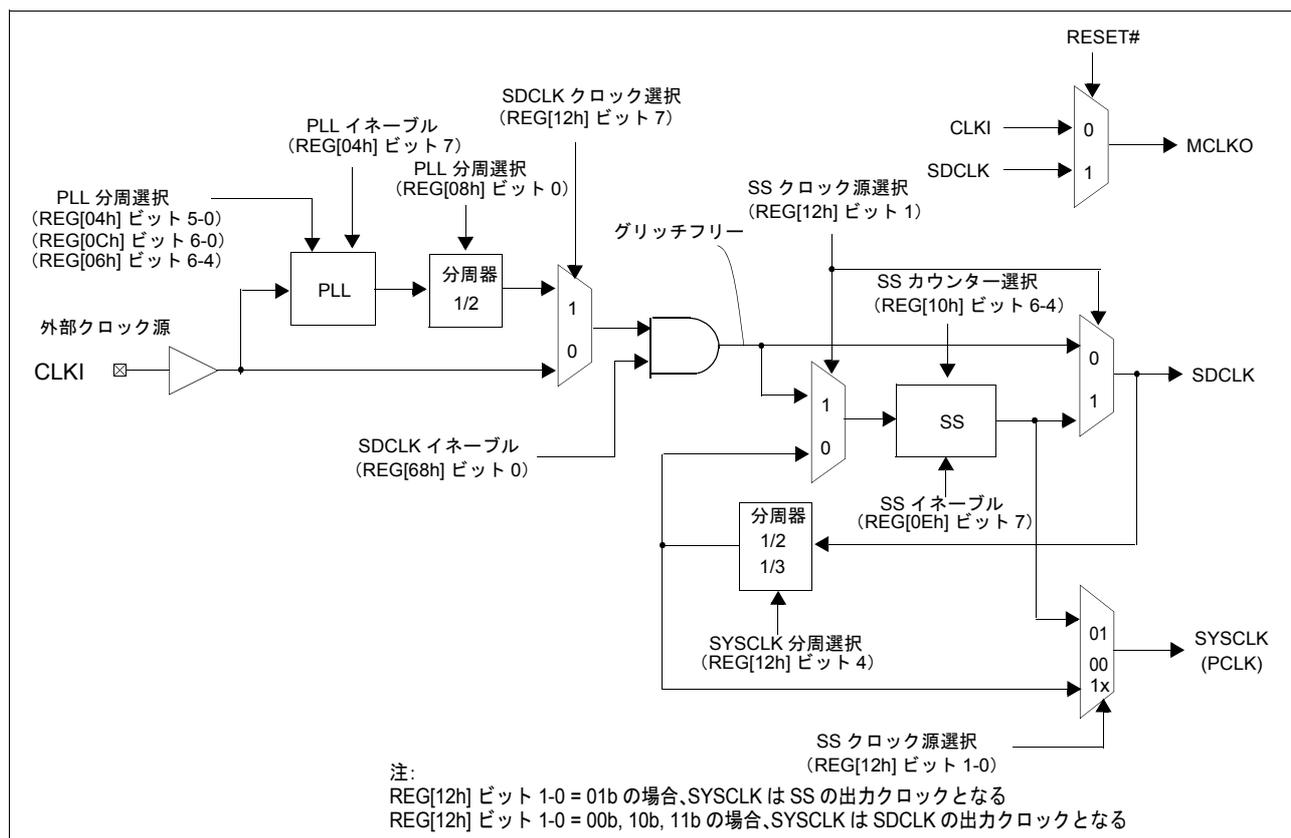


図9.1 クロック機能ブロック図

9.2 クロック選択

PLLを使用した場合のクロック選択方法です。システムに適合した組み合わせを選択してください。SDCLK : SYSCLK比により、ホストインタフェースからのデータライトパフォーマンスが変わります。

クロック選択

クロック選択例	SDCLK : SYSCLK	SDCLK	SS (SDCLK)	SYSCLK (= PCLK)	SS (SYSCLK)
クロック選択例1	3:1	25~90MHz	使用しない	8.3~30MHz	使用しない
クロック選択例2	2:1	62~90MHz	使用しない	31~45MHz	使用する
クロック選択例3	3:1	32~80MHz	使用する	10.6~26.6MHz	使用する
クロック選択例4	2:1	32~80MHz	使用する	16~40MHz	使用する

9.3 クロック機能

動作機能に必要な内部クロックを一覧で示します。

内部クロック条件

機能	CLKI入力	SYSCLK	SDCLK
ハードウェアリセット	不要	不要	不要
レジスタのリード/ライト	不要	不要	不要
メモリのライト	必要	必要	必要
LCD表示	必要	必要	必要
PWM出力	必要	必要	不要
GPO出力	不要	不要	不要
LCD出力 (テストカラーバー)	必要	必要	不要

注

内部回路でバスサイクルからクロックを生成するため、レジスタアクセスでは内部システムクロックを必要としません。

9.4 クロック制御

レジスタ設定により、内部クロックを制御ができます。

内部クロック制御

レジスタ設定	LCD系	PWM系	アルファブレンディング系	その他
REG[68h] bit 0 = 0	停止	停止	停止	停止
REG[2Ah] bit 0 = 0	停止	動作	動作	動作
REG[70h] bit 2 = 0	動作	停止	動作	動作
REG[9Eh] bit 7 = 0	動作	動作	停止	動作

注

REG[68h]以外のレジスタ設定が有効になるのは、REG[68h] bit 0 = 1の場合になります。REG[68h] bit 0 = 0の場合は、すべての内部クロックが強制停止します。

9. クロック

9.5 ソフトウェアリセット制御

レジスタ設定により、内部回路にリセットをかけることができます。レジスタはリセットされません。

内部リセット制御

レジスタ設定	LCD系	PWM系	メモリコントローラ系	SDRAMコントローラ系	アルファブレンディング系
REG[68h] bit 7 = 1	リセット	通常	通常	通常	通常
REG[68h] bit 6 = 1	通常	リセット	通常	通常	通常
REG[68h] bit 5 = 1	通常	通常	リセット	通常	通常
REG[68h] bit 4 = 1	通常	通常	通常	リセット	通常
REG[68h] bit 3 = 1	通常	通常	通常	通常	リセット

注

ソフトウェアリセットのレジスタ制御は、REG[68h] bit 0 = 0の場合に行ってください。動作シーケンスを守らずにパワーセーブモードへ移行した場合は、回路の初期化のためLCD系、PWM系、メモリコントローラ系、アルファブレンディング系をソフトウェアリセットしてください。SDRAMコントローラをリセットした場合は、イニシャルシーケンスから始める必要があります。

10. レジスタ

この項では、レジスタにアクセスする方法およびそのアドレスについて説明します。

レジスタ空間に対するバーストデータの書き込みをサポートしています。これは、メモリデータポートレジスタ (REG[66h~67h]) を除くすべてのレジスタをアクセスした場合、自動的にレジスタアドレスカウンターがインクリメントされますので連続してレジスタデータを書き込むことができます。メモリデータポートレジスタ (REG[66h~67h]) をアクセスした場合は、レジスタアドレスカウンターはインクリメントされず、メモリアドレスカウンターがインクリメントされますので指定したアドレスに連続してメモリデータを書き込むことができます。

10.1 レジスタマッピング

レジスタはパラレルインタフェース経由でアクセスされます。16ビット (CNF0=0の場合) または8ビット (CNF0=1の場合) でアクセスされるメモリデータポートレジスタ (REG[66h~67h]) 以外は、すべて8ビットでのみアクセスされます。

10. レジスタ

10.2 レジスタセット

S1D13517のレジスタを以下の表に示します。

表10.1 S1D13517レジスタセット

レジスタページ		レジスタページ	
製品構成レジスタ			
REG[00h] Production Code Register	57	REG[02h] Configuration Readback Register	57
クロック構成レジスタ			
REG[04h] PLL D-Divider Register	58	REG[06h] PLL Setting Register 0	59
REG[08h] PLL Setting Register 1	59	REG[0Ah] PLL Setting Register 2	59
REG[0Ch] PLL N-Divider Register	60	REG[0Eh] SS Control Register 0	61
REG[10h] SS Control Register 1	61	REG[12h] Clock Source Select Register	62
パネル構成レジスタ			
REG[14h] LCD Panel Type Register	63	REG[16h] Horizontal Display Width Register (HDISP)	63
REG[18h] Horizontal Non-Display Period Register (HNDP)	63	REG[1Ah] Vertical Display Height Register 0 (VDISP)	64
REG[1Ch] Vertical Display Height Register 1 (VDISP)	64	REG[1Eh] Vertical Non-Display Period Register (VNDP)	64
REG[20h] PHS Pulse Width Register (HSW)	64	REG[22h] PHS Pulse Start Position Register (HPS)	65
REG[24h] PVS Pulse Width Register (VSW)	65	REG[26h] PVS Pulse Start Position Register (VPS)	65
REG[28h] PCLK Polarity Register	65		
表示画像設定レジスタ			
REG[2Ah] Display Mode Register	66	REG[2Ch] PIP1 Display Memory Start Address Register 0	67
REG[2Eh] PIP1 Display Memory Start Address Register 1	67	REG[30h] PIP1 Display Memory Start Address Register 2	67
REG[32h] PIP1 Display Window X Start Position Register	67	REG[34h] PIP1 Display Window Y Start Position Register 0	68
REG[36h] PIP1 Display Window Y Start Position Register 1	68	REG[38h] PIP1 Display Window X End Position Register	68
REG[3Ah] PIP1 Display Window Y End Position Register 0	69	REG[3Ch] PIP1 Display Window Y End Position Register 1	69
REG[3Eh] PIP2 Display Memory Start Address Register 0	70	REG[40h] PIP2 Display Memory Start Address Register 1	70
REG[42h] PIP2 Display Memory Start Address Register 2	70	REG[44h] PIP2 Display Window X Start Position Register	70
REG[46h] PIP2 Display Window Y Start Position Register 0	71	REG[48h] PIP2 Display Window Y Start Position Register 1	71
REG[4Ah] PIP2 Display Window X End Position Register	71	REG[4Ch] PIP2 Display Window Y End Position Register 0	72
REG[4Eh] PIP2 Display Window Y End Position Register 1	72	REG[50h] Display Control Register	73
入力画像設定レジスタ			
REG[52h] Input Mode Register	74	REG[54h] Key Color Red Register	75
REG[56h] Key Color Green Register	75	REG[58h] Key Color Blue Register	75
REG[5Ah] Write Window X Start Position Register	76	REG[5Ch] Write Window Y Start Position Register 0	76
REG[5Eh] Write Window Y Start Position Register 1	76	REG[60h] Write Window X End Position Register	77
REG[62h] Write Window Y End Position Register 0	77	REG[64h] Write Window Y End Position Register 1	77
メモリポートレジスタ			
REG[66h] Memory Data Port Register 0	78	REG[67h] Memory Data Port Register 1	78
その他レジスタ			
REG[68h] Power Save Register	79	REG[6Ah] Non-Display Period Control / Status Register	80
汎用IO端子レジスタ			
REG[6Ch] General Purpose Output Register 0	81	REG[6Eh] General Purpose Output Register 1	81
PWM設定レジスタ			
REG[70h] PWM Control Register	82	REG[72h] PWM High Duty Register 0	83
REG[74h] PWM High Duty Register 1	83	REG[76h] PWM High Duty Register 2	83
REG[78h] PWM High Duty Register 3	83	REG[7Ah] PWM Low Duty Register 0	84
REG[7Ch] PWM Low Duty Register 1	84	REG[7Eh] PWM Low Duty Register 2	84
REG[80h] PWM Low Duty Register 3	84		
SDRAM設定レジスタ			
REG[82h] SDRAM Control Register 0	85	REG[84h] SDRAM Status Register 0	85
REG[86h] SDRAM Status Register 1	86	REG[88h] SDRAM MRS Value Register 0	87
REG[8Ah] SDARM MRS Value Register 1	87	REG[8Ch] SDRAM Refresh Counter Register 0	87

表10.1 S1D13517レジスタセット (続き)

レジスタページ		レジスタページ	
REG[8Eh] SDARM Refresh Counter Register 1	87	REG[90h] SDRAM Write Buffer Memory Size Register 0	88
REG[92h] SDRAM Debug Register	88		
アルファブレンディング設定レジスタ			
REG[94h] Alpha-blending Control Register	89	REG[96h] Alpha-blending Status Register	89
REG[98h] Alpha-blending Horizontal Size Register	89	REG[9Ah] Alpha-blending Vertical Size Register 0	89
REG[9Ch] Alpha-blending Vertical Size Register 1	89	REG[9Eh] Alpha-blending Value Register	90
REG[A0h] Alpha-blending Input 1 Start Address Register 0	91	REG[A2h] Alpha-blending Input 1 Start Address Register 1	91
REG[A4h] Alpha-blending Input 1 Start Address Register 2	91	REG[A6h] Alpha-blending Input 2 Start Address Register 0	91
REG[A8h] Alpha-blending Input 2 Start Address Register 1	91	REG[AAh] Alpha-blending Input 2 Start Address Register 2	91
REG[ACh] Alpha-blending Output Start Address Register 0	92	REG[AEh] Alpha-blending Output Start Address Register 1	92
REG[B0h] Alpha-blending Output Start Address Register 2	92		
割り込み設定レジスタ			
REG[B2h] Interrupt Control Register	93	REG[B4h] Interrupt Status Register	93
REG[B6h] Interrupt Clear Register	93		

10. レジスタ

10.3 レジスタ説明

すべての予約ビット (Reserved) は、デフォルト値のまま使用する必要があります。予約ビットにデフォルト値以外の値を書き込むと、不定の結果を生じる場合があります。n/aというマークの付いたビットは、ハードウェアが存在しませんので機能はありません。すべてのレジスタビットは、ハードウェアリセットによりデフォルト値に設定されます。ソフトウェアリセットでは初期化されません。

10.3.1 製品構成レジスタ

REG[00h] Production Code Register							Read Only	
Default = B8h								
製品コードビット5~0					改訂コードビット1~0			
7	6	5	4	3	2	1	0	

bits 7-2 製品コードビット[5:0]
これらのビットは、製品コードを示す読み出し専用ビットです。製品コードは、101110bです。

bits 1-0 改訂コードビット[1:0]
これらのビットは、改訂コードを示す読み出し専用ビットです。改訂コードは、00bです。

REG[02h] Configuration Readback Register							Read Only		
Default = 0xh									
n/a					CNF2ステータス	CNF1ステータス	CNF0ステータス		
7	6	5	4	2	2	1	0		

bits 2-0 CNF[2:0]ステータス
これらの読み出し専用ステータスビットは、構成端子CNF[2:0]のステータスを返します。

10.3.2 クロック構成レジスタ

REG[04h] PLL D-Divider Register							Read/Write
Default = 01h							
PLLイネーブル	n/a	D-Dividerビット5~0					
7	6	5	4	3	2	1	0

bit 7

PLLイネーブル

このビットはPLLを制御します。
 このビットが0のとき、PLLはディセーブルになります。
 このビットが1のとき、PLLはイネーブルになります。

注

SSまたはPLLをイネーブルにする前に、他のPLL設定レジスタを設定してください。PLLをイネーブルにする場合は、SDCLKディセーブル中 (REG[68h] bit 0=0) に設定してください。動作中は変更しないでください。

bits 5-0

D-Dividerビット[5:0]

これらのビットは、CLKIと、PLLへの入力クロックとの分周比を決定します。PLLをイネーブルにする前に設定します。

注

PLLへの内部入力クロック (PLLCLKI) は、1MHz~2MHzになるよう設定してください。CLKIに応じて、これらのビットを設定する必要があります。

表10.2 PLL D-Divideの選択

REG[04h]ビット5~0	D-Divide比
00h	設定禁止
01h	2:1 (初期値)
02h	3:1
03h	4:1
•	•
•	•
•	•
3Fh	64:1

10. レジスタ

REG[06h] PLL Setting Register 0							Read/Write
Default = 01h							
n/a	VCビット2~0			n/a	Reserved		
7	6	5	4	3	2	1	0

bits 6-4 VCビット[2:0]
 これらのビットは、VCOの発振周波数を決定します。PLLをイネーブルにする前に設定します。

表10.3 VCの選択

REG[06h]ビット6~4	PLL周波数
000b	50~100MHz
100b	102~140MHz
101b	142~180MHz
その他	使用禁止

bits 2-0 Reservedビット[2:0]
 これらのビットは、必ず001bのままご使用ください。

REG[08h] PLL Setting Register 1							Read/Write
Default = 00h							
n/a	Reserved					PLLクロック分周選択	
7	6	5	4	3	2	1	0

bits 6-1 Reservedビット[5:0]
 これらのビットは、必ず000000bのままご使用ください。

bit 0 PLLクロック分周選択
 このビットはPLLクロックの分周比を選択します。
 このビットが0のとき、PLLクロックはそのまま出力されます。
 このビットが1のとき、PLLクロックは1/2分周されます。

REG[0Ah] PLL Setting Register 2							Read/Write
Default = 08h							
n/a	Reserved						
7	6	5	4	3	2	1	0

このレジスタは、必ず08hのままご使用ください。

REG[0Ch] PLL N-Divider Register							Read/Write
Default = 00h							
Reserved	N-Counterビット6~0						
7	6	5	4	3	2	1	0

bit 7 Reserved
このビットは、必ず0bでご使用ください

bits 6-0 N-Counterビット[6:0]
これらのビットは、PLL出力周波数の設定に使用します。次の式に従って設定してください。

$$\begin{aligned} \text{PLL出力} &= ((\text{N-Counter} + 1) \times 2) \times \text{PLLCLKI} \\ &= \text{NN} \times \text{PLLCLKI} \end{aligned}$$

ここで、
PLL出力は、目的のPLL出力周波数（MHz）です。
N-Counterは、このレジスタの値（10進数）です。
PLLCLKIは、PLLへの内部入力クロックで1MHz～2MHzになります。

PLL出力周波数は、最小50MHz（REG[0Ch] = 18h）、最大180MHz（REG[0Ch] = 59h）になります。

PLL出力周波数により外付けの推奨ローパスフィルタの構成が変わります。

表10.4 PLLの設定例

ターゲット周波数	NN	REG[04h]	REG[06h]	REG[08h]	REG[0Ch]	CLKI 入力クロック	D-Divide比
60MHz	60	17h	01h	00h	1Dh	24MHz	24:1
66MHz	66	17h	01h	00h	20h	24MHz	24:1
80MHz	80	1Ah	01h	00h	27h	27MHz	27:1
90MHz	90	1Ah	01h	00h	2Ch	27MHz	27:1
60MHz	120	17h	41h	01h	3Bh	24MHz	24:1
66MHz	132	17h	41h	01h	41h	24MHz	24:1
80MHz	160	17h	51h	01h	4Fh	24MHz	24:1
90MHz	180	17h	51h	01h	59h	24v	24:1

10. レジスタ

REG[0Eh] SS Control Register 0							Read/Write
Default = 3Fh							
SSイネーブル 7	n/a 6	5	4	3	2	1	0

bit 7 SSイネーブル
このビットはスプレッド・スペクトラム (SS) 変調を制御します。
このビットが0のとき、SS変調はディセーブルでそのままクロックが出力されます。
このビットが1のとき、SS変調はイネーブルになります。

注

SSまたはPLLをイネーブルにする前に、他のSS設定レジスタを設定してください。SSをイネーブルにする場合は、SDCLKディセーブル中 (REG[68h] bit 0 = 0) に設定してください。動作中に変更しないでください。SSが使用できる周波数は31MHz~80MHzです。

bits 5-0 Reserved
これらのビットは、必ず11_1111bでご使用ください。

REG[10h] SS Control Register 1							Read/Write
Default = 41h							
Reserved 7	6	5	4	3	2	1	0

bit 7 Reserved
このビットは、必ず0bでご使用ください。

bits 6-4 W-Counterビット[2:0]
これらのビットは、SS出力周波数変化幅を設定します。

表10.5 SS周波数変化幅設定

REG[10h]ビット6~4	周波数変化幅 (TYP)
000	+/- 0.25ns
001	+/- 0.35ns
010	+/- 0.45ns
011	+/- 0.55ns
100	+/- 0.65ns (初期値)
その他	使用禁止

bits 3-0 Reserved
これらのビットは、必ず0001bでご使用ください。

REG[12h] Clock Source Select Register						Read/Write	
Default = 00h							
SDCLKクロック選択	n/a		SYSCLK分周選択	n/a		SSクロック選択ビット1~0	
7	6	5	4	3	2	1	0

bit 7 SDCLKソース選択
このビットはSDCLK入力クロックを選択します。
このビットが0のとき、クロックソースは外部CLKIクロックです。
このビットが1のとき、クロックソースは内部PLLクロックです。

注

内部PLLを選択する場合は、PLLイネーブル後にPLL安定時間（10ms）待ってから設定する必要があります。

bit 4 SYSCLK分周選択
このビットは、内部システムクロック（SYSCLK）の分周比を指定します。
このビットが0のとき、SYSCLKの分周比は1:3です。
このビットが1のとき、SYSCLKの分周比は1:2です。

注

このビットはSDCLKディセーブル中（REG[68h] bit 0 = 0）に設定してください。動作中は変更しないでください。

bits 1-0 SSクロック選択ビット[1:0]
これらのビットは、SSクロック選択を設定します。

表10.6 SSクロック選択設定

REG[12h]ビット1~0	SSクロック
00	使用しない
01	SYSCLKに使用する
1x	SDCLKに使用する

注

これらのビットはSDCLKディセーブル中（REG[68h] bit 0 = 0）に設定してください。動作中は変更しないでください。SSが使用できる周波数は、31MHz～80MHzです。SDCLKにSSを使用した場合、その分周クロックであるSYSCLKにもSSがかかります。

10. レジスタ

10.3.3 パネル構成レジスタ

REG[14h] LCD Panel Type Register							Read/Write
Default = 00h							
7	6	5	4	3	2	1	0
n/a				LCDデータタイプビット1~0		LCDパネルタイプ	

bits 2-1 LCDデータタイプビット[1:0]
 これらのビットは、ホストCPUから入力画像フォーマットを設定します。

表10.7 入力画像フォーマット設定

REG[14h]ビット2~1	入力画像フォーマット
00	24bpp (RGB8:8:8) モード1
01	24bpp (RGB8:8:8) モード2
1x	16bpp (RGB5:6:5)

bit 0 LCDパネルタイプ
 このビットが0のとき、LCDインタフェースは24ビットです。
 このビットが1のとき、LCDインタフェースは18ビットです。

REG[16h] Horizontal Display Width Register (HDISP)								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	
n/a	水平表示期間ビット6~0							

bits 6-0 水平表示期間ビット[6:0]
 これらのビットは、8ピクセル解像度でLCDパネルの水平表示期間（HDISP）を指定します。

$$\text{水平表示期間のピクセル数} = ((\text{REG}[16\text{h}] \text{ビット}6\sim0) + 1) \times 8$$

注

最小値 = 32ピクセル、最大値 = 960ピクセル

REG[18h] Horizontal Non-Display Period Register (HNDP)								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	
水平非表示期間ビット7~0								

bits 7-0 水平非表示期間ビット[7:0]
 これらのビットは、2ピクセル解像度で水平非表示期間のピクセル数を指定します。

次式を使用してHNDPを計算します。

$$\text{HNDP} = ((\text{REG}[18\text{h}] \text{ビット}7\sim0) + 1) \times 2$$

注

最小値 = 4ピクセル、最大値 = 512ピクセル
 $\text{HPS} + \text{HSW} \leq \text{HNDP}$

REG[1Ah] Vertical Display Height Register 0 (VDISP)							
Default = 01h							Read/Write
垂直表示期間ビット7~0							
7	6	5	4	3	2	1	0

REG[1Ch] Vertical Display Height Register 1 (VDISP)							
Default = 00h							Read/Write
n/a				垂直表示期間ビット9~8			
7	6	5	4	3	2	1	0

REG[1Ch] bits 1-0

REG[1Ah] bits 7-0

垂直表示期間ビット[9:0]

これらのビットは、1ライン解像度でLCDパネルの垂直表示期間を指定します。
 垂直表示期間のライン数 = (REG[1Ch]ビット1~0、REG[1Ah]ビット7~0) + 1

注

最小値 = 32ライン、最大値 = 960ライン

REG[1Eh] Vertical Non-Display Period Register (VNDP)							
Default = 01h							Read/Write
垂直非表示期間ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

垂直非表示期間ビット[7:0]

これらのビットは、2ライン解像度でパネルの垂直非表示期間を指定します。垂直非表示期間のライン数 = ((REG[1Eh]ビット7~0) + 1) x 2

注

最小値 = 4ライン、最大値 = 512ライン

REG[20h] PHS Pulse Width Register (HSW)							
Default = 00h							Read/Write
PHSパルス極性	PHSパルス幅ビット6~0						
7	6	5	4	3	2	1	0

bit 7

PHSパルス極性

このビットは、水平同期信号の極性を選択します。このビットはパネルの水平同期信号に従って設定されます。

このビットが0のとき、水平同期信号はアクティブLowです。

このビットが1のとき、水平同期信号はアクティブHighです。

bits 6-0

PHSパルス幅ビット[6:0]

これらのビットは、1ピクセル解像度でパネルの水平同期信号の幅を指定します。水平同期信号は通常PHSで、パネルのタイプに依存します。これらのビットの最小値は1です。

PHSパルス幅のピクセル数 = (REG[20h]ビット6~0) + 1

10. レジスタ

REG[22h] PHS Pulse Start Position Register (HPS)							
Default = 00h							Read/Write
n/a	PHSパルス開始位置ビット6~0						
7	6	5	4	3	2	1	0

bits 6-0 PHSパルス開始位置ビット[6:0]
 これらのビットは、水平非表示期間の開始を基準として、水平同期信号の開始位置を1ピクセル解像度で指定します。
 $HPS = (REG[22h] \text{ビット} 6 \sim 0)$

REG[24h] PVS Pulse Width Register (VSW)							
Default = 00h							Read/Write
PVSパルス極性	n/a	PVSパルス幅ビット5~0					
7	6	5	4	3	2	1	0

bit 7 PVSパルス極性
 このビットは、垂直同期信号の極性を選択します。このビットはパネルの垂直同期信号に従って設定されます。
 このビットが0のとき、垂直同期信号はアクティブLowです。
 このビットが1のとき、垂直同期信号はアクティブHighです。

bits 5-0 PVSパルス幅ビット[5:0]
 これらのビットは、1ピクセル解像度でパネルの垂直同期信号の幅を指定します。垂直同期信号は通常VSで、パネルのタイプに依存します。
 $PVS \text{パルス幅のライン数} = REG[24h] \text{ビット} 5 \sim 0 + 1$

REG[26h] PVS Pulse Start Position Register (VPS)							
Default = 00h							Read/Write
PVSパルス開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0 PVSパルス開始位置ビット[7:0]
 これらのビットは、垂直非表示期間の開始を基準として、垂直同期信号の開始位置を1ピクセル解像度で指定します。
 次式を使用してVPSを計算します。
 $VPS = (REG[26h] \text{ビット} 7 \sim 0)$

REG[28h] PCLK Polarity Register							
Default = 00h							Read/Write
PCLK極性	n/a			Reserved			
7	6	5	4	3	2	1	0

bit 7 PCLK極性
 このビットが0のとき、PCLKは立ち上がりエッジでデータ遷移を出力します。
 このビットが1のとき、PCLKは立ち下がりエッジでデータ遷移を出力します。

bits 2-0 Reserved
 これらのビットは、必ず000bでご使用ください。

10.3.4 表示画像設定レジスタ

REG[2Ah] Display Mode Register							Read/Write
Default = 00h							
メイン画面表示バッファ選択ビット3~0				表示データ選択ビット2~0			表示オン
7	6	5	4	3	2	1	0

bits 7-4

メイン画面表示バッファ選択ビット[3:0]

これらのビットは、メイン画面の表示バッファを16個のバッファの中から選択します。表示動作中に設定を変更できます。レジスタ（REG[50h]ビット7）のアップデートで値が有効になり、表示垂直期間に同期して変わります。ダブルバッファモードの場合はバッファ1とバッファ2で固定になり、これらのビットは使用しません。

表10.8 メイン画面表示バッファ選択

REG[2Ah]ビット7~4	メイン画面表示バッファ
0000	バッファ1
0001	バッファ2
0010	バッファ3
0011	バッファ4
0100	バッファ5
0101	バッファ6
0110	バッファ7
0111	バッファ8
1000	バッファ9
1001	バッファ10
1010	バッファ11
1011	バッファ12
1100	バッファ13
1101	バッファ14
1110	バッファ15
1111	バッファ16

bits 3-1

表示データ選択ビット[2:0]

これらのビットは、表示データを選択します。表示動作中に設定を変更できません。レジスタ（REG[50h]ビット7）のアップデートで値が有効になり、表示垂直期間に同期して変わります。

表10.9 表示データ出力選択

REG[2Ah]ビット3~1	表示データ出力
000	シングルバッファ表示（初期値）
001	ダブルバッファ表示
010	PIP1画面表示
011	PIP2画面表示
100	PIP1画面&PIP2画面表示
101	ブランク表示（オールロー出力）
110	ブランク表示（オールハイ出力）
111	テストカラーバー表示

10. レジスタ

bit 0 表示オン
 このビットが0のとき、LCDインタフェースは停止します。(初期値)
 このビットが1のとき、LCDインタフェースは動作します。動作開始する前に、SDCLKをイネーブル (REG[68h] bit 0 = 1) にしておく必要があります。

REG[2Ch] PIP1 Display Memory Start Address Register 0								Read/Write
Default = 00h								
PIP1画面メモリ開始アドレスビット7~3								n/a
7	6	5	4	3	2	1	0	

REG[2Eh] PIP1 Display Memory Start Address Register 1								Read/Write
Default = 00h								
PIP1画面メモリ開始アドレスビット15~8								
7	6	5	4	3	2	1	0	

REG[30h] PIP1 Display Memory Start Address Register 2								Read/Write
Default = 00h								
PIP1画面メモリ開始アドレスビット23~16								
7	6	5	4	3	2	1	0	

REG[30h] bits 7-0

REG[2Eh] bits 7-0

REG[2Ch] bits 7-3

PIP1画面メモリ開始アドレスビット[23:3]

これらのビットは、PIP1画面のメモリ開始アドレスをバイトアドレスで指定します。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1画面メモリ開始アドレスA[23:3] = (REG[30h]ビット7~0), (REG[2Eh]ビット7~0), (REG[2Ch]ビット7~3)

REG[32h] PIP1 Display Window X Start Position Register								Read/Write
Default = 00h								
PIP1画面表示X開始位置ビット9~3								n/a
7	6	5	4	3	2	1	0	

bits 7-1

PIP1画面表示X開始位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP1画面のX開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1画面表示X開始位置 = (REG[32h]ビット7~0) x 4 + 1

注

PIP1画面表示X開始位置 は1から始まり8ピクセル単位 (1, 9, 17, 25, ..., H size - 7) になります。

REG[34h] PIP1 Display Window Y Start Position Register 0							
Default = 00h							Read/Write
PIP1画面表示Y開始位置ビット9~2							
7	6	5	4	3	2	1	0

REG[36h] PIP1 Display Window Y Start Position Register 1							
Default = 00h							Read/Write
n/a				PIP1画面表示Y開始位置ビット1~0			
7	6	5	4	3	2	1	0

REG[34h] bits 7-0

REG[36h] bits 1-0

PIP1画面表示Y開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナー（1, 1）を基準にしてPIP1画面のY開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ（REG[50h]ビット7）のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1画面表示Y開始位置 = (REG[34h]ビット7~0, REG[36h]ビット1~0) + 1

注

PIP1画面表示Y開始位置 は1から始まります。

REG[38h] PIP1 Display Window X End Position Register							
Default = 00h							Read/Write
PIP1画面表示X終了位置ビット9~3							n/a
7	6	5	4	3	2	1	0

bits 7-1

PIP1画面表示X終了位置ビット[9:3]

これらのビットは、表示画像の左上コーナー（1, 1）を基準にしてPIP1画面のX終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ（REG[50h]ビット7）のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1画面表示X終了位置 = (REG[38h]ビット7~0) x 4 + 8

注

PIP1画面表示X終了位置 は8から始まり8ピクセル単位（8, 16, 24, 32, ..., H size）になります。

10. レジスタ

REG[3Ah] PIP1 Display Window Y End Position Register 0								Read/Write
Default = 00h								
PIP1画面表示Y終了位置ビット9~2								
7	6	5	4	3	2	1	0	

REG[3Ch] PIP1 Display Window Y End Position Register 1								Read/Write
Default = 00h								
n/a				PIP1画面表示Y終了位置ビット1~0				
7	6	5	4	3	2	1	0	

REG[3Ah] bits 7-0

REG[3Ch] bits 1-0

PIP1画面表示Y終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP1画面のY終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h] ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1画面表示Y終了位置 = (REG[3Ah]ビット7~0, REG[3Ch]ビット1~0) + 1

注

PIP1画面表示Y終了位置 は1から始まります。

REG[3Eh] PIP2 Display Memory Start Address Register 0							Read/Write
Default = 00h							
PIP2画面メモリ開始アドレスビット7~3							n/a
7	6	5	4	3	2	1	0

REG[40h] PIP2 Display Memory Start Address Register 1							Read/Write
Default = 00h							
PIP2画面メモリ開始アドレスビット15~8							
7	6	5	4	3	2	1	0

REG[42h] PIP2 Display Memory Start Address Register 2							Read/Write
Default = 00h							
PIP2画面メモリ開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[42h] bits 7-0

REG[40h] bits 7-0

REG[3Eh] bits 7-3

PIP2画面メモリ開始アドレスビット[23:3]

これらのビットは、PIP2画面のメモリ開始アドレスをバイトアドレスで指定します。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2画面メモリ開始アドレスA[23:3] = (REG[42h]ビット7~0), (REG[40h]ビット7~0), (REG[3Eh]ビット7~3)

REG[44h] PIP2 Display Window X Start Position Register							Read/Write
Default = 00h							
PIP2画面表示X開始位置ビット9~3							n/a
7	6	5	4	3	2	1	0

bits 7-1

PIP2画面表示X開始位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP2画面のX開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2画面表示X開始位置 = (REG[44h]ビット7~0) x 4 + 1

注

PIP2画面表示X開始位置 は1から始まり8ピクセル単位 (1, 9, 17, 25, ..., H size - 7) になります。

10. レジスタ

REG[46h] PIP2 Display Window Y Start Position Register 0							
Default = 00h							Read/Write
PIP2画面表示Y開始位置ビット9~2							
7	6	5	4	3	2	1	0

REG[48h] PIP2 Display Window Y Start Position Register 1							
Default = 00h							Read/Write
n/a				PIP2画面表示Y開始位置ビット1~0			
7	6	5	4	3	2	1	0

REG[46h] bits 7-0

REG[48h] bits 1-0

PIP2画面表示Y開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP2画面のY開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h] ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2画面表示Y開始位置 = (REG[46h]ビット7~0, REG[48h]ビット1~0) + 1

注

PIP2画面表示Y開始位置 は1から始まります。

REG[4Ah] PIP2 Display Window X End Position Register							
Default = 00h							Read/Write
PIP2画面表示X終了位置ビット9~3							n/a
7	6	5	4	3	2	1	0

bits 7-1

PIP2画面表示X終了位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP2画面のX終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h] ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2画面表示X終了位置 = (REG[4Ah]ビット7~0) x 4 + 8

注

PIP2画面表示X終了位置 は8から始まり8ピクセル単位 (8, 16, 24, 32, ..., H size) になります。

REG[4Ch] PIP2 Display Window Y End Position Register 0							
Default = 00h							Read/Write
PIP2画面表示Y終了位置ビット9~2							
7	6	5	4	3	2	1	0

REG[4Eh] PIP2 Display Window Y End Position Register 1							
Default = 00h							Read/Write
n/a				PIP2画面表示Y終了位置ビット1~0			
7	6	5	4	3	2	1	0

REG[4Ch] bits 7-0

REG[4Eh] bits 1-0

PIP2画面表示Y終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナー（1, 1）を基準にしてPIP2画面のY終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ（REG[50h]ビット7）のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2画面表示Y終了位置 = (REG[4Ch]ビット7~0, REG[4Eh]ビット1~0) + 1

注

PIP2画面表示Y終了位置 は1から始まります。

10. レジスタ

REG[50h] Display Control Register							Write Only
Default = 00h							
表示設定レジスタ更新 (WO)	n/a						
7	6	5	4	3	2	1	0

bit 7

表示設定レジスタ更新（ライトオンリー）
 表示設定のレジスタ（REG[2Ah]～[4Eh]）の値をロードします。次の表示垂直期間に同期して有効になりますので、不正な表示はできません。REG[2Ah] bit0はこのビットと関係なく、設定が有効になります。
 このビットが0のとき、影響しません。
 このビットが1のとき、ロードします。

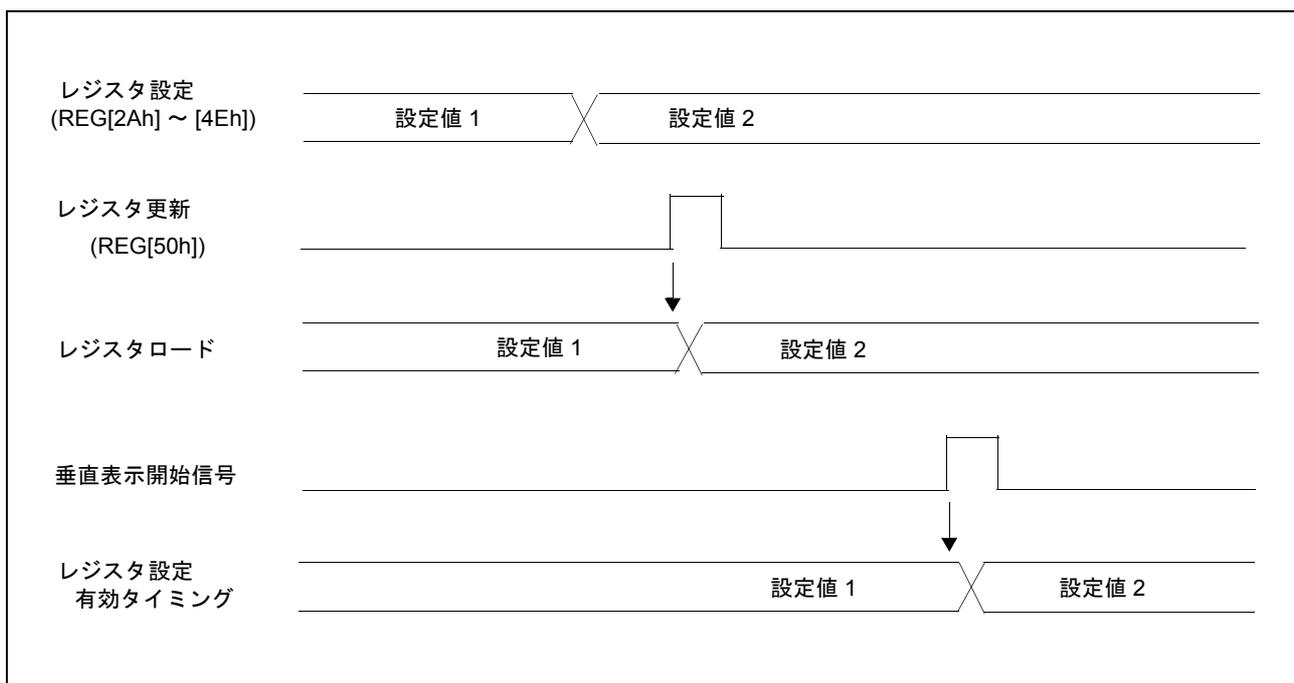


図10.1 表示設定レジスタ更新タイミング

10.3.5 入力画像設定レジスタ

REG[52h] Input Mode Register						Read/Write
Default = 00h						
書き込みバッファ選択ビット3~0				透過色イネーブル	Reserved	ウィンドウ反転
7	6	5	4	3	2	1
						ウィンドウ回転
						0

bit s 7-4

書き込みバッファ選択ビット[3:0]

これらのビットは、書き込みバッファを16個のバッファの中から選択します。非同期に設定を変更でき、画面の書き込みの開始前に同期して値が有効になります。ダブルバッファモードの場合はバッファ1とバッファ2で固定になり、これらのビットは使用しません。

表10.10 書き込みバッファ選択

REG[52h]ビット7~4	書き込みバッファ
0000	バッファ 1
0001	バッファ 2
0010	バッファ 3
0011	バッファ 4
0100	バッファ 5
0101	バッファ 6
0110	バッファ 7
0111	バッファ 8
1000	バッファ 9
1001	バッファ 10
1010	バッファ 11
1011	バッファ 12
1100	バッファ 13
1101	バッファ 14
1110	バッファ 15
1111	バッファ 16

注

画像書き込み設定にはメイン画面、PIP画面の選択はありません。画像表示設定にて、メイン画面、PIP画面を指定します。

bit 3

透過色イネーブル

このビットは、透過色を制御します。イネーブルの場合は透過色設定レジスタの色が3色とも一致した色データは、ディスプレイバッファへ書き込まれません。

このビットが0のとき、透過色設定はディセーブルです。

このビットが1のとき、透過色設定はイネーブルです。

bit 2

Reserved

このビットは、必ず0bでご使用ください。

10. レジスタ

- bit 1 ウィンドウ反転
このビットは、反転の方向を選択します。
このビットが0のとき、ウィンドウは正転です。
このビットが1のとき、ウィンドウは反転です。
- bit 0 ウィンドウ回転
このビットは、回転の方向を選択します。ウィンドウ反転と組み合わせて使用
することができます。
このビットが0のとき、ウィンドウは回転なしです。
このビットが1のとき、ウィンドウは180° 回転です。

REG[54h] Key Color Red Register							Read/Write
Default = 00h							
透過色赤設定ビット7~0							
7	6	5	4	3	2	1	0

- bits 7-0 透過色赤設定ビット[7:0]
これらのビットは、透過色の赤データの値を設定します。透過色がイネーブル
の場合に有効になります。RGB5:6:5の場合は下位3ビット設定は無効になりま
す。

REG[56h] Key Color Green Register							Read/Write
Default = 00h							
透過色緑設定ビット7~0							
7	6	5	4	3	2	1	0

- bits 7-0 透過色緑設定ビット[7:0]
これらのビットは、透過色の緑データの値を設定します。透過色がイネーブル
の場合に有効になります。RGB5:6:5の場合は下位2ビット設定は無効になりま
す。

REG[58h] Key Color Blue Register							Read/Write
Default = 00h							
透過色青設定ビット7~0							
7	6	5	4	3	2	1	0

- bits 7-0 透過色一青設定ビット[7:0]
これらのビットは、透過色の青データの値を設定します。透過色がイネーブル
の場合に有効になります。RGB5:6:5の場合は下位3ビット設定は無効になりま
す。

REG[5Ah] Write Window X Start Position Register							Read/Write
Default = 00h							
書き込み画面X開始位置ビット9~3							n/a
7	6	5	4	3	2	1	0

bits 7-1

書き込み画面X開始位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのX開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

書き込み画面X開始位置 = (REG[5Ah]ビット7~0) x 4 + 1

注

書き込み画面X開始位置 は1から始まり8ピクセル単位 (1, 9, 17, 25, ..., H size - 7) になります。

REG[5Ch] Write Window Y Start Position Register 0								Read/Write
Default = 00h								
書き込み画面Y開始位置ビット9~2								
7	6	5	4	3	2	1	0	

REG[5Eh] Write Window Y Start Position Register 1							Read/Write
Default = 00h							
n/a				書き込み画面Y開始位置ビット1~0			
7	6	5	4	3	2	1	0

REG[5Ch] bits 7-0

REG[5Eh] bits 1-0

書き込み画面Y開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのY開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

書き込み画面Y開始位置 = (REG[5Ch]ビット7~0, REG[5Eh]ビット1~0) + 1

注

書き込み画面Y開始位置 は1から始まります。

10. レジスタ

REG[60h] Write Window X End Position Register							Read/Write
Default = 00h							
書き込み画面X終了位置ビット9~3							n/a
7	6	5	4	3	2	1	0

bits 7-1

書き込み画面X終了位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのX終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

書き込み画面X終了位置 = (REG[60h]ビット7~0) x 4 + 8

注

書き込み画面X終了位置 は8から始まり8ピクセル単位 (8, 16, 24, 32, ..., H size) になります。

REG[62h] Write Window Y End Position Register 0								Read/Write
Default = 00h								
書き込み画面Y終了位置ビット9~2								
7	6	5	4	3	2	1	0	

REG[64h] Write Window Y End Position Register 1							Read/Write
Default = 00h							
n/a							書き込み画面Y終了位置ビット1~0
7	6	5	4	3	2	1	0

REG[62h] bits 7-0

REG[64h] bits 1-0

書き込み画面Y終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのY終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

書き込み画面Y終了位置 = (REG[62h]ビット7~0, REG[64h]ビット1~0) + 1

注

書き込み画面Y終了位置 は1から始まります。

10.3.6 メモリポートレジスタ

REG[66h] Memory Data Port Register 0							
Default = XXh							Write Only
メモリデータポートビット7~0 (WO)							
7	6	5	4	3	2	1	0

REG[67h] Memory Data Port Register 1							
Default = XXh							Write Only
メモリデータポートビット15~8 (WO)							
7	6	5	4	3	2	1	0

REG[66h] bits 7-0 メモリデータポートビット[7:0] (ライトオンリー)
 これらはレジスタは下位バイトのデータポートになります。

REG[67h] bits 7-0 メモリデータポートビット[15:8] (ライトオンリー)
 これらはレジスタは上位バイトのデータポートになります。

注

CNF0 = 1 (8ビットインタフェース) の場合、REG[67h]は使用されません。
 SDCLKディセーブル (REG[68h] bit 0 = 0) の場合は、このレジスタのアクセスは無効になります。

注

バーストデータの書き込みは、このレジスタを通じてサポートされます。レジスタのオートインクリメントは、このアドレスに到達すると自動的にディセーブルにされます。このレジスタに書き込むと、必ず内蔵メモリのアドレスだけがオートインクリメントされます。

10. レジスタ

10.3.7 その他レジスタ

REG[68h] Power Save Register						Read/Write	
Default = 00h							
LCDコントローラ リセット	PWMコントローラ リセット	メモリコントローラ リセット	SDRAMコントローラ リセット	アルファブレン ディングリセット	Reserved		SDCLKイネーブル
7	6	5	4	3	2	1	0

- bit 7 LCDコントローラリセット
このビットは内部のLCDコントローラブロックをリセットします。
このビットが0のとき、通常動作になります。
このビットが1のとき、リセットします。
- bit 6 PWMコントローラリセット
このビットは内部のPWMコントローラブロックをリセットします。
このビットが0のとき、通常動作になります。
このビットが1のとき、リセットします。
- bit 5 メモリコントローラリセット
このビットは内部のメモリコントローラブロックをリセットします。
このビットが0のとき、通常動作になります。
このビットが1のとき、リセットします。
- bit 4 SDRAMコントローラリセット
このビットは内部のSDRAMコントローラブロックをリセットします。SDRAM
コントローラをリセットすると、再度イニシャルシケーンズから始める必要が
あります。
このビットが0のとき、通常動作になります。
このビットが1のとき、リセットします。
- bit 3 アルファブレンディングリセット
このビットは内部のアルファブレンディングブロックをリセットします。
このビットが0のとき、通常動作になります。
このビットが1のとき、リセットします。
- bits 2-1 Reserved
これらのビットは、必ず00bでご使用ください。
- bit 0 SDCLKイネーブル
このビットはSDCLKを制御します。
このビットが0のとき、SDCLKディセーブルになりパワーセーブモードに遷移
します。
このビットが1のとき、SDCLKイネーブルになりパワーセーブモードから復帰
します。

注

SDCLKディセーブル中に、PLL設定、SS設定、SYSCLK設定、PLLイネーブル、SSイネーブル、ソフトウェアリセットの設定変更ができます。

REG[6Ah] Non-Display Period Control / Status Register						Read/Write	
Default = 00h							
VNDPステータス (RO)	HNDPステータス (RO)	VNDPとHNDPの論 理和ステータス (RO)	n/a			TE/INT出力機能選択ビット1~0	
7	6	5	4	3	2	1	0

bit 7 VNDPステータス
これは読み出し専用のステータスビットです。
このビットが0のとき、LCDパネル出力は垂直非表示期間にあります。
このビットが1のとき、LCDパネル出力は垂直表示期間にあります。

注

VNDPは、あるフレームの最後のラインの最後のピクセルと次のフレームの最初のラインの最初のピクセルとの間の時間になります。

bit 6 HNDPステータス
これは読み出し専用のステータスビットです。
このビットが0のとき、LCDパネル出力は水平非表示期間にあります。
このビットが1のとき、LCDパネル出力は水平表示期間にあります。

注

HNDPは、ラインnの最後のピクセルとラインn+1の最初のピクセルとの間の時間となります。

bit 5 VNDPとHNDPの論理和ステータス
このビットは読み出し専用のステータスビットです。
このビットが0のとき、LCDパネル出力は、水平非表示期間または垂直非表示期間にあります。
このビットが1のとき、LCDパネル出力は表示期間にあります。

bits 1-0 TE/INT出力機能選択ビット[1:0]

表10.11 TE/INT出力機能選択

REG[6Ah]ビット1~0	TE/INT出力機能
00	TE (VNDP)
01	TE (HNDP)
10	TE (VNDPとHNDPのOR)
11	INT

10. レジスタ

10.3.8 汎用IO端子レジスタ

REG[6Ch] General Purpose Output Register 0							Read/Write	
Default = 00h								
7	6	n/a	5	4	3	2	GPO9ステータス 1	GPO8ステータス 0

bits 3-2

Reserved

これらのビットは、必ず00bでご使用ください

bits 1-0

GPO[9:8]ステータス

このビットに1を書き込むと出力はHighになり、0を書き込むとLowになります。初期値はLow出力です。

REG[6Eh] General Purpose Output Register 1								Read/Write	
Default = 00h									
GPO7ステータス 7	GPO6ステータス 6	GPO5ステータス 5	GPO4ステータス 4	GPO3ステータス 3	GPO2ステータス 2	GPO1ステータス 1	GPO0ステータス 0		

bits 7-0

GPO[7:0]ステータス

このビットに1を書き込むと出力はHighになり、0を書き込むとLowになります。初期値はLow出力です。

10.3.9 PWM設定レジスタ

REG[70h] PWM Control Register						
Default = 00h						Read/Write
PWM設定レジスタ更新 (WO)	n/a				PWMイネーブル	PWM出力機能選択ビット1~0
7	6	5	4	3	2	1 0

bit 7 PWM設定レジスタ更新 (ライトオンリー)
 PWMのレジスタ (REG[72h]~[80h]) の値をロードします。
 このビットが0のとき、影響しません。
 このビットが1のとき、ロードします。

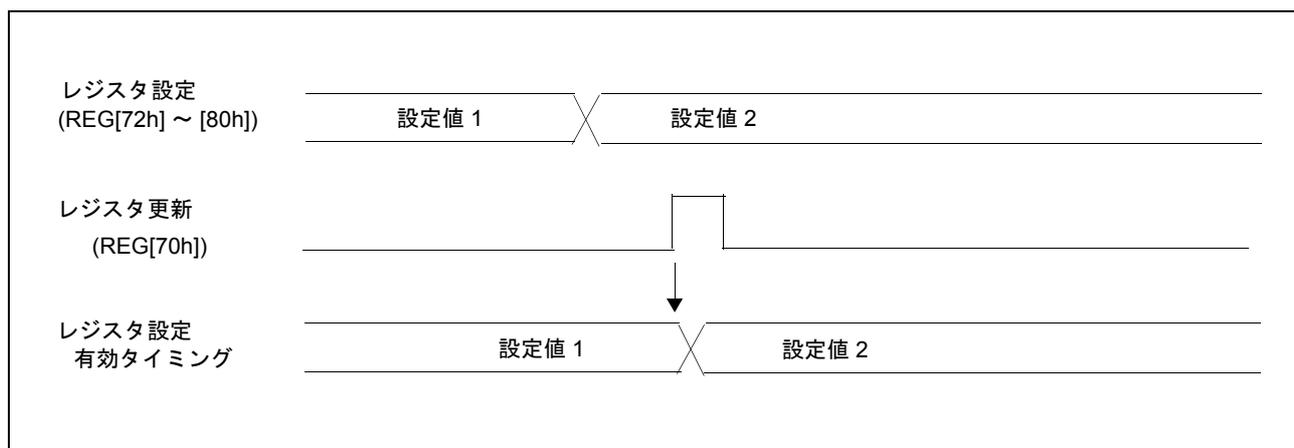


図10.2 PWM設定レジスタ更新タイミング

bit 2 PWMイネーブル
 PWMをイネーブルにします。ディセーブルにした場合、PWM出力はその時点での論理で停止します。
 このビットが0のとき、PWMはディセーブル。
 このビットが1のとき、PWMはイネーブル。

bits 1-0 PWM出力機能選択ビット[1:0]

表10.12 PWM出力機能選択

REG[70h]ビット1~0	PWM出力機能
00	ロー出力 (初期値)
01	ハイ出力
1x	PWM出力

10. レジスタ

REG[72h] PWM High Duty Register 0								Read/Write
Default = 00h								
PWMハイ期間設定ビット7~0								
7	6	5	4	3	2	1	0	

REG[74h] PWM High Duty Register 1								Read/Write
Default = 00h								
PWMハイ期間設定ビット15~8								
7	6	5	4	3	2	1	0	

REG[76h] PWM High Duty Register 2								Read/Write
Default = 00h								
PWMハイ期間設定ビット23~16								
7	6	5	4	3	2	1	0	

REG[78h] PWM High Duty Register 3								Read/Write
Default = 00h								
PWMハイ期間設定ビット31~24								
7	6	5	4	3	2	1	0	

REG[72h] bits 7-0

REG[74h] bits 7-0

REG[76h] bits 7-0

REG[78h] bits 7-0

PWMハイ期間設定ビット[31:0]

これらのビットは、PWMのハイ期間を設定します。レジスタの値はREG[70h] bit 7のライト直後に値が有効になります。

REG[7Ah] PWM Low Duty Register 0								Read/Write
Default = 00h								
PWMロー期間設定ビット7~0								
7	6	5	4	3	2	1	0	

REG[7Ch] PWM Low Duty Register 1								Read/Write
Default = 00h								
PWMロー期間設定ビット15~8								
7	6	5	4	3	2	1	0	

REG[7Eh] PWM Low Duty Register 2								Read/Write
Default = 00h								
PWMロー期間設定ビット23~16								
7	6	5	4	3	2	1	0	

REG[80h] PWM Low Duty Register 3								Read/Write
Default = 00h								
PWMロー期間設定ビット31~24								
7	6	5	4	3	2	1	0	

REG[7Ah] bits 7-0

REG[7Ch] bits 7-0

REG[7Eh] bits 7-0

REG[80h] bits 7-0

PWMロー期間設定ビット[31:0]

これらのビットは、PWMのロー期間を設定します。レジスタ変更はREG[70h] bit 7のライト直後に値が有効になります。

10. レジスタ

10.3.10 SDRAM設定レジスタ

REG[82h] SDRAM Control Register 0							Read/Write	
Default = 02h								
Reserved				メモリサイズ設定ビット1~0				
7	6	5	4	3	2	1	0	

- bits 7-2 Reserved
 これらのビットは、必ず000000bでご使用ください。
- bits 1-0 メモリサイズ選択ビット[1:0]

表10.13 SDRAMメモリサイズ選択

REG[82h]ビット1~0	SDRAMメモリサイズ
0x	16Mビット
10	64Mビット (初期値)
11	128Mビット

REG[84h] SDRAM Status Register 0							Write Only
Default = 00h							
オートリフレッシュ オン (WO)	Reserved			セルフリフレッシュ セット (WO)	パワーダウンセット (WO)	イニシャライズセッ ト (WO)	Reserved
7	6	5	4	3	2	1	0

- bit 7 オートリフレッシュオン
 SDRAMのオートリフレッシュをオンにします。イニシャライズセットと同時にオンにしてください。
 このビットが0のとき、オートリフレッシュはオフです。
 このビットが1のとき、オートリフレッシュはオンです。
- bits 6-4 Reserved
 これらのビットは、必ず000bでご使用ください。
- bit 3 セルフリフレッシュセット
 SDRAMをセルフリフレッシュに移行します。
 このビットが0のとき、セルフリフレッシュから復帰します。
 このビットが1のとき、セルフリフレッシュに移行します。
- bit 2 パワーダウンセット
 SDRAMをパワーダウンに移行します。
 このビットが0のとき、パワーダウンから復帰します。
 このビットが1のとき、パワーダウンに移行します。
- bit 1 イニシャライズセット
 SDRAMをイニシャライズします。イニシャライズコマンドは、リセット後に1回しか発行できません。
 このビットが0のとき、ステータスビットをリセットします。
 このビットが1のとき、イニシャライズします。
- bit 0 Reserved
 このビットは、必ず0bでご使用ください。

REG[86h] SDRAM Status Register 1						Read Only
Default = 00h						
オートリフレッシュ オンステータス (RO)	コントローラステータス (RO)	Reserved		セルフリフレッシュ ステータス (RO)	パワーダウンステータス (RO)	イニシャライズ ステータス (RO)
7	6	5	4	3	2	1
						Reserved 0

- bit 7 オートリフレッシュオンステータス
REG[84h] bit 7の値を示します。
このビットが0のとき、オートリフレッシュはオフです。
このビットが1のとき、オートリフレッシュはオンです。
- bit 6 コントローラステータス
SDRAMコントローラの状態を示します。
このビットが0のとき、ビジーまたはその他の状態です。
このビットが1のとき、アイドル状態です。
- bits 5-4 Reserved
これらのビットは、使用しません。
- bit 3 セルフリフレッシュステータス
SDRAMがセルフリフレッシュの状態を示します。
このビットが0のとき、セルフリフレッシュ以外です。
このビットが1のとき、セルフリフレッシュ中です。
- bit 2 パワーダウンステータス
SDRAMがパワーダウンの状態を示します。
このビットが0のとき、パワーダウン以外です。
このビットが1のとき、パワーダウン中です。
- bit 1 イニシャライズステータス
SDRAMがイニシャライズシーケンスの状態を示します。
このビットが0のとき、イニシャライズシーケンス未終了です。
このビットが1のとき、イニシャライズシーケンス終了です。
- bits 0 Reserved
このビットは、使用しません。

10. レジスタ

REG[88h] SDRAM MRS Value Register 0							
Default = 22h							
Read/Write							
MRSビット7~0							
7	6	5	4	3	2	1	0

REG[8Ah] SDARM MRS Value Register 1							
Default = 00h							
Read/Write							
n/a				MRSビット11~8			
7	6	5	4	3	2	1	0

REG[8Ah] bits 3-0

REG[88h] bits 7-0

MRSビット[11:0]

これらのビットはMRS設定値です。このレジスタは、初期値（022h）から変更しないでください。イニシャルシーケンス中に、本レジスタの設定値がSDRAMへ設定されます。CASレイテンシー=2、バースト長=4のみサポートしていません。

REG[8Ch] SDRAM Refresh Counter Register 0							
Default = FFh							
Read/Write							
Refreshビット7~0							
7	6	5	4	3	2	1	0

REG[8Eh] SDARM Refresh Counter Register 1							
Default = 03h							
Read/Write							
n/a				Refreshビット11~8			
7	6	5	4	3	2	1	0

REG[8Eh] bits 3-0

REG[8Ch] bits 7-0

Refreshビット[11:0]

これらのビットでリフレッシュカウンターの値を設定します。リフレッシュカウンターは、レジスタの設定値の間隔でオートリフレッシュコマンドを発行します。カウンターの入力クロックはSDCLKになります。これらのビットは、次の式を満足する値に設定してください。

$$\text{カウンターの設定時間} = (1/f_{\text{SDCLK}}) \times \text{カウンター値} < \text{SDRAMリフレッシュ時間}$$

例えば初期設定値03FFhは、
90MHzで4096リフレッシュサイクル/64msのSDRAMを使用する場合、
カウンターの設定時間 = $(1/90\text{MHz}) \times 1023 (= 03FFh) = 11.36\mu\text{s}$
SDRAMリフレッシュ時間 = $64\text{ms} / 4096 = 15.63\mu\text{s}$
を満足しています。

同様に66MHzで4096リフレッシュサイクル/64msのSDRAMを使用する場合、
カウンターの設定時間 = $(1/66\text{MHz}) \times 1023 (= 03FFh) = 15.50\mu\text{s}$
SDRAMリフレッシュ時間 = $64\text{ms} / 4096 = 15.63\mu\text{s}$
を満足しています。

REG[90h] SDRAM Write Buffer Memory Size Register 0							Read/Write
Default = 00h							
ライトバッファメモリサイズビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

ライトバッファメモリサイズビット[7:0]

これらのビットで1つのライトバッファのメモリサイズを16Kバイト単位で設定します。バッファ0はSDRAMの0番地固定になり、バッファ1の先頭アドレスがこれらのビットで指定されることとなります。バッファ2~7は同様なオフセット値で設定されます。初期値00hの場合は、すべてのバッファの先頭アドレスがSDRAMの0番地となります。

バッファ1の先頭アドレスA[23:22] = 0

バッファ1の先頭アドレスA[21:14] = (REG[90h]ビット7~0)

バッファ1の先頭アドレスA[13:0] = 0

表10.14 ライトバッファメモリサイズ設定

LCDパネルサイズ	推奨バッファサイズ	REG[90h]設定値
HVGA	512Kbyte	20h
VGA	1Mbyte	40h
WVGA	1.25Mbyte	50h
SVGA	1.5Mbyte	60h
QHD	1.75Mbyte	70h

REG[92h] SDRAM Debug Register							Read Only
Default = 00h							
コントローラデバッグステータス (RO)							
7	6	5	4	3	2	1	0

bit 4

メモリコントローラリードバッファエンプティ (リードオンリー)

リードバッファがエンプティになった場合にセットされます。クリアするにはメモリコントローラ回路のリセットが必要です。

bit 3

メモリコントローラライトバッファオーバフロー (リードオンリー)

ライトバッファがオーバフローした場合にセットされます。クリアするにはメモリコントローラ回路のリセットが必要です。

bits 2-0

SDRAMコントローラステータス (リードオンリー)

SDRAMコントローラのステートマシンの状態を示します。

表10.15 SDRAMコントローラステータス

REG[92h]ビット2~0	ステータス
000	リセット
001	イニシャル
010	アイドル
011	リード/ライト
100	オートリフレッシュ
101	MRS & PALL
110	セルフリフレッシュ
111	パワーダウン

10. レジスタ

10.3.11 アルファブレンディング設定レジスタ

REG[94h] Alpha-blending Control Register							Write Only
Default = 00h							
n/a							ブレンディングスタート (WO)
7	6	5	4	3	2	1	0

bit 0 ブレンディングスタート (ライトオンリー)
 このビットの立ち上がりエッジで、1回のアルファブレンディングをスタートします。動作中に設定した場合は無効になります。"1"をライトした後、再度"0"をライトしてください。
 このビットが0のとき、レジスタ値は"0"になります。
 このビットが1のとき、レジスタ値は"1"になり、ブレンディングがスタートします。

REG[96h] Alpha-blending Status Register							Read Only
Default = 00h							
n/a							Reserved
7	6	5	4	3	2	1	0

bit 0 Reserved
 このビットは、使用しません。

REG[98h] Alpha-blending Horizontal Size Register							Read/Write
Default = 00h							
n/a	ブレンディング水平画像サイズビット6~0						
7	6	5	4	3	2	1	0

bits 6-0 ブレンディング水平画像サイズビット[6:0]
 これらのビットは、8ピクセル解像度でアルファブレンディングの水平方向の画像サイズを設定します。

$$\text{水平方向画像サイズ} = ((\text{REG}[98\text{h}] \text{ビット} 6 \sim 0) + 1) \times 8$$

REG[9Ah] Alpha-blending Vertical Size Register 0							Read/Write
Default = 00h							
ブレンディング垂直画像サイズビット7~0							
7	6	5	4	3	2	1	0

REG[9Ch] Alpha-blending Vertical Size Register 1							Read/Write
Default = 00h							
n/a							ブレンディング垂直画像サイズビット9~8
7	6	5	4	3	2	1	0

REG[9Ch] bits 1-0
 REG[9Ah] bits 7-0 ブレンディング垂直画像サイズビット[9:0]
 これらのビットは、アルファブレンディングの垂直方向の画像サイズを設定します。

$$\text{垂直方向画像サイズ} = (\text{REG}[9\text{Ch}] \text{ビット} 1 \sim 0, \text{REG}[9\text{Ah}] \text{ビット} 7 \sim 0) + 1$$

REG[9Eh] Alpha-blending Value Register								Read/Write
Default = 00h								
ブレンディング入力画像ビット1~0		ブレンディングデータビット5~0						
7	6	5	4	3	2	1	0	

bits 7-6 ブレンディング入力画像ビット[1:0]
 アルファブレンディングの入力画像を設定します。

表10.16 ブレンディング入力画像の設定

REG[9Eh]ビット7~6	ブレンディング入力画像
0xb	ディセーブル (初期値)
10b	入力画像1+入力画像2
11b	入力画像1

bits 5-0 ブレンディングデータビット[5:0]
 これらのビットは、アルファブレンディングのデータを設定します。ブレンディング入力画像設定が入力画像1のみの場合は、入力画像2の値は無効になります。

出力画像 = (入力画像1 x アルファ設定値) + (入力画像2 x (1 - アルファ設定値))

表10.17 アルファ値の選択

REG[9Eh]ビット5~0	アルファ値
00h	0
01h	1/32
02h	2/32
03h	3/32
•	•
•	•
•	•
1Fh	31/32
2xh	1

10. レジスタ

REG[A0h] Alpha-blending Input 1 Start Address Register 0								Read/Write
Default = 00h								
入力画像1 メモリ開始アドレスビット7~3				n/a				
7	6	5	4	3	2	1	0	

REG[A2h] Alpha-blending Input 1 Start Address Register 1								Read/Write
Default = 00h								
入力画像1 メモリ開始アドレスビット15~8								
7	6	5	4	3	2	1	0	

REG[A4h] Alpha-blending Input 1 Start Address Register 2								Read/Write
Default = 00h								
入力画像1 メモリ開始アドレスビット23~16								
7	6	5	4	3	2	1	0	

REG[A4h] bits 7-0

REG[A2h] bits 7-0

REG[A0h] bits 7-3

入力画像1 メモリ開始アドレスビット[23:3]

これらのビットは、アルファブレンディングの入力画像1のメモリ開始アドレスをバイトアドレスで指定します。

入力画像1メモリ開始アドレスA[23:3] = (REG[A4h]ビット7~0), (REG[A2h]ビット7~0), (REG[A0h]ビット7~3)

REG[A6h] Alpha-blending Input 2 Start Address Register 0								Read/Write
Default = 00h								
入力画像2 メモリ開始アドレスビット7~3				n/a				
7	6	5	4	3	2	1	0	

REG[A8h] Alpha-blending Input 2 Start Address Register 1								Read/Write
Default = 00h								
入力画像2 メモリ開始アドレスビット15~8								
7	6	5	4	3	2	1	0	

REG[AAh] Alpha-blending Input 2 Start Address Register 2								Read/Write
Default = 00h								
入力画像2 メモリ開始アドレスビット23~16								
7	6	5	4	3	2	1	0	

REG[AAh] bits 7-0

REG[A8h] bits 7-0

REG[A6h] bits 7-3

入力画像2 メモリ開始アドレスビット[23:3]

これらのビットは、アルファブレンディングの入力画像2のメモリ開始アドレスをバイトアドレスで指定します。

入力画像2メモリ開始アドレスA[23:3] = (REG[AAh]ビット7~0), (REG[A8h]ビット7~0), (REG[A6h]ビット7~3)

REG[ACh] Alpha-blending Output Start Address Register 0							
Default = 00h							Read/Write
出力画像メモリ開始アドレスビット7~3				n/a			
7	6	5	4	3	2	1	0

REG[AEnh] Alpha-blending Output Start Address Register 1							
Default = 00h							Read/Write
出力画像メモリ開始アドレスビット15~8							
7	6	5	4	3	2	1	0

REG[B0h] Alpha-blending Output Start Address Register 2							
Default = 00h							Read/Write
出力画像メモリ開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[B0h] bits 7-0

REG[AEnh] bits 7-0

REG[ACh] bits 7-3

出力画像メモリ開始アドレスビット[23:3]

これらのビットは、アルファブレンディングの出力画像のメモリ開始アドレスをバイトアドレスで指定します。

出力画像メモリ開始アドレスA[23:3] = (REG[B0h]ビット7~0), (REG[AEnh]ビット7~0), (REG[ACh]ビット7~3)

10. レジスタ

10.3.12 割り込み設定レジスタ

REG[B2h] Interrupt Control Register						Read/Write
Default = 00h						
n/a	Reserved		ブレンディング割り込みマスク	n/a	Reserved	ブレンディング割り込みイネーブル
7	6	5	4	3	2	1
						0

bits 6-5 Reserved
これらのビットは、必ず00bでご使用ください。

bit 4 ブレンディング割り込みマスク
このビットはブレンディング割り込みの設定をします。
このビットが0のとき、割り込みマスクされます。
このビットが1のとき、割り込みマスクされません。

bits 2-1 Reserved
これらのビットは、必ず00bでご使用ください。

bit 0 ブレンディング割り込みイネーブル
このビットはブレンディング割り込みの設定をします。
このビットが0のとき、割り込みディセーブルです。
このビットが1のとき、割り込みイネーブルです。

REG[B4h] Interrupt Status Register						Read Only
Default = 00h						
n/a				Reserved		ブレンディング割り込みステータス
7	6	5	4	3	2	1
						0

bits 2-1 Reserved
これらのビットは、使用しません。

bit 0 ブレンディング割り込みステータス
このビットはブレンディング割り込みのステータスを示します。割り込みディセーブルの場合は"0"になります。
このビットが0のとき、割り込みなし。
このビットが1のとき、割り込みあり。

REG[B6h] Interrupt Clear Register						Write Only
Default = 00h						
n/a				Reserved		ブレンディング割り込みクリア
7	6	5	4	3	2	1
						0

bits 2-1 Reserved
これらのビットは、必ず00bでご使用ください。

bit 0 ブレンディング割り込みクリア
このビットの立ち上がりエッジで、ブレンディング割り込みステータスビットをクリアします。"1"をライトした後、再度"0"をライトしてください。("1"の間は割り込みフラグがセットされません)
このビットが0のとき、レジスタはクリア ("0") されます。
このビットは割り込みステータスビットをクリアします。

11. ホストインタフェース

11.1 パラレルインタフェース

パラレルインタフェースによりS1D13517にアクセスするには、複数ステップの処理を必要とします。すべてのレジスタとメモリは、レジスタ空間を経由してアクセスされます。

注

すべてのレジスタアクセスは、メモリデータポートを除いて8ビットアクセスのみです。ホストインタフェースが16ビット幅の場合、下位バイト (HD[7:0]) は、メモリデータポートを除くすべてのレジスタで使用されます。

最初に「アドレスライト」を一度だけ実行し、レジスタアドレスを設定します。次に「データリード/ライト」を実行し、「アドレスライト」サイクルで指定したレジスタまたはメモリに対して格納する、またはレジスタを読み出すデータを指定します。その後続くデータリード/ライトは、レジスタアドレスを変更するアドレスライトがなければ、レジスタアドレスまたは内部メモリアドレス（メモリデータポートにアクセスする場合）をオートインクリメントします。

ウィンドウに表示データを書き込むには、ウィンドウの座標を設定し、次にウィンドウサイズに要求される画像データをメモリデータポートへのバーストデータを書き込みます。このシーケンスでは、内蔵メモリのアドレス指定は自動で行われます。

11.1.1 レジスタライト手順

1. アドレスライトを実行し、レジスタアドレスのビット7～0を設定します。
2. データライトを実行し、レジスタを更新します。
3. 追加のデータライトがサポートされています。この場合、レジスタアドレスはオートインクリメントされます。

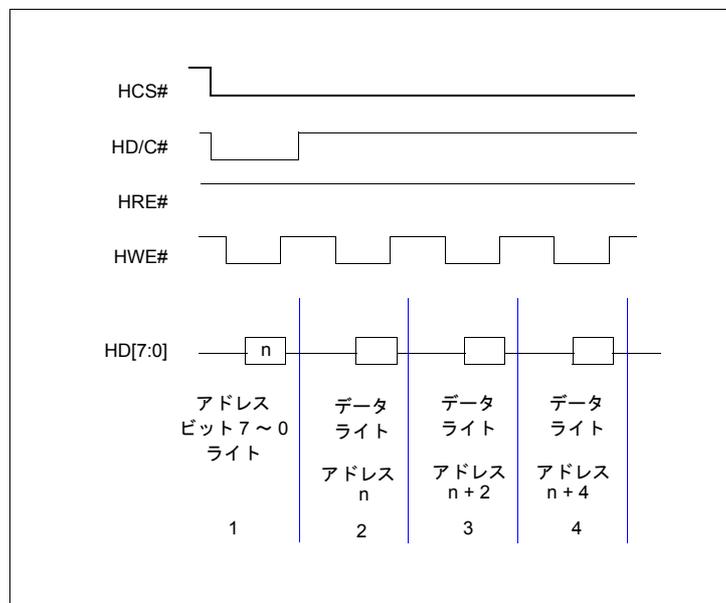


図11.1 レジスタライト手順の例

11. ホストインタフェース

11.1.2 レジスタリード手順

1. アドレスライトを実行し、レジスタアドレスのビット7~0を設定します。
2. データリードを実行し、レジスタの値を取得します。
3. 追加のデータリードがサポートされています。この場合、レジスタアドレスはオートインクリメントされます。

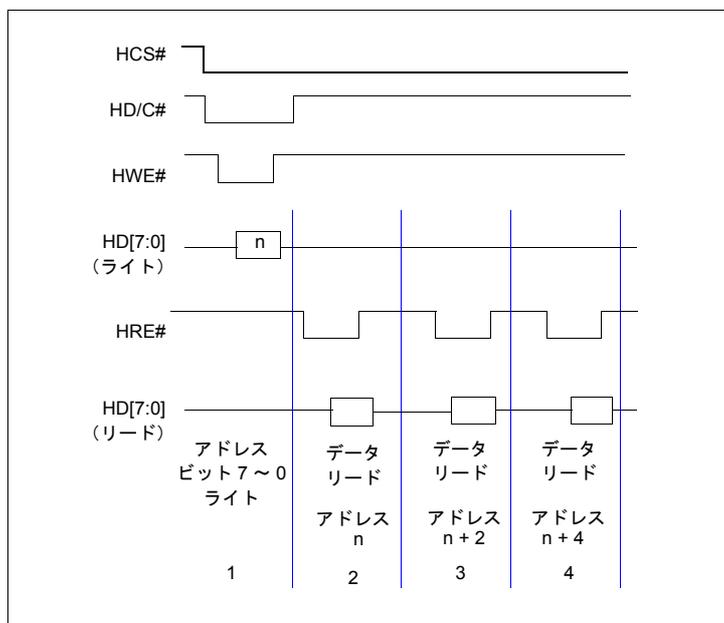


図11.2 レジスタリード手順の例

11.1.3 メモリ (新しいウィンドウ) のライト手順

1. ウィンドウデータを書き込む前にウィンドウの設定レジスタを設定しておく必要があります。
2. アドレスライトを実行して、最初のウィンドウ設定レジスタ (Window X Start Position) を指示します。
3. 6つの8ビットレジスタへ、データライトを実行します (これにより、すべてのウィンドウ座標が設定されます)。この場合、レジスタアドレスは、メモリデータポートレジスタに到達するまでオートインクリメントされます。
4. バーストデータライトを実行してウィンドウサイズに要求される画像データをライトします。規定のサイズでアクセスを終了してください。

11. ホストインタフェース

11.1.4 メモリ（既存ウィンドウ）のライト手順

1. アドレスライトを実行してメモリデータポートを指示します。この場合、既存のウィンドウ座標が使用され、ウィンドウアドレスが先頭に戻ります。
2. バーストデータ書き込みを実行してウィンドウを更新します。規定のサイズでアクセスを終了してください。

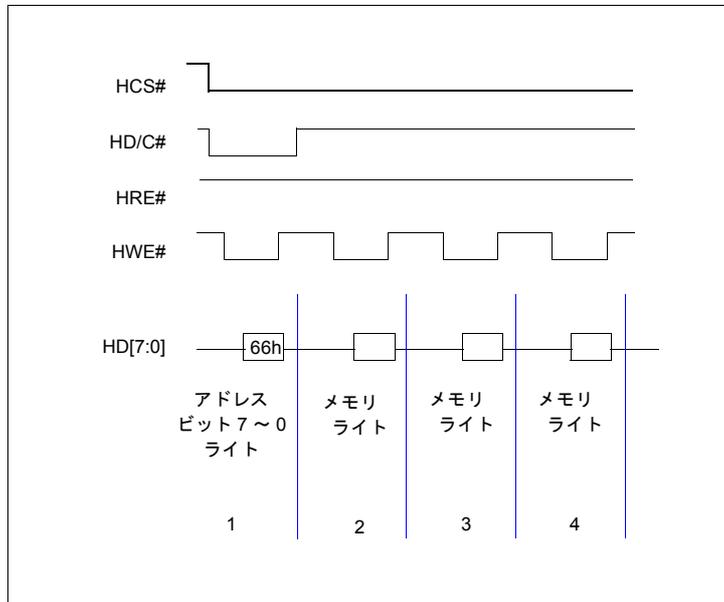


図11.4 メモリライト手順（ウィンドウ設定なし）

11.2 パラレルインタフェースのカラーフォーマット

11.2.1 8ビット16bppモード (RGB 5:6:5)

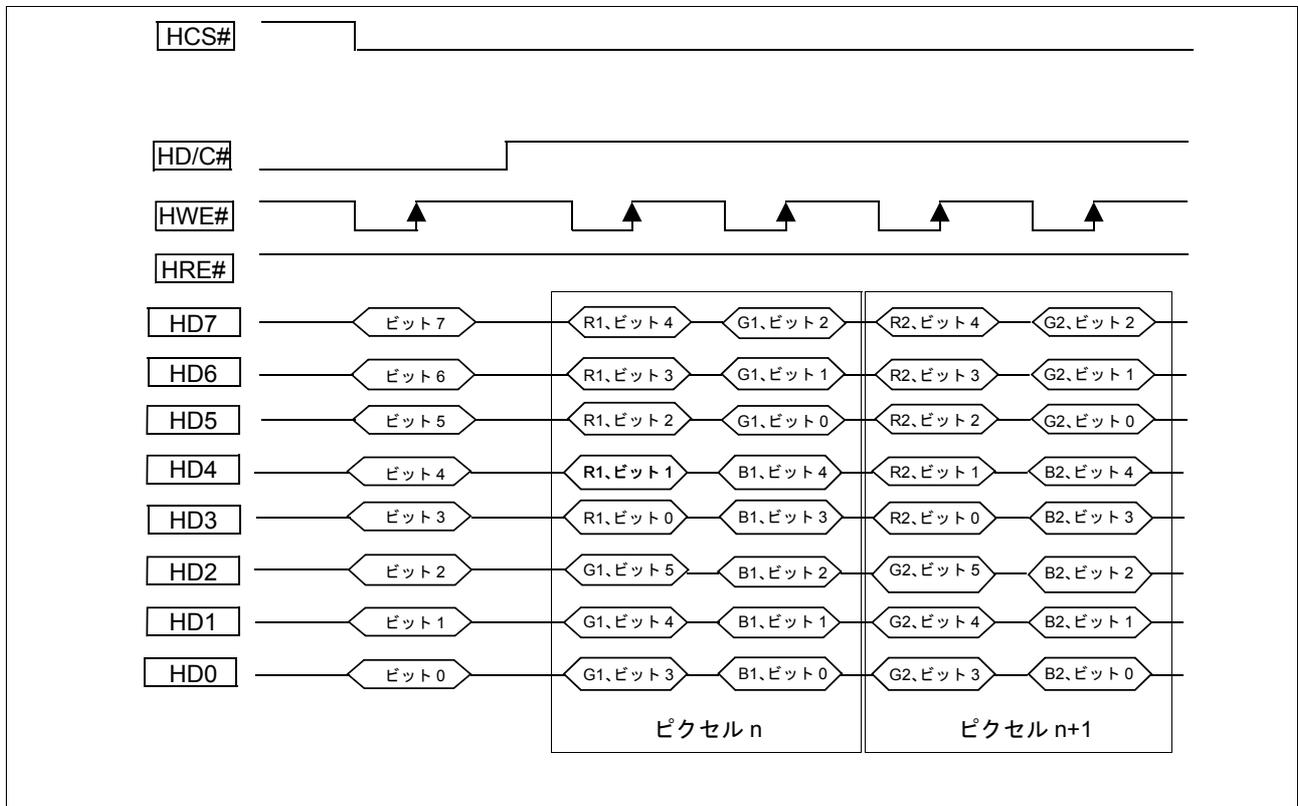


図11.5 8ビット16bppモード (RGB 5:6:5)

11. ホストインタフェース

11.2.2 8ビット24bppモード (RGB 8:8:8)

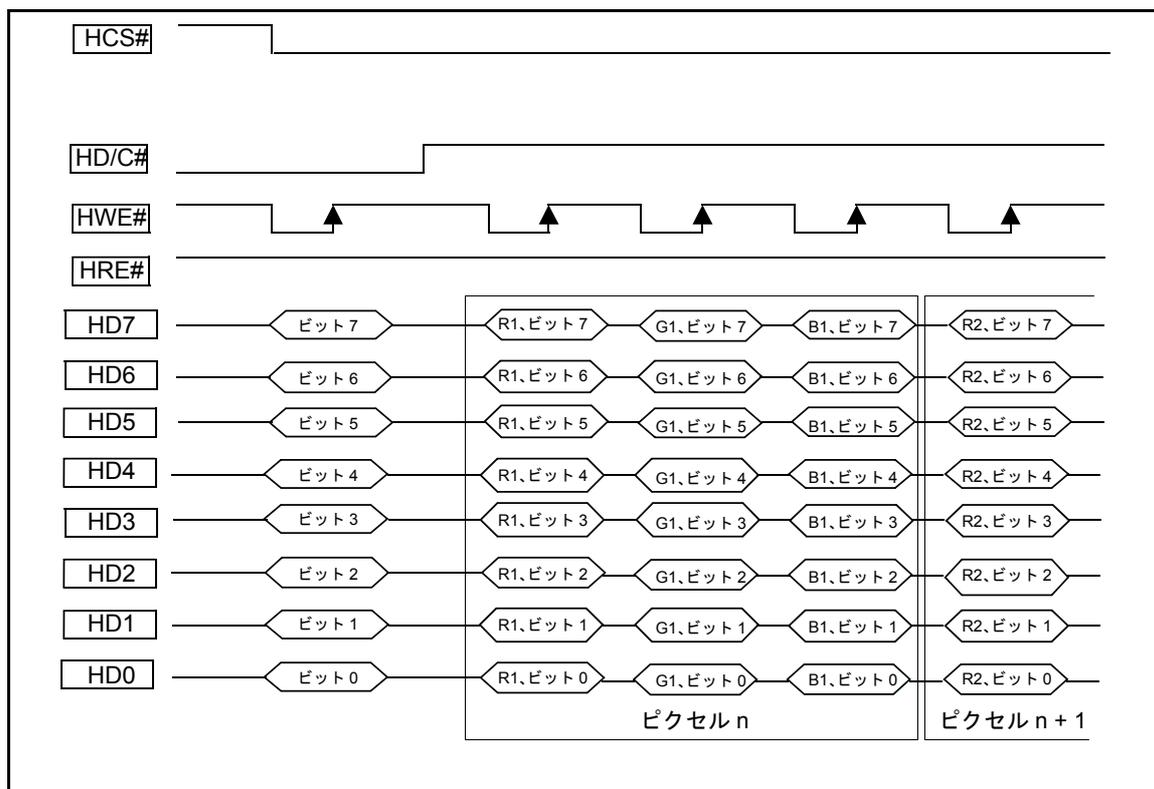


図11.6 8ビット24bppモード (RGB 8:8:8)

11.2.3 16ビット16bppモード (RGB 5:6:5)

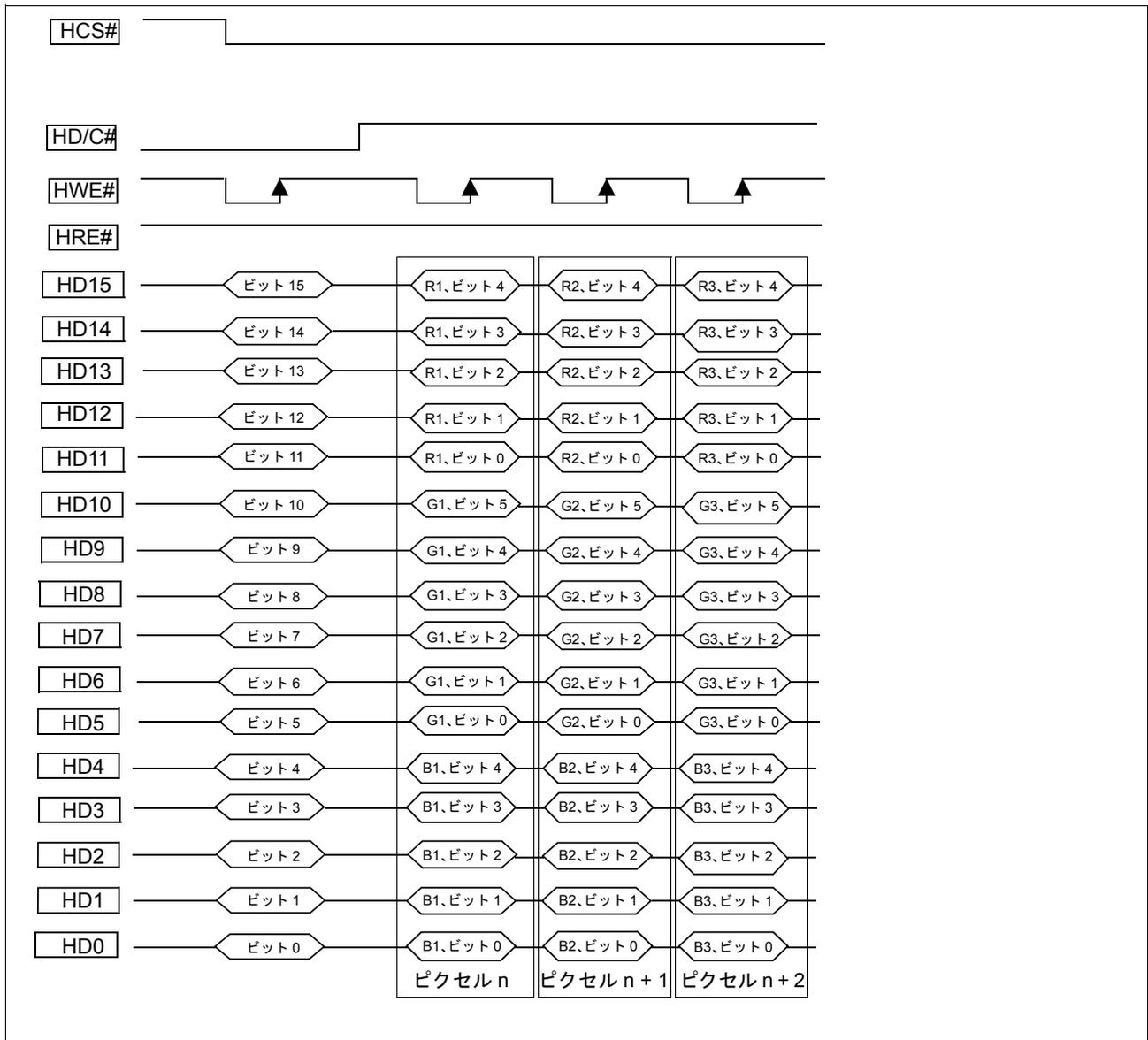


図11.7 16ビット16bppモード (RGB 5:6:5)

11. ホストインタフェース

11.2.4 16ビット24bppモード1 (RGB 8:8:8)

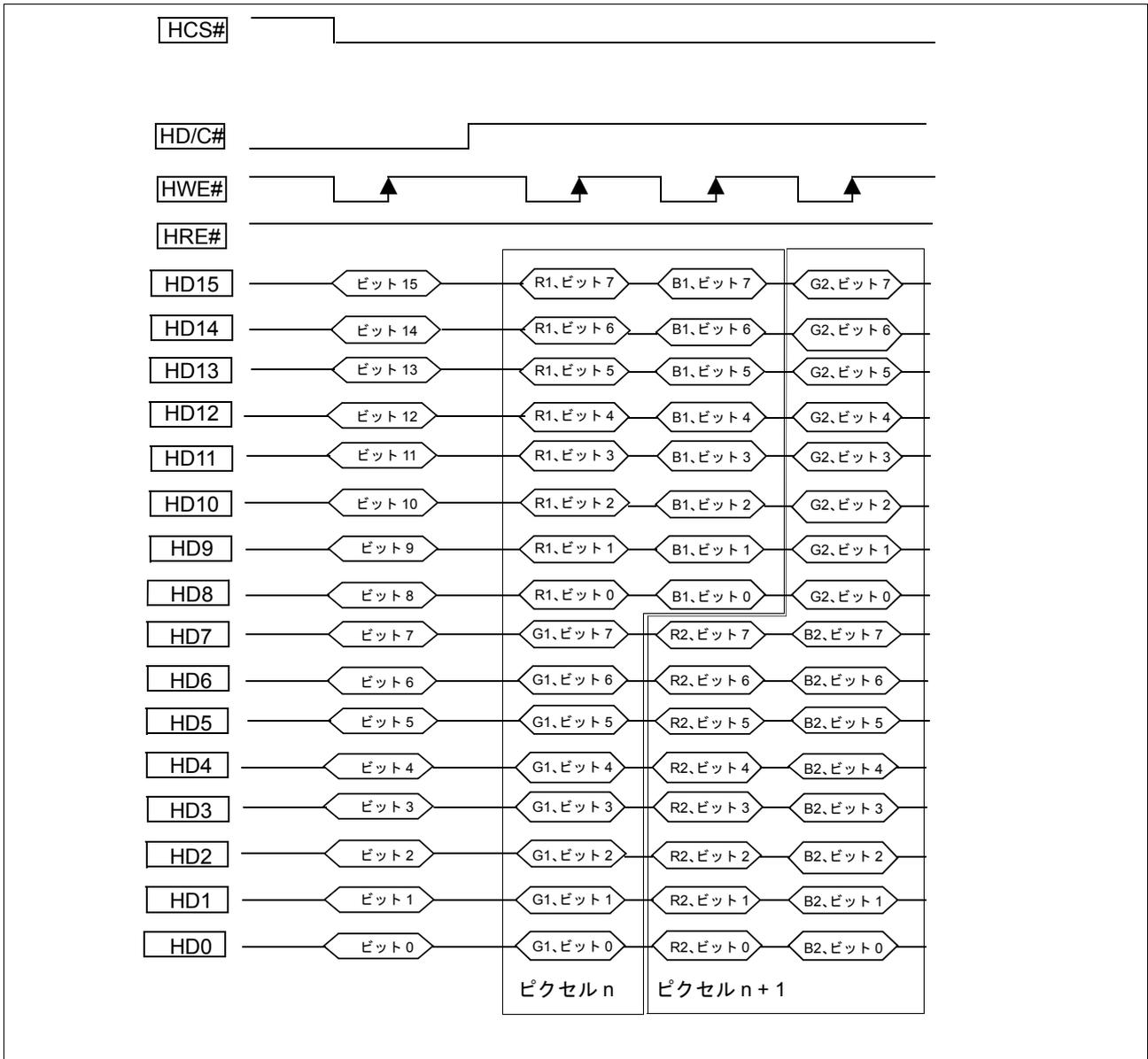


図11.8 16ビット24bppモード1 (RGB 8:8:8)

11.2.5 16ビット24bppモード2 (RGB 8:8:8)

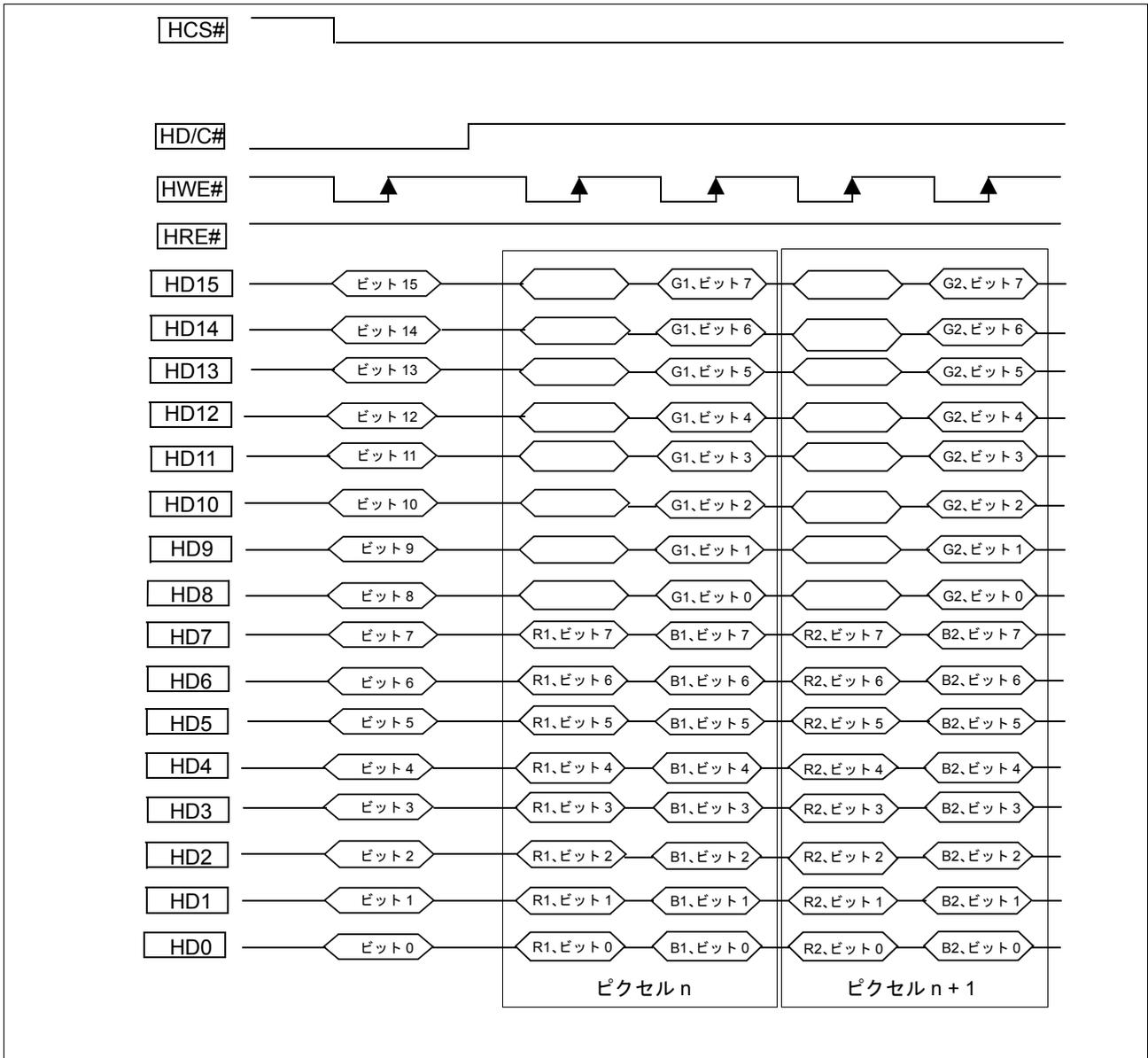


図11.9 16ビット24bppモード2 (RGB 8:8:8)

11. ホストインタフェース

11.3 PCLKと入力データレートの関係

ホストインタフェースからの入力画像データレートを示します。

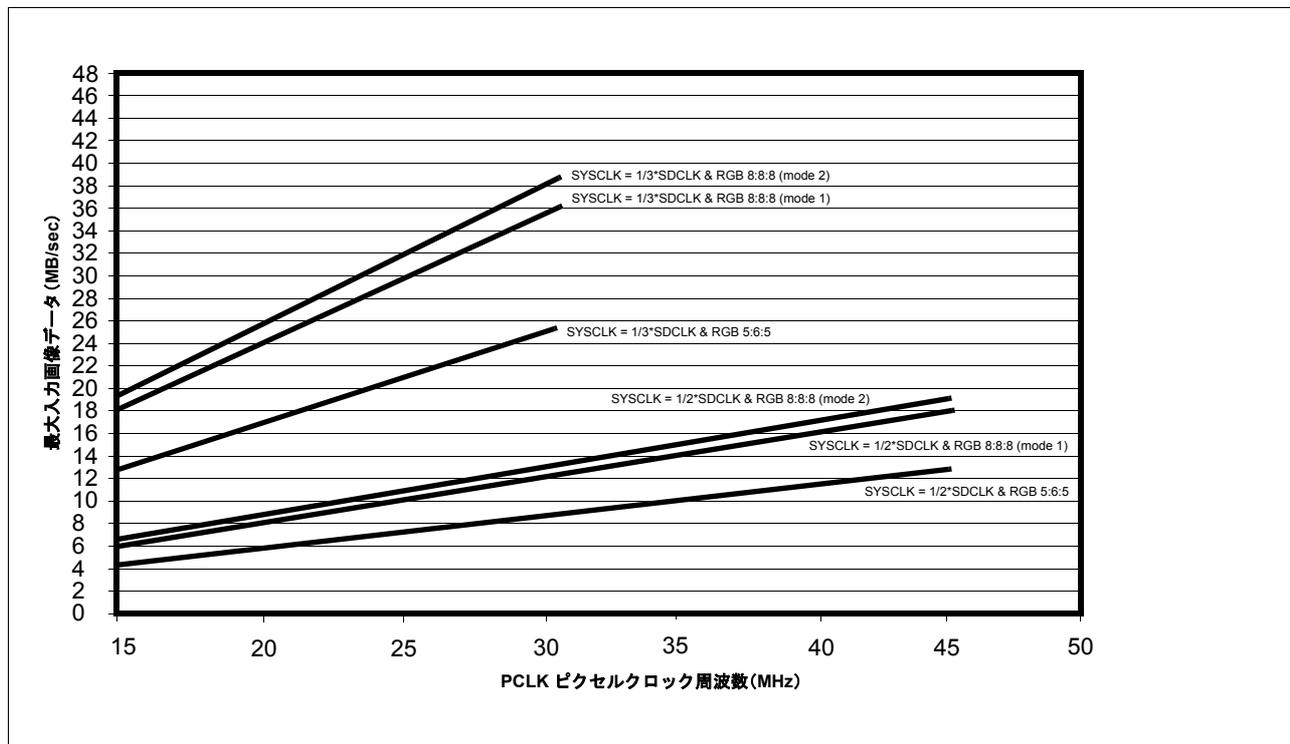


図11.10 PCLKに対するホストインタフェースデータレート

12. 表示機能

12.1 ディスプレイウィンドウ

ディスプレイウィンドウは、LCDの表示画像をX/Yの2つのパラメータで制御する方法です。ディスプレイウィンドウのフル画面サイズはLCDパネルの表示サイズと同じになり、水平サイズはHDISP (REG[16h])、垂直サイズはVDISP (REG[1Ah], [1Ch]) で決定します。

ディスプレイウィンドウのフル画面に対して、X/Yの2つのパラメータを指定することにより、一部の矩形領域に画像データを書き込むことができます。

透過色設定をイネーブルにした場合、設定された色データはメモリに書き込まれません。

12.1.1 ディスプレイバッファ設定

ディスプレイバッファの構成を示します。ディスプレイバッファは最大で16個まで確保できます。(メモリサイズにより個数の制限があります) それぞれのバッファのメモリサイズは同等になり、レジスタ (REG[90h]) により決定します。

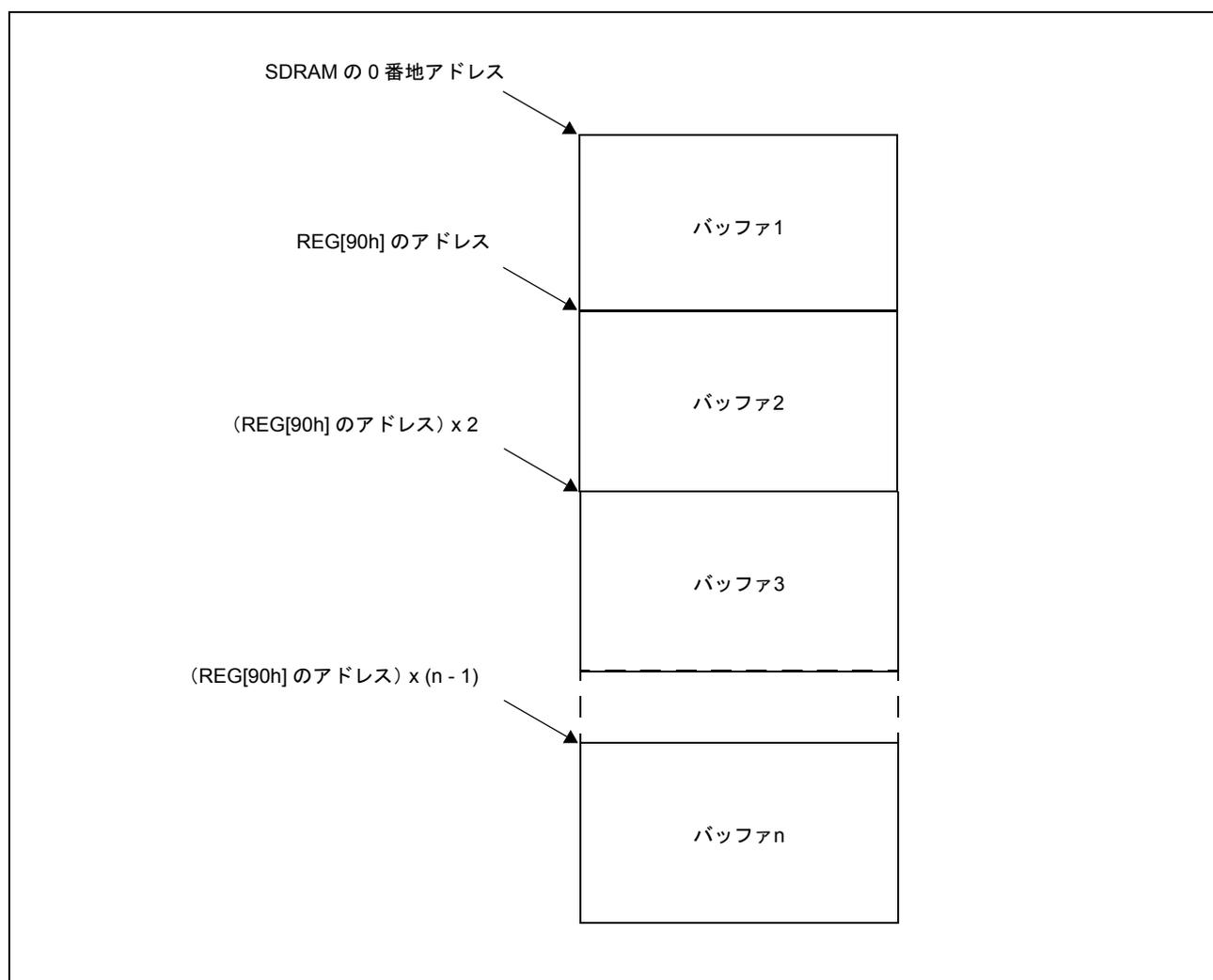


図12.1 ディスプレイバッファ構成

12. 表示機能

12.1.2 メモリディスプレイウィンドウ設定

画像データをメモリにライトする場合のディスプレイウィンドウの設定を示します。ディスプレイウィンドウのフル画面サイズはLCDパネルの表示サイズと同じになり、水平サイズはHDISP (REG[16h])、垂直サイズはVDISP (REG[1Ah], [1Ch]) で決定します。矩形画面は、フル画面のX/Y座標に対して、画像位置を指定する必要があります。水平方向の画像位置は8ピクセル単位で設定する必要があります。

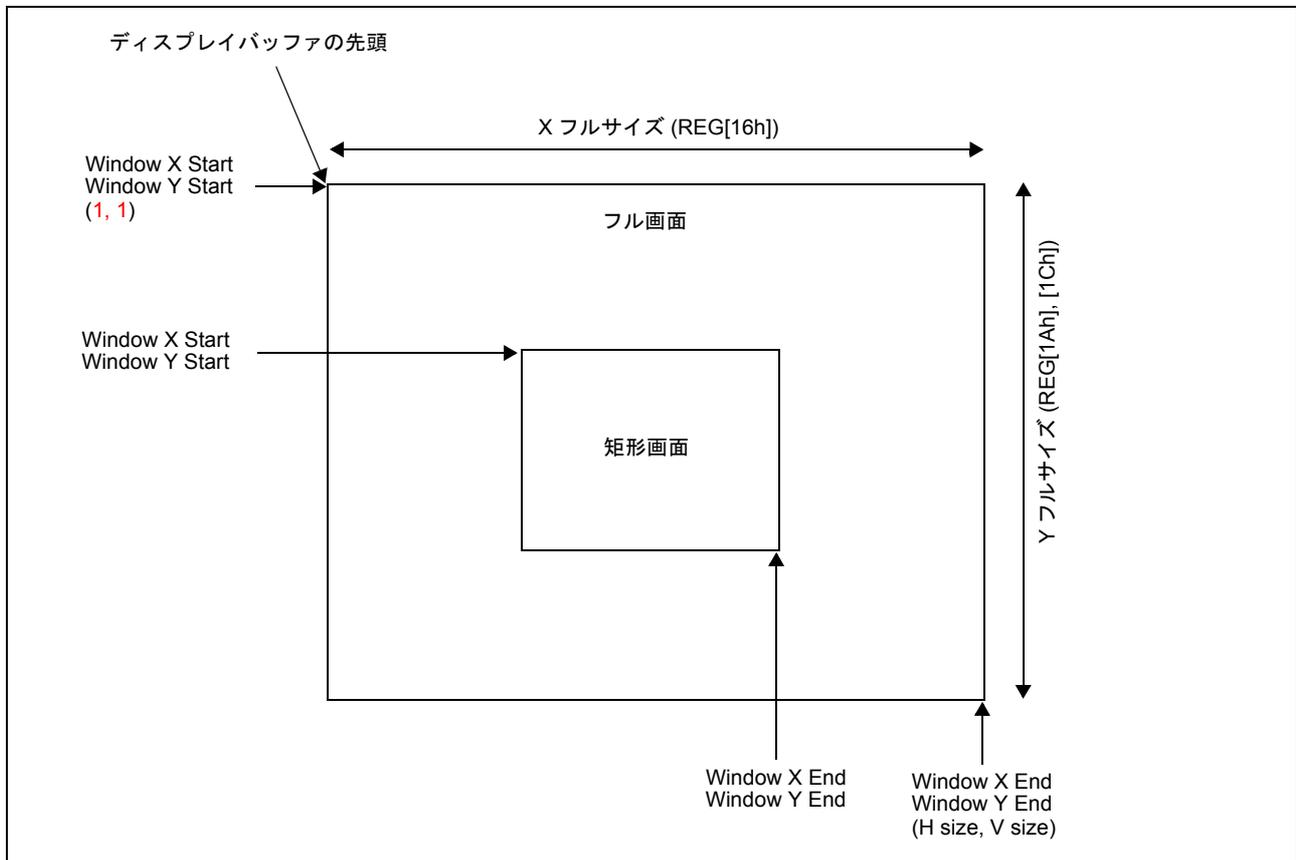


図12.2 ディスプレイウィンドウ構成 (メモリデータ)

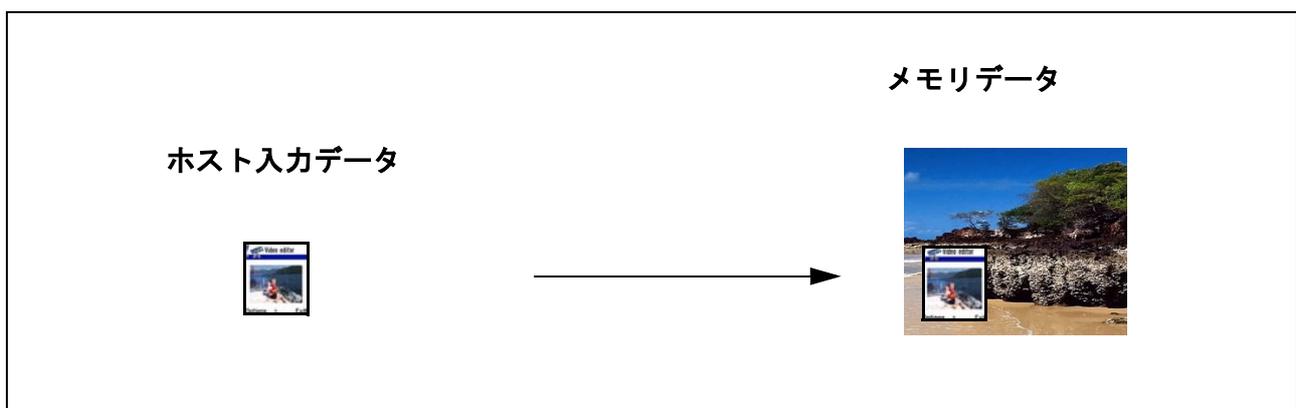


図12.3 ディスプレイウィンドウ使用例

12.1.3 透過色設定

透過色設定は、メモリへの画像データの書き込みの際に使用できます。透過色と一致した色はメモリへは書き込まれません。この機能は、回転およびミラー反転を同時に併用できません。REG[52h] ビット 3-0は、9h, AhおよびBhに設定できません。

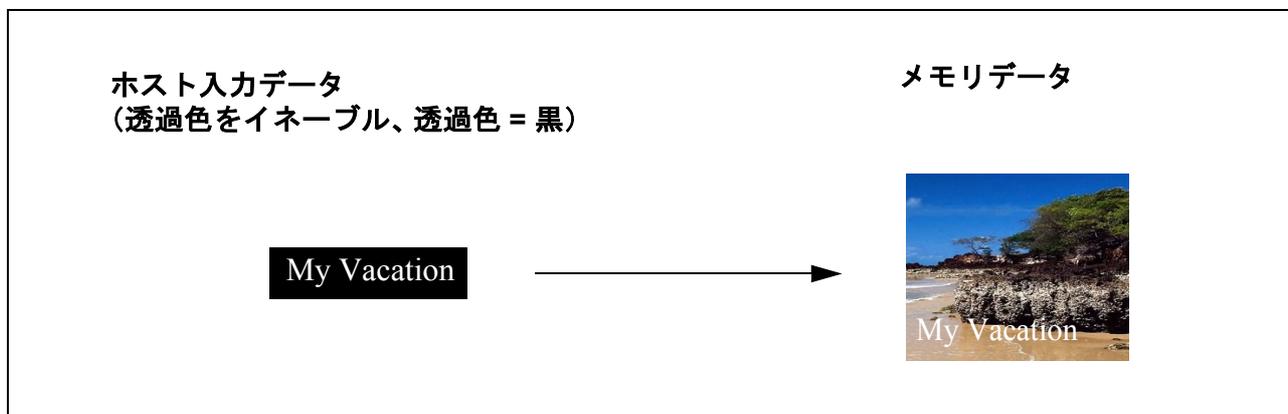


図12.4 透過色使用例

12. 表示機能

12.2 Picture-in-Picture表示

Picture-in-Picture表示は、メイン画面に対して2つのPIP画面を重ね合わせて表示する機能です。透過色を使ったオーバーレイ合成する機能はなく、それぞれの表示位置でメイン画面、PIP1画面、PIP2画面の3つから表示画像を選択する機能になります。PIP1画面とPIP2画面が重なった部分は、PIP1画面が優先表示されます。

12.2.1 PIPウィンドウ設定

Picture-in-Picture表示のPIP画面サイズおよび表示位置は、X/Yの座標で設定できます。水平方向のPIP画面サイズおよび表示位置は8ピクセル単位で設定する必要があります。

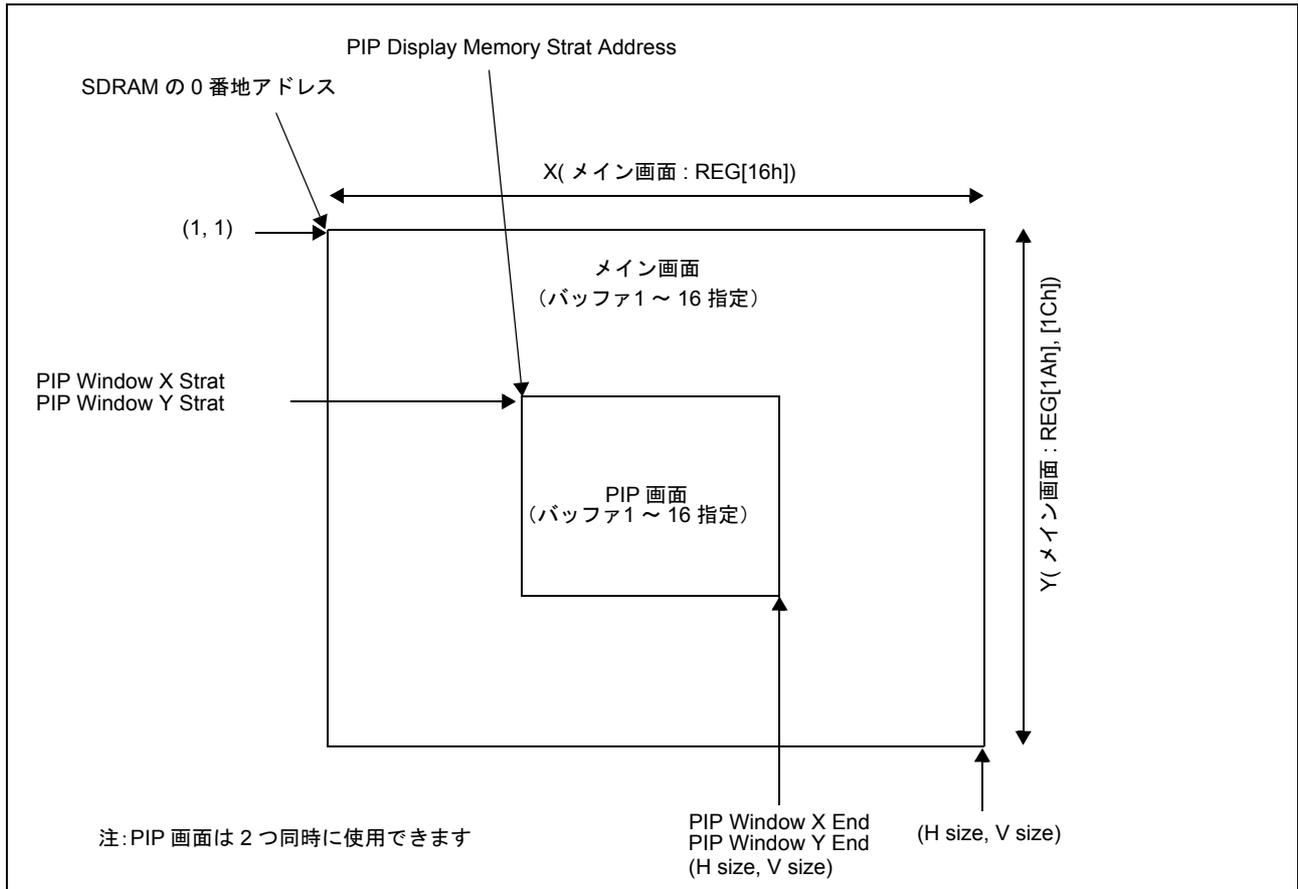


図12.5 Picture-in-Picture表示構成 (表示データ)

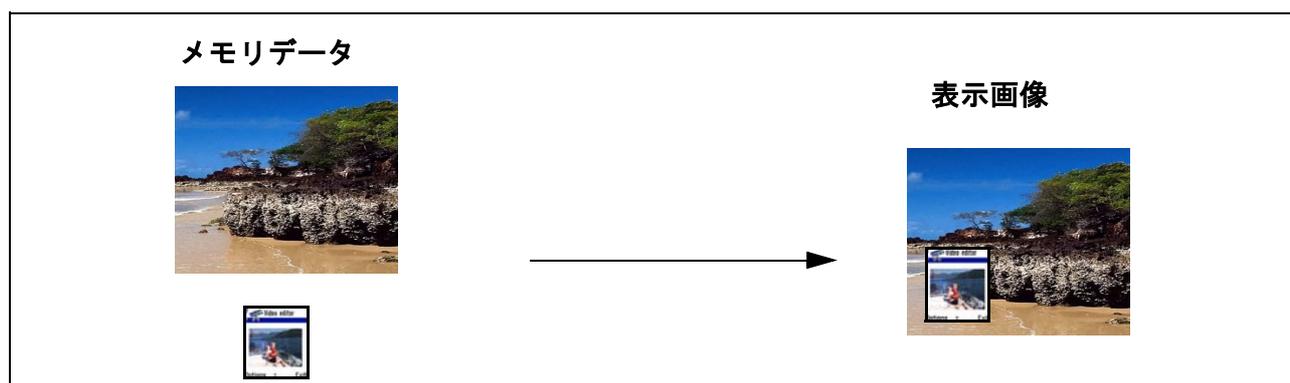


図12.6 Picture-in-Picture表示使用例

12.2.2 PIPウィンドウ表示メモリ開始位置設定

Picture-in-Picture表示のPIP画面の表示メモリ開始位置を、8ピクセル/1ライン単位でSDRAMのアドレスにより設定できます。表示メモリ開始位置を変更することで、画面のスクロールなどができます。またあらかじめ複数の画像をメモリに保存しておき、その開始位置を変更することでアニメーション表示をすることができます。

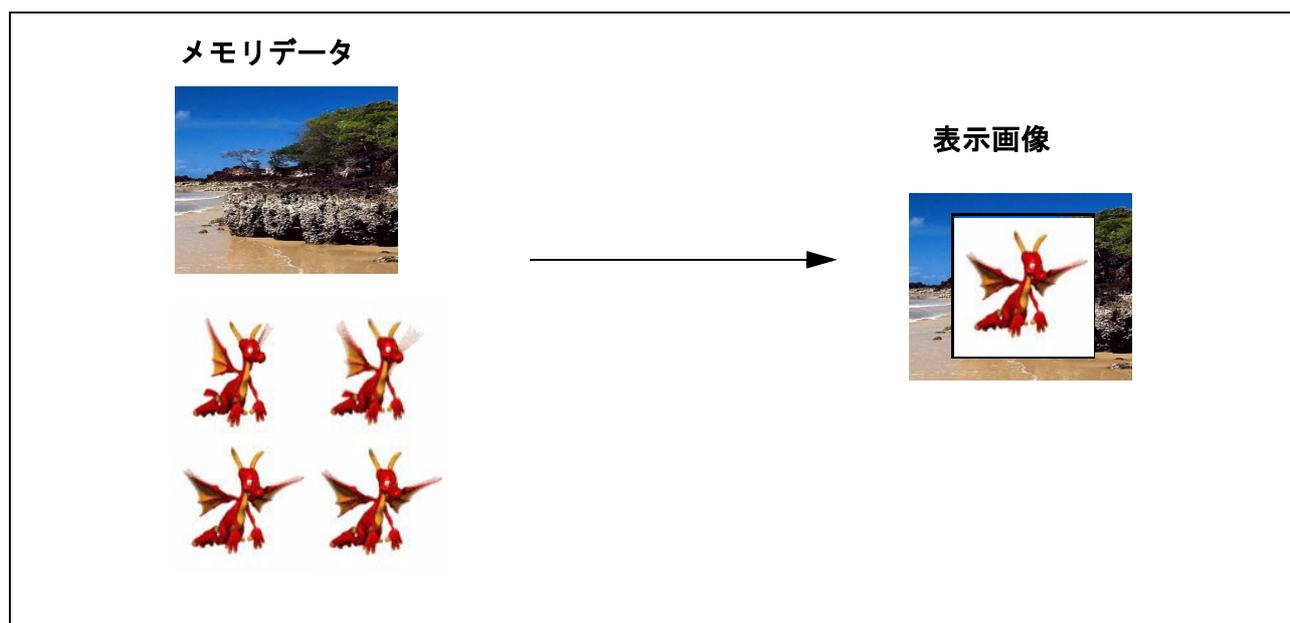


図12.7 アニメーション表示使用例

12. 表示機能

12.3 回転表示

回転表示は、LCDの表示画像を反時計回りに180°回転するように設計されています。回転はハードウェア内で行われ、ディスプレイバッファの書き込みを意識する必要はありません。回転をハードウェアで処理することによって、表示画像のソフトウェア回転よりも優れた性能を提供します。左右反転表示は、LCD表示画像を左右反転するように設計されています。180°回転と反転を組み合わせることもできます。

12.3.1 180°回転

以下の図は、どのように800 x 480のランドスケープ画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向で書き込まれます。ディスプレイバッファには、次のようにD-C-B-Aの方向で格納されます。表示には、同様にD-C-B-Aの方向でリフレッシュされます。

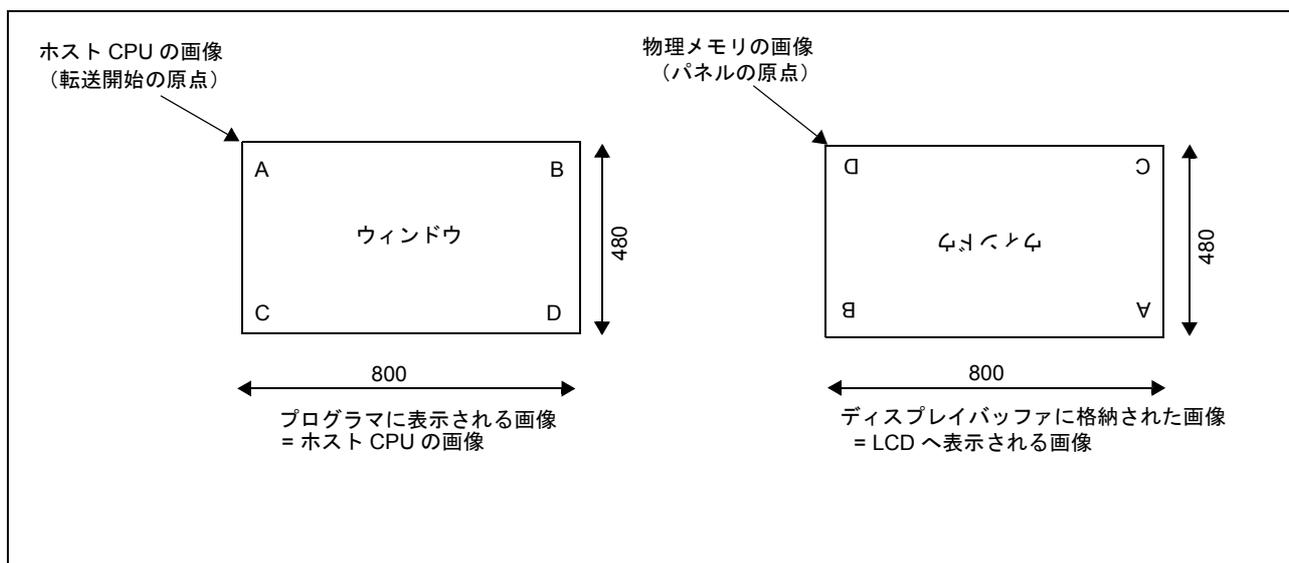


図12.8 入力画像と180°回転表示された画像との関係

12.3.2 左右反転

以下の図は、どのように800 x 480のランドスケープ画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向で書き込まれます。ディスプレイバッファには、次のようにB-A-D-Cの方向で格納されます。表示には、同様にB-A-D-Cの方向でリフレッシュされます。

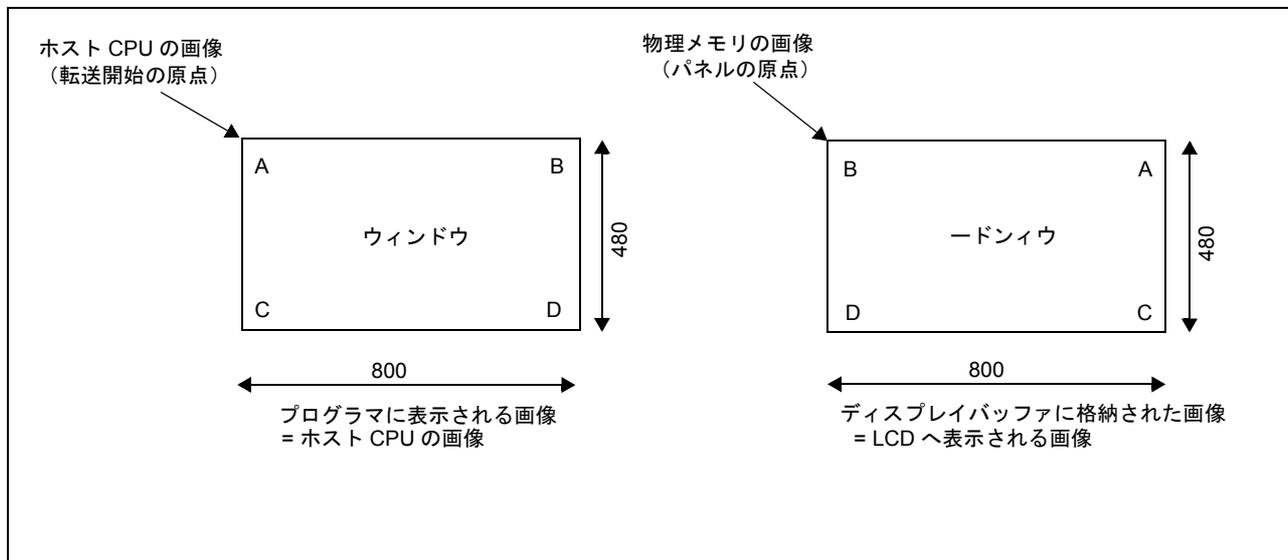


図12.9 入力画像と左右反転表示された画像との関係

12.3.3 180°回転+左右反転

以下の図は、どのように800 x 480のランドスケープ画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向で書き込まれます。ディスプレイバッファには、次のようにC-D-A-Bの方向で格納されます。表示には、同様にC-D-A-Bの方向でリフレッシュされます。

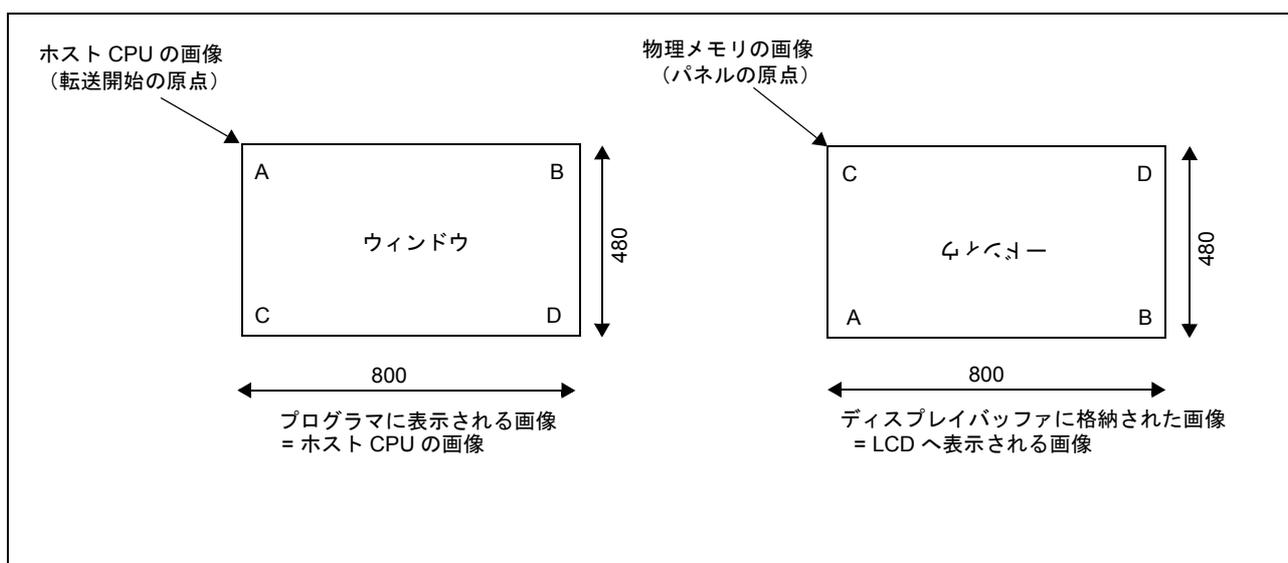


図12.10 入力画像と180°回転+左右反転表示された画像との関係

12. 表示機能

12.4 ダブルバッファ表示

ダブルバッファは、動画データのティアリングノイズを防止するために用意されています。シングルバッファの画像データは、常に指定されたフレームバッファのエリアに書き込まれます。ダブルバッファの場合、1番目のフレームはバッファ 1に書き込まれます。2番目のフレームはバッファ 2に書き込まれます。

バッファのリード/ライトポインタの切り替えは、垂直非表示期間の先頭でフレーム当たり1回だけ行うことができます。ポインタは、動画フレームの更新が最後の出力フレーム期間内に完了し、かつ新たな動画フレームが現時点で書き込まれていない場合にのみ切り替わります。このため、動画データフレームの書き込みを終了するたびに、次の垂直非表示期間まで待ってから次のフレームを書き込む必要があります。これは、TE端子を使用するか、あるいは垂直表示期間ステータス (REG[6Ah]ビット7) をポーリングすることで実行できます。あるいは、最大入力動画フレームレートがLCDフレームレートの半分であること、および1フレームを書き込みバースト長がLCDの1フレーム期間よりも短いことを保証できれば、垂直非表示期間を確認する必要はありません。ポインタの切り替えりに注意を払わない場合は、フレーム落ちが発生する場合があります。

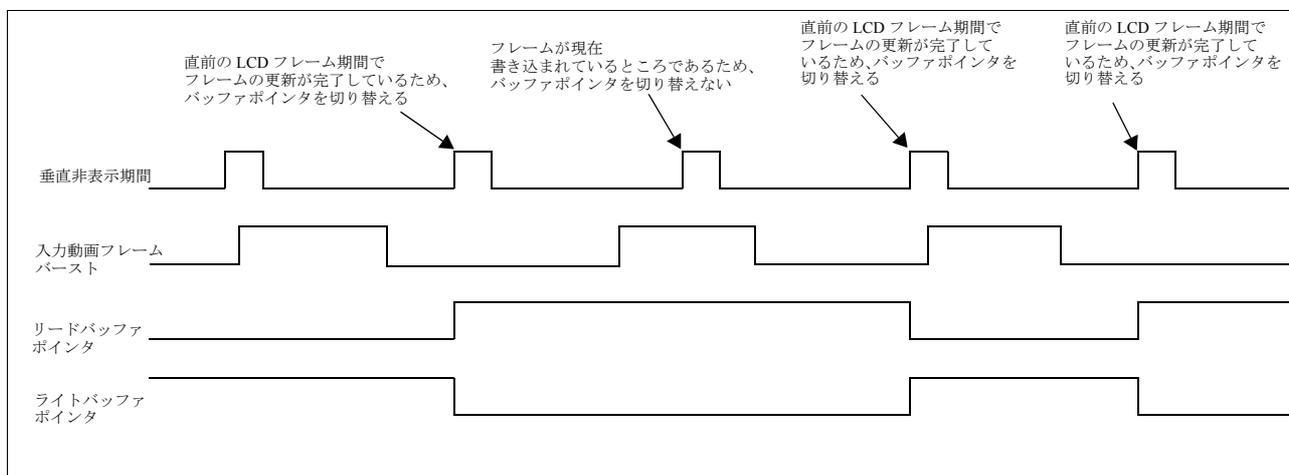


図12.11 バッファポインタ切り替え

12.5 アルファブレンディング

アルファブレンディングは、ディスプレイバッファの2つの画像をアルファ値により合成して、再度ディスプレイバッファへ書き戻します。表示サイクルの合間を使ってディスプレイバッファへアクセスするため、合成画像が出来上がるまでには時間を要します。そのため割り込み信号を使ってアルファブレンディングの終了をホストCPUへ知らせることができません。

12.5.1 アルファブレンディング（2入力画像）

アルファブレンディングは、入力画像1と入力画像2から出力画像を作ります。出力画像を入力画像1または入力画像2のエリアへ設定することで上書きもできます。3つの画像の大きさはすべて同じにする必要があります。

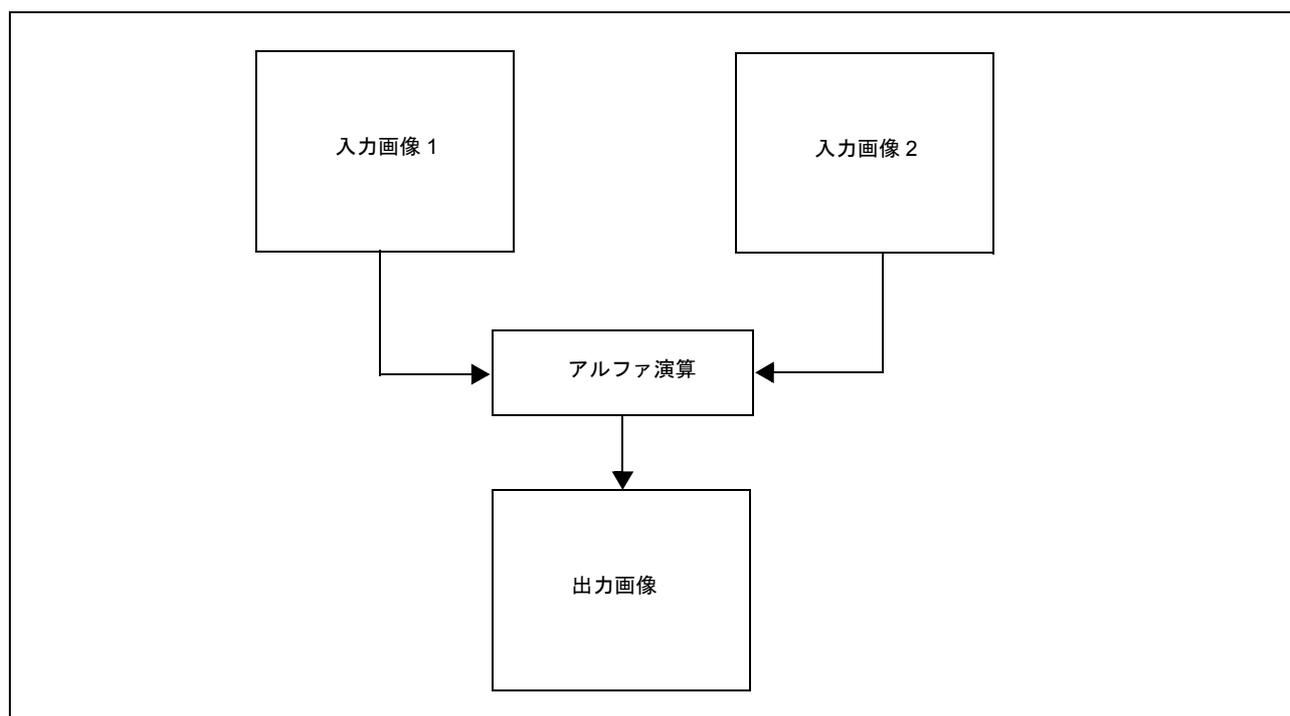


図12.12 アルファブレンディング構成（メモリデータ）



図12.13 アルファブレンディング表示例

12. 表示機能

12.5.2 アルファブレンディング（1入力画像）

アルファブレンディングは、入力画像1から出力画像を作ることができます。入力画像1をそのままコピーして出力画像にすることもできます。2つの画像の大きさは同じにする必要があります。

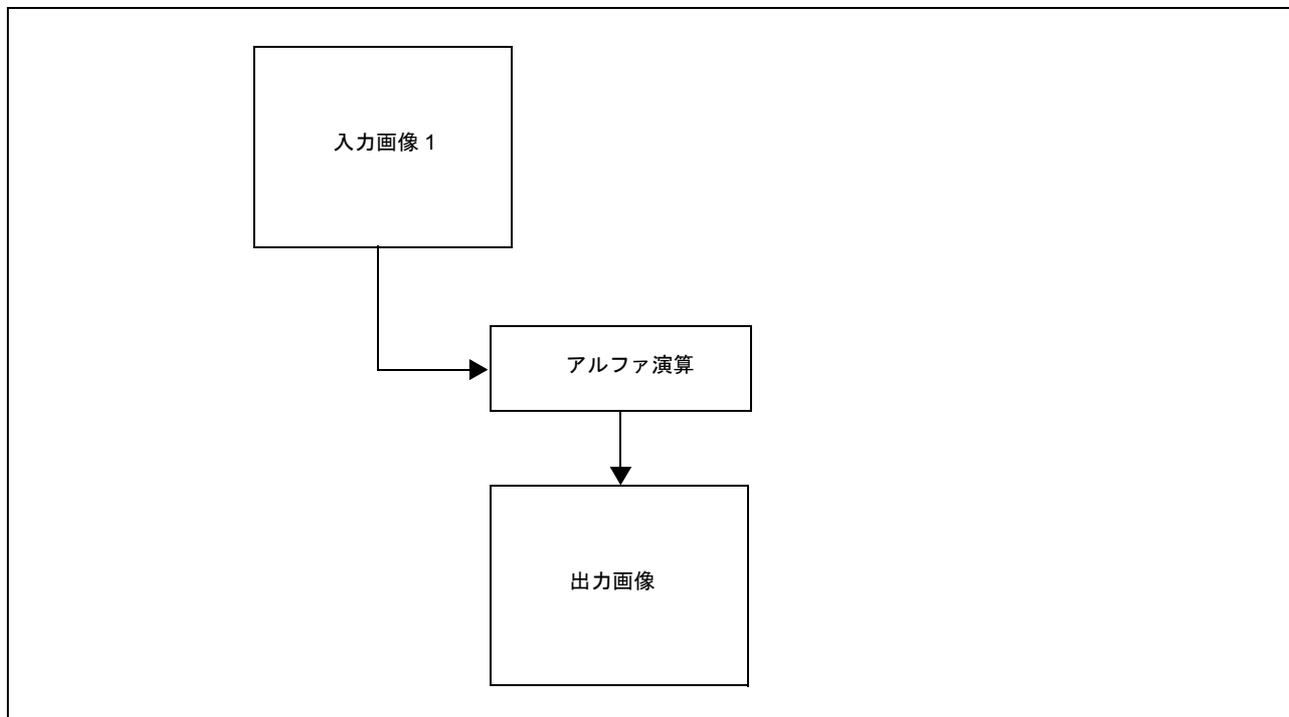


図12.14 アルファブレンディング構成（メモリデータ）

12.5.3 アルファブレンディングウィンドウ設定

アルファブレンディングの画像サイズは、X/Yの座標で設定できます。水平方向の画像サイズは8の倍数で設定する必要があります。またブレンディング画面のメモリ開始位置は、8ピクセル/1ライン単位でSDRAMのアドレスにより設定できます。

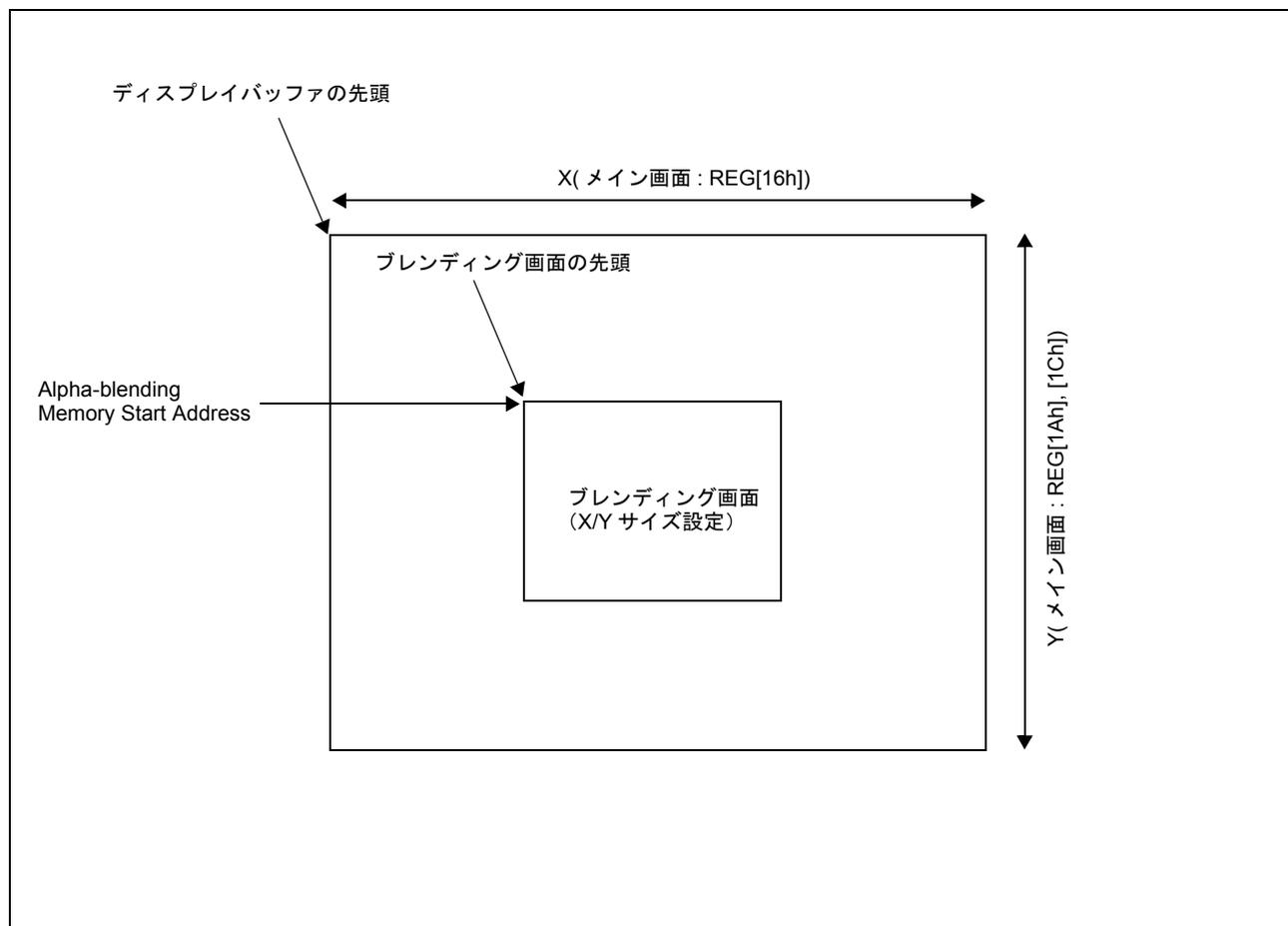


図12.15 アルファブレンディング構成 (メモリデータ)

12.5.4 アルファブレンディング処理時間

アルファブレンディングは、SDRAMのメモリを使用して動作するため、SDCLK周波数およびアルファブレンディング画像サイズにより処理時間が変わります。実際のシステムで実測検証してください。

13. SDRAMインタフェース

13. SDRAMインタフェース

SDRAMインタフェースは、外付けの16/64/128MビットシングルデータレートSDRAMをバンクインターリーブを使って高効率にアクセスします。初期化シーケンス、オートリフレッシュサイクルは、ハードウェアにより実行されます。

13.1 SDRAMの初期化

ハードウェアリセット後、必ずSDRAMを初期化してください。ハードウェアリセット後に、1回のみイニシャルコマンドは実行できます。2回目以降はコマンドが無視されます。

初期化シーケンスは、以下の通り実行してください。

1. 使用するSDRAMのメモリサイズに合わせて、サイズ設定レジスタ (REG[82h] bits 1-0) を設定します。
2. 使用するSDRAMのクロック周波数に応じて、リフレッシュカウンタ (REG[8Ch]/[8Eh]) を設定します。(66MHz以上の場合は変更不要です)
3. オートリフレッシュオン (REG[84h] bit 7) とイニシャライズセット (REG[84h] bit 1) のビットを"1"にセットすることにより、SDRAMの初期化を開始します。4~7は、ハードウェアにより自動的に実行されます。
4. SDRAMのイニシャライズが開始されます。
5. プリチャージオールコマンドが発行されます。
6. オートリフレッシュコマンドが10回発行されます。
7. MRSコマンドが発行されます。(MRSレジスタの設定は不要です)
8. イニシャライズステータスビット (REG[86h] bit 1) が"1" (イニシャライズ終了) になるまでソフトウェアで待つか、または4~7の処理時間 (SDCLKで30000クロック間) 待ってください。
9. SDRAMを使用することができます。

13.2 SDRAM接続

16MビットのSDRAMを使用する場合は、MBA0端子をバンク切り替え端子に接続してください。MBA1端子、MA11端子は使用しません。

13.3 SDRAMのコマンド

SDRAMインタフェースのコマンドについて説明します。

13.3.1 MRSコマンド

SDRAMのモードレジスタ設定コマンド (MRS) は、イニシャルシーケンスの中でハードウェアにより自動的に実行されます。SID13517は以下の設定になり、変更できません。

表13.1 MRS設定

MRS	設定値
バースト長	4
ラップ・タイプ	シーケンシャル
CASレイテンシー	2
オプション	すべて"0"

13.3.2 リード/ライトコマンド

SDRAMのリード/ライトは、それぞれ4バースト単位でバンクインターリーブでアクセスされます。オートプリチャージは常にイネーブル (MA10 = Low) で、CASレイテンシーは2固定です。

13.3.3 オートリフレッシュコマンド

SDRAMのオートリフレッシュは、内部のリフレッシュカウンターによりハードウェアにより自動的に実行されます。使用するSDRAMのクロック周波数に応じて、必ずリフレッシュサイクルカウンターの値を設定してください。(クロック周波数が66MHz以上の場合は、初期値から変更不要です)

13.3.4 セルフリフレッシュコマンド

SDRAMのセルフリフレッシュは、ソフトウェアによるコマンド (REG[84h] bit 3) により開始/終了することができます。セルフリフレッシュコマンドの発行は、必ずSDRAMコントローラがアイドル状態 (REG[86h] bit 6 = 1) の場合に設定してください。

13.3.5 パワーダウンコマンド

SDRAMのパワーダウンは、ソフトウェアによるコマンド (REG[84h] bit 2) により開始/終了することができます。パワーダウンコマンドの発行は、必ずSDRAMコントローラがアイドル状態 (REG[86h] bit 6 = 1) の場合に設定してください。

13.3.6 コントローラステータス

SDRAMコントローラのステータスはレジスタ (REG[86h] bit 6) でリードすることができます。SDRAMコントローラをアイドル状態 (REG[86h] bit 6 = 1) にするには、LCD表示オフ (REG[2Ah] bit 0 = 0) およびアルファブレンディングディセーブル (REG[9Eh] bit 7 = 0) にして、SDRAMへのアクセスを停止させる必要があります。SDCLKディセーブル (REG[68h] bit 0 = 0) に移行する場合は、必ずSDRAMコントローラをアイドル状態にしてください。

13. SDRAMインタフェース

13.4 画像メモリデータ

入力画像はすべて24bppに変換されてメモリに保存されます。入力画像が16bppの場合は下位ビットにMSBデータが入ります。SDRAM内のデータフォーマットは以下の通りです。

表13.2 24bpp (RGB 8:8:8) 入力画像データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	G ₀ ⁷	G ₀ ⁶	G ₀ ⁵	G ₀ ⁴	G ₀ ³	G ₀ ²	G ₀ ¹	G ₀ ⁰	B ₀ ⁷	B ₀ ⁶	B ₀ ⁵	B ₀ ⁴	B ₀ ³	B ₀ ²	B ₀ ¹	B ₀ ⁰
0002h	B ₁ ⁷	B ₁ ⁶	B ₁ ⁵	B ₁ ⁴	B ₁ ³	B ₁ ²	B ₁ ¹	B ₁ ⁰	R ₀ ⁷	R ₀ ⁶	R ₀ ⁵	R ₀ ⁴	R ₀ ³	R ₀ ²	R ₀ ¹	R ₀ ⁰
0004h	R ₁ ⁷	R ₁ ⁶	R ₁ ⁵	R ₁ ⁴	R ₁ ³	R ₁ ²	R ₁ ¹	R ₁ ⁰	G ₁ ⁷	G ₁ ⁶	G ₁ ⁵	G ₁ ⁴	G ₁ ³	G ₁ ²	G ₁ ¹	G ₁ ⁰
0006h	G ₂ ⁷	G ₂ ⁶	G ₂ ⁵	G ₂ ⁴	G ₂ ³	G ₂ ²	G ₂ ¹	G ₂ ⁰	B ₂ ⁷	B ₂ ⁶	B ₂ ⁵	B ₂ ⁴	B ₂ ³	B ₂ ²	B ₂ ¹	B ₂ ⁰

表13.3 16bpp (RGB 5:6:5) 入力画像データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	G ₀ ⁷	G ₀ ⁶	G ₀ ⁵	G ₀ ⁴	G ₀ ³	G ₀ ²	G ₀ ⁷	G ₀ ⁶	B ₀ ⁷	B ₀ ⁶	B ₀ ⁵	B ₀ ⁴	B ₀ ³	B ₀ ⁷	B ₀ ⁶	B ₀ ⁵
0002h	B ₁ ⁷	B ₁ ⁶	B ₁ ⁵	B ₁ ⁴	B ₁ ³	B ₁ ⁷	B ₁ ⁶	B ₁ ⁵	R ₀ ⁷	R ₀ ⁶	R ₀ ⁵	R ₀ ⁴	R ₀ ³	R ₀ ⁷	R ₀ ⁶	R ₀ ⁵
0004h	R ₁ ⁷	R ₁ ⁶	R ₁ ⁵	R ₁ ⁴	R ₁ ³	R ₁ ⁷	R ₁ ⁶	R ₁ ⁵	G ₁ ⁷	G ₁ ⁶	G ₁ ⁵	G ₁ ⁴	G ₁ ³	G ₁ ²	G ₁ ⁷	G ₁ ⁶
0006h	G ₂ ⁷	G ₂ ⁶	G ₂ ⁵	G ₂ ⁴	G ₂ ³	G ₂ ²	G ₂ ⁷	G ₂ ⁶	B ₂ ⁷	B ₂ ⁶	B ₂ ⁵	B ₂ ⁴	B ₂ ³	B ₂ ⁷	B ₂ ⁶	B ₂ ⁵

13.5 画像メモリアドレス

PIP画面の表示またはアルファブレンディング機能を使用するには、SDRAMの画像メモリアドレスをレジスタに設定する必要があります。SDRAMには3バイト/1ピクセルでデータが配置されているため、対象画像の左上コーナーをX/Y座標により計算で求めます。バイトアドレスで指定してください。

$$\text{SDRAMアドレス} = \text{バッファ } n \text{ のアドレス} + (\text{YS} * \text{Xフルサイズ}) * 3 \text{ バイト} + \text{XS} * 3 \text{ バイト}$$

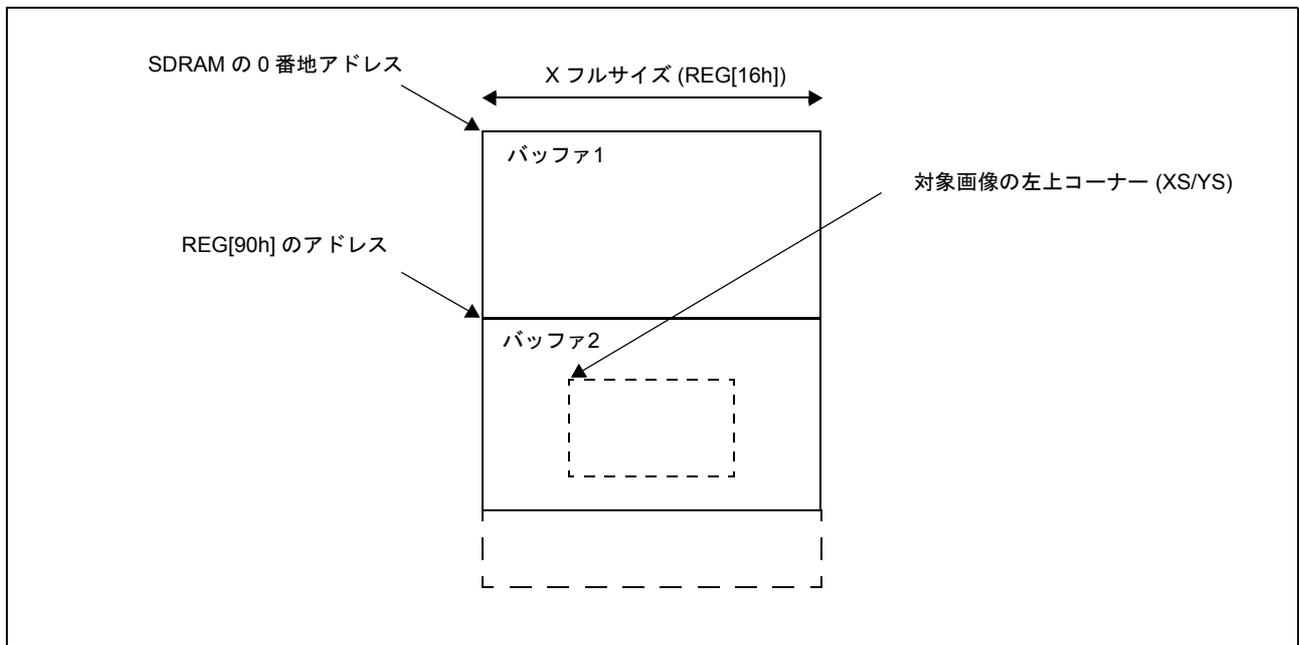


図13.1 画像メモリアドレス

14. PWM出力

PWM出力はLCDパネルのバックライト制御用に使用することができます。システムクロック (SYSCLK) に対して、ハイパルス幅、ローパルス幅を32ビットカウンタで設定します。PWM設定レジスタは複数アドレスに分かれていますが、一括してレジスタを更新するビット (REG[70h] bit 7) があります。

PWM出力を停止する場合は、レジスタ (REG[70h] bits 1-0) にて希望の論理出力にした後にディセーブル (REG[70h] bit 2 = 0) にしてください。

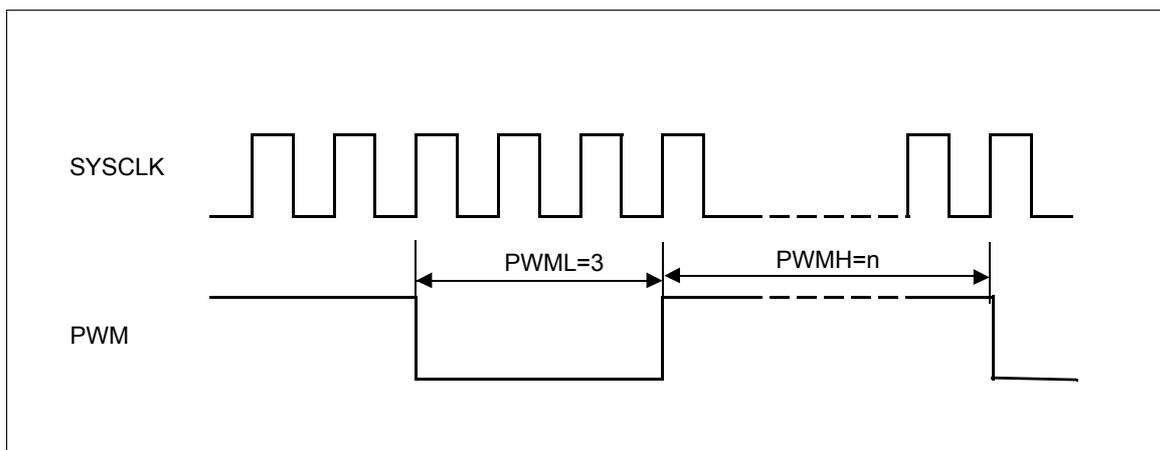


図14.1 PWMタイミング例

15. 割り込み回路

15. 割り込み回路

割り込み回路は、アルファブレンディング終了を検出します。割り込み回路の構成は以下の通りです。

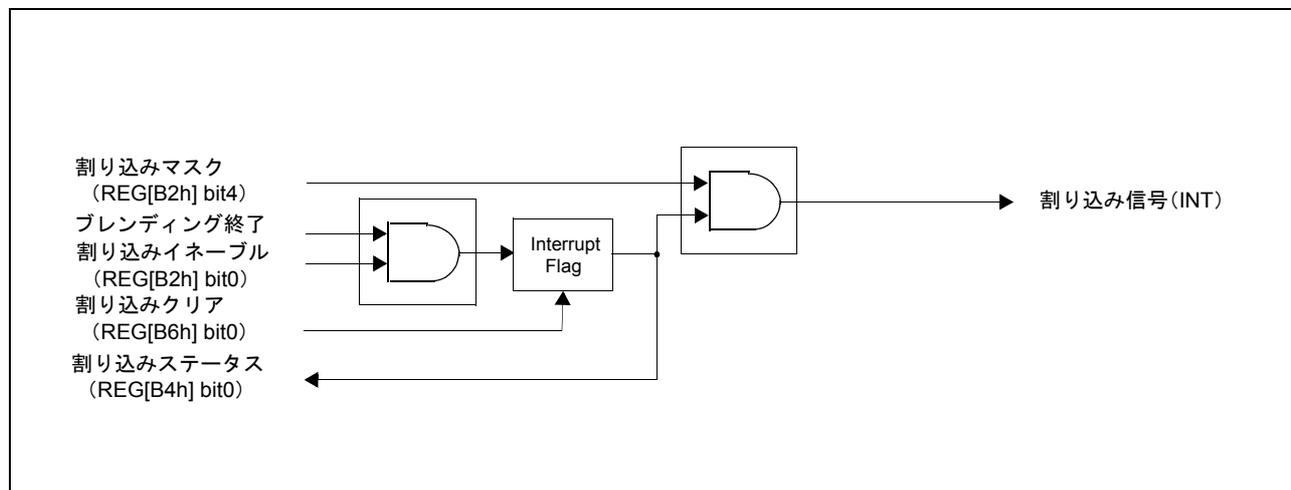


図15.1 割り込み回路

16. テストカラーバー表示

テストカラーバー表示は、SDRAMのデータを使用せず、LCDパネルにカラーバーを表示することができます。表示データは以下の通りです。

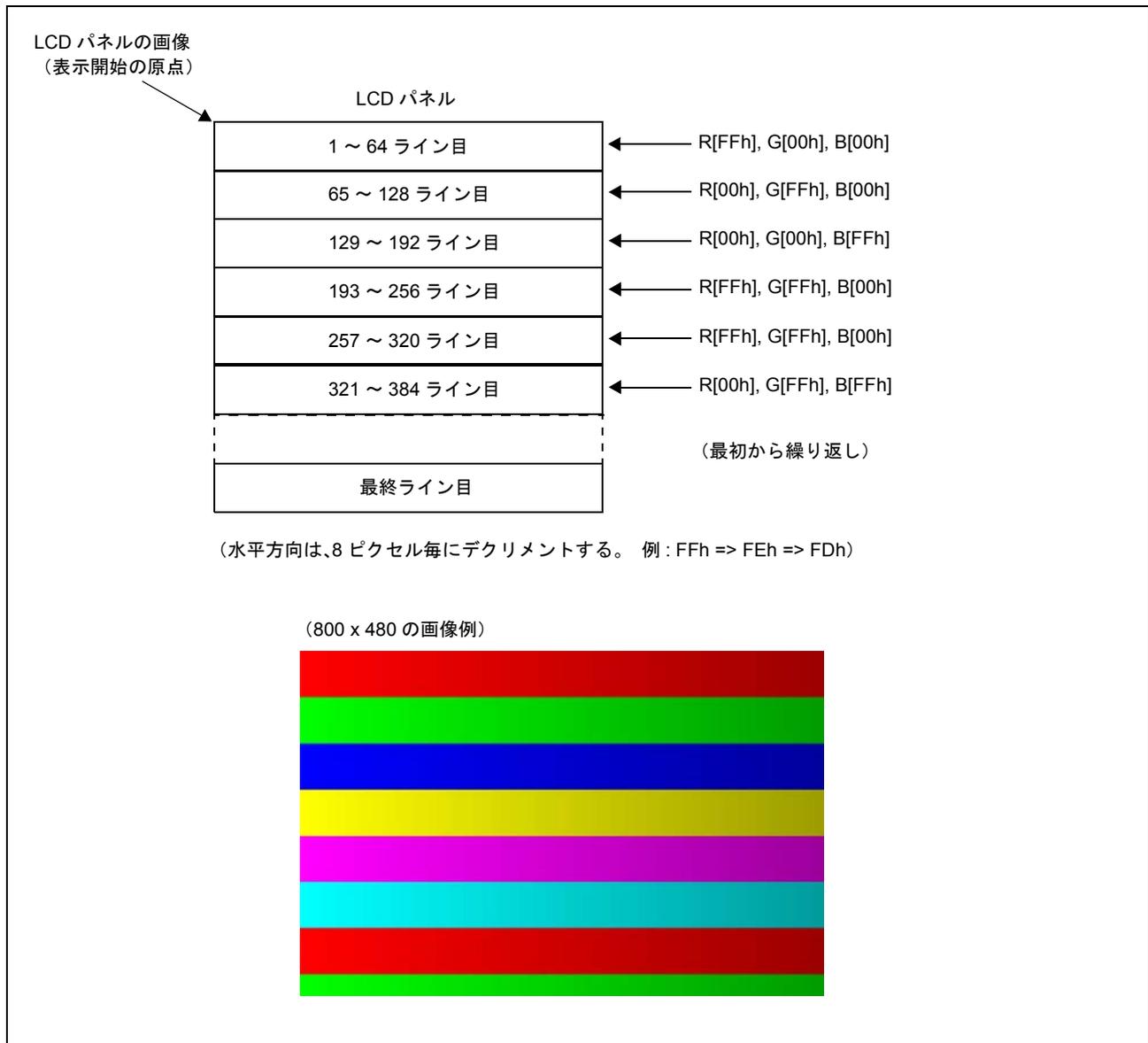


図16.1 テストカラー表示

17. パワーセーブ

17. パワーセーブ

S1D13517 はソフトウェアによりパワーを制御することができます。以下に動作シーケンスを示します。

17.1 スリープモード

スリープモードは PLL を含めてすべての内部クロックがディセーブルの状態です。このモードは消費電力が最小になりますが、スリープモードから復帰するには、PLL 安定時間の 10ms を必要とします。この期間は、メモリへアクセスできません。レジスタはスリープモードに関係なくアクセスできます。

スリープモードからスタンバイモードへの復帰方法を以下に示します。

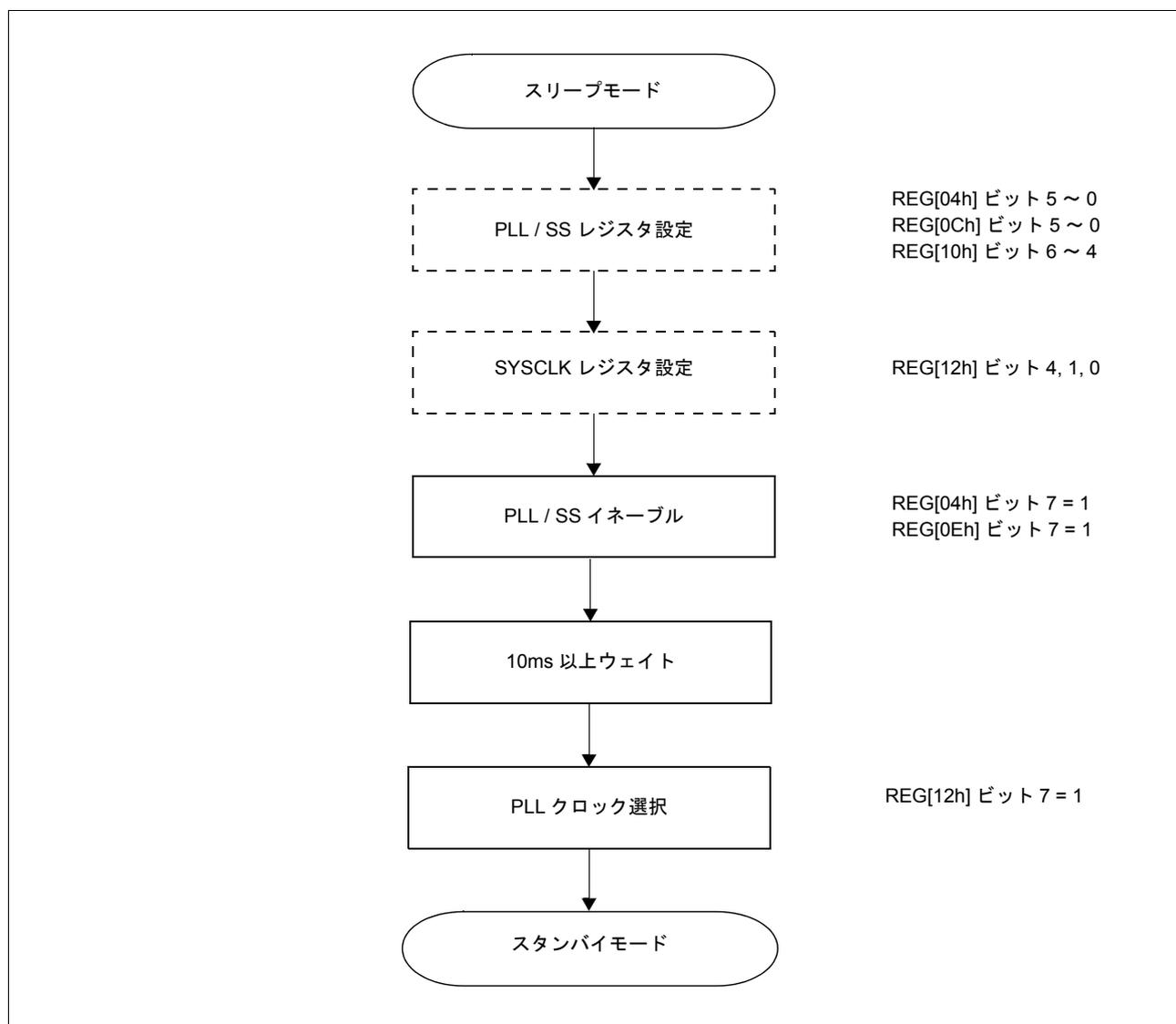


図17.1 スリープモードから復帰する手順

スタンバイモードからスリープモードへ遷移するには、以下の手順です。

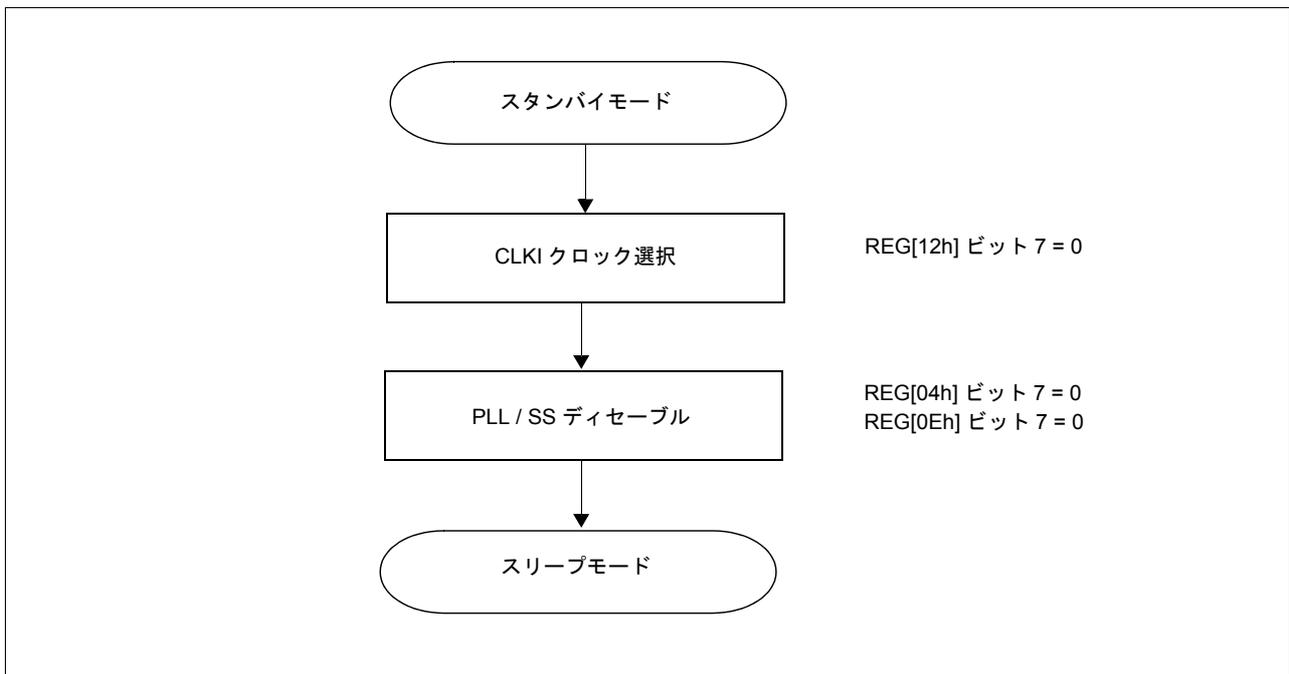


図17.2 スリープモードへ遷移する手順

17. パワーセーブ

17.2 スタンバイモード

スタンバイモードは、PLLを除くすべての内部クロックがディセーブルの状態です。このモードをディセーブルにした直後に画像データを入力することができます。レジスタはスタンバイモードに関係なくアクセスできます。

スタンバイモードから通常モードへは、以下の手順を推奨します。

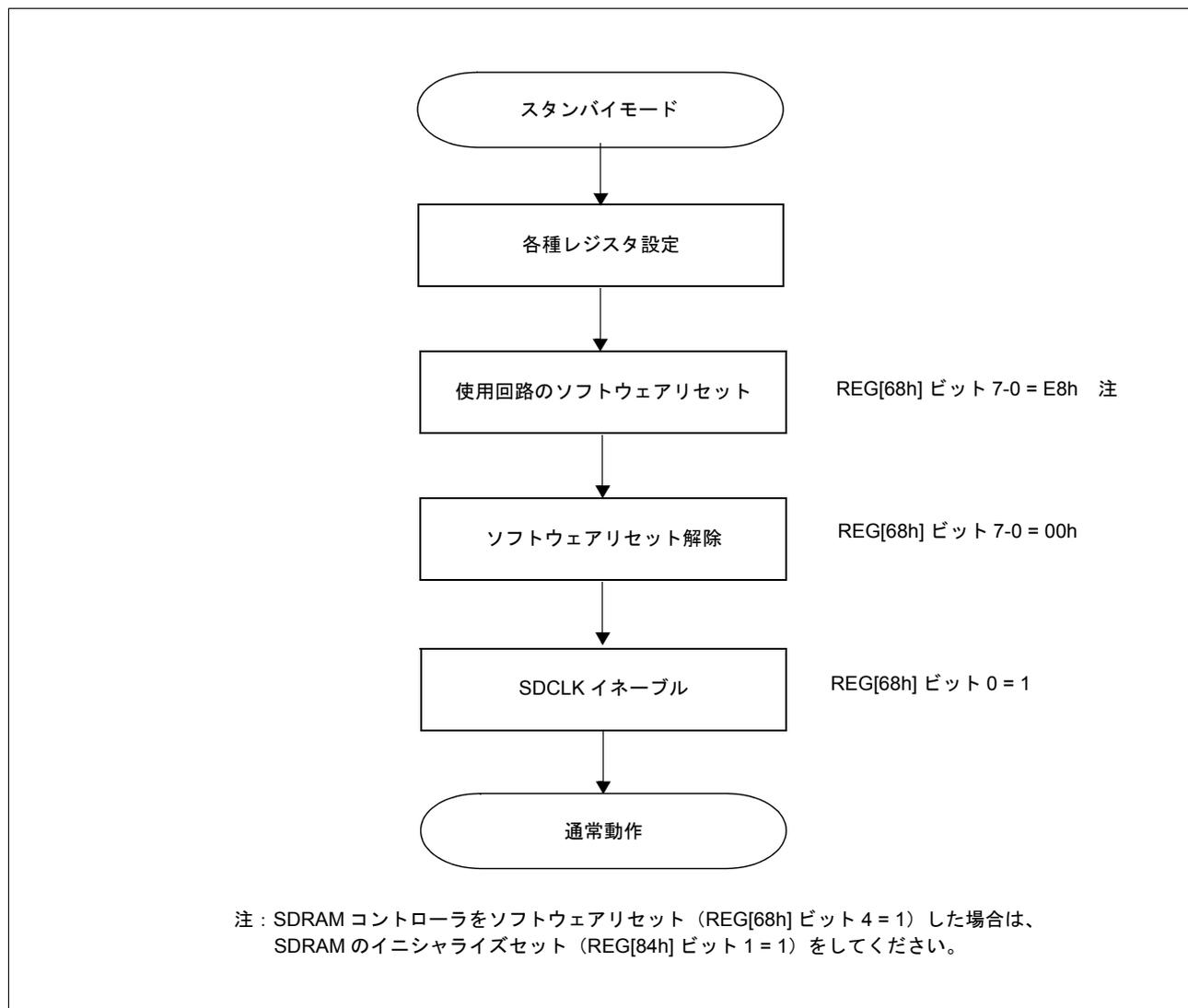


図17.3 スタンバイモードから復帰する手順

通常状態からスタンバイモードに移すには、以下の手順を推奨します。

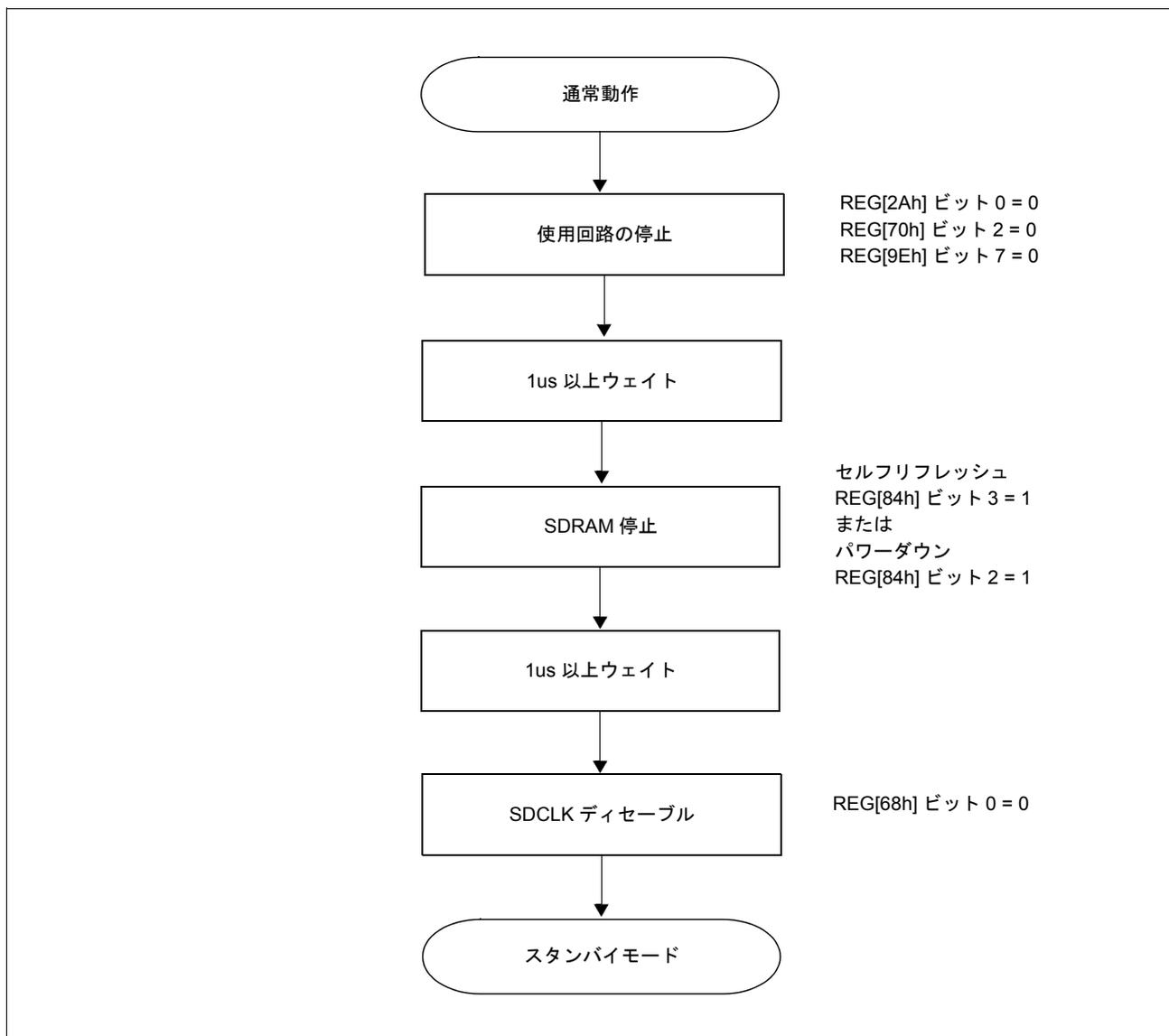


図17.4 スタンバイモードへ遷移する手順

18. 標準的な使用例

18. 標準的な使用例

18.1 初期化シーケンス

S1D13517 を初期化するには、以下のステップが必要となります。

- PLL の周波数を設定する。
- システムクロック (SYSCLK) を設定する。
- 使用する LCD パネルのタイミング、極性を設定する。
- 使用する SDRAM の種類を設定する。
- スリープモードからスタンバイモードへ復帰する。
- スタンバイモードから通常モードへ復帰する。

WVGAのLCDパネルを使った場合の設定例を示します。

条件：

- CLKIクロック：24MHz
- PCLKクロック：30MHz
- SDRAMクロック：90MHz
- LCDパネル：800x480 (24bpp)
- SDRAM：64Mビット
- SS：使用する(PCLK:30MHz)

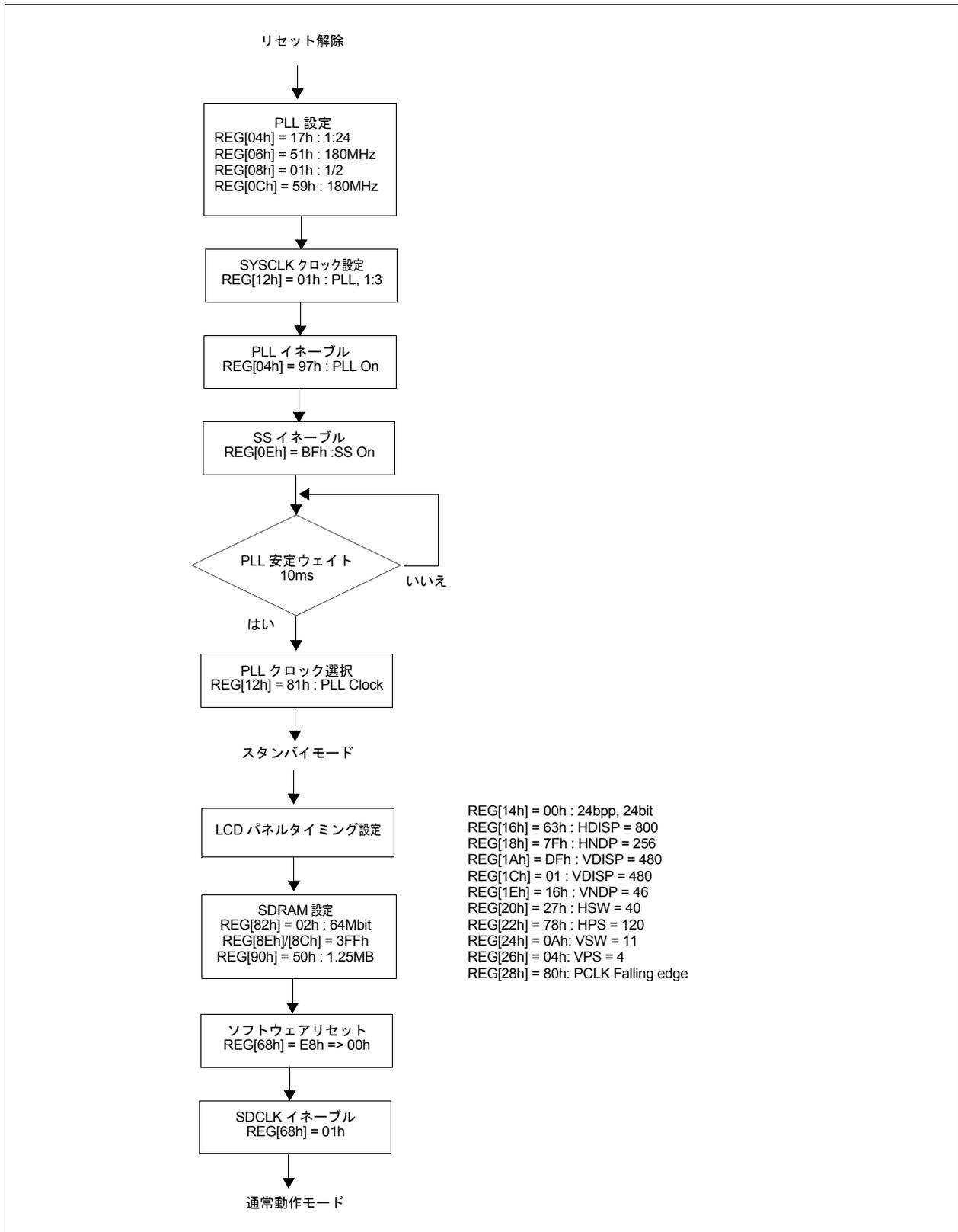


図18.1 標準的な使用例（初期化シーケンス）

18. 標準的な使用例

18.2 表示シーケンス

S1D13517 を表示するには、以下のステップが必要となります。

- SDRAM の初期化を行う。
- 表示モードを設定する。
- 画像ウィンドウサイズを設定する。
- 画像データをバーストライトする。
- LCD パネル表示オン
- 以降、次のフレームの画像データをライトする。(繰り返し)

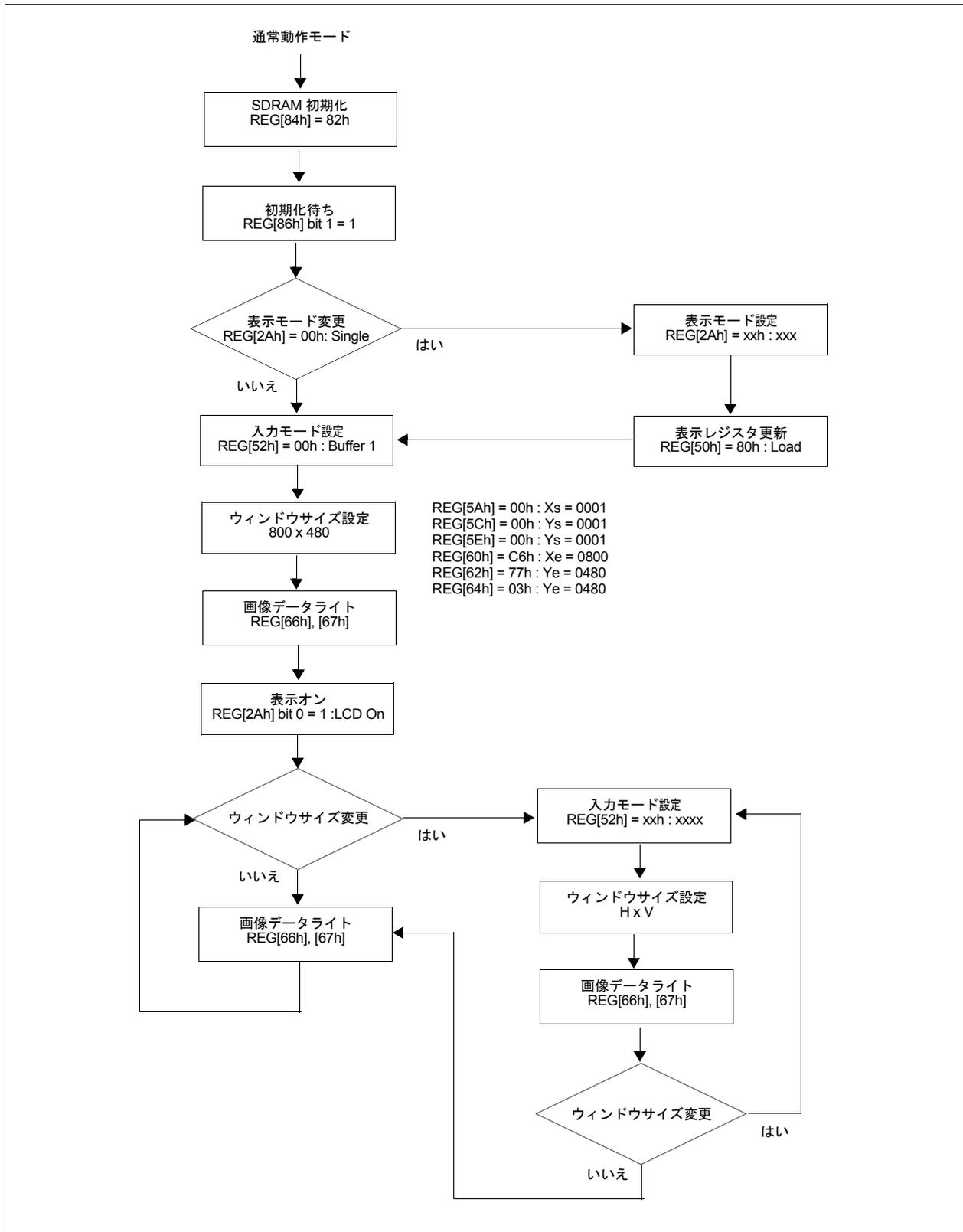


図18.2 標準的な使用例（表示シーケンス）

19. PLL

19. PLL

19.1 PLL外付けローパスフィルタ

PLLの外付けのローパスフィルタは、以下の回路を推奨します。

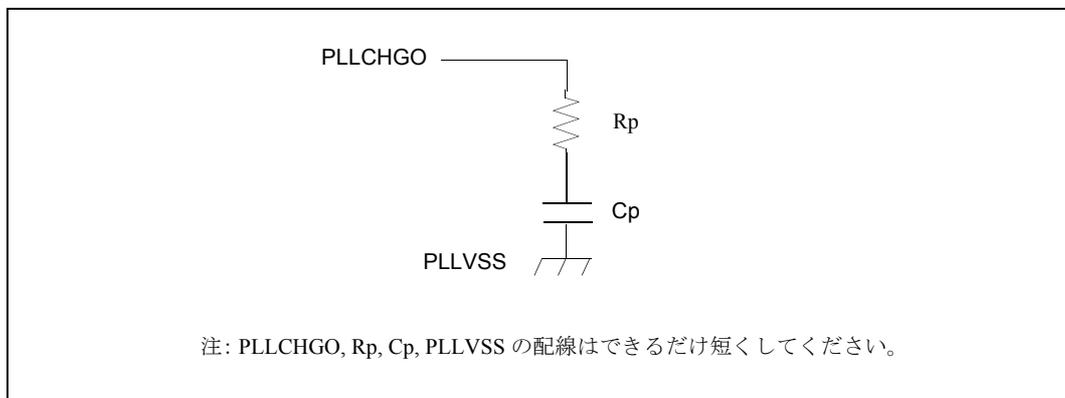


図19.1 PLL外付けローパスフィルタ推奨部品

表19.1 ローパスフィルタの選択

PLL周波数	Rp	Cp
50~74MHz	1K Ω	2000pF
76~100MHz	2K Ω	2000pF
102~180MHz	3K Ω	2000pF

19.2 PLL電源配置ガイドライン

PLL回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL回路の動作が不安定になったり、ジッターを増大させたりするおそれがあります。

ノイズの制約のため、PLLの電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。

以下のガイドラインに従うと、PLLの電源がきれいになり、よりクリーンで安定したクロックが得られます。これらのガイドラインを部分的に実行しても有効な結果が得られます。

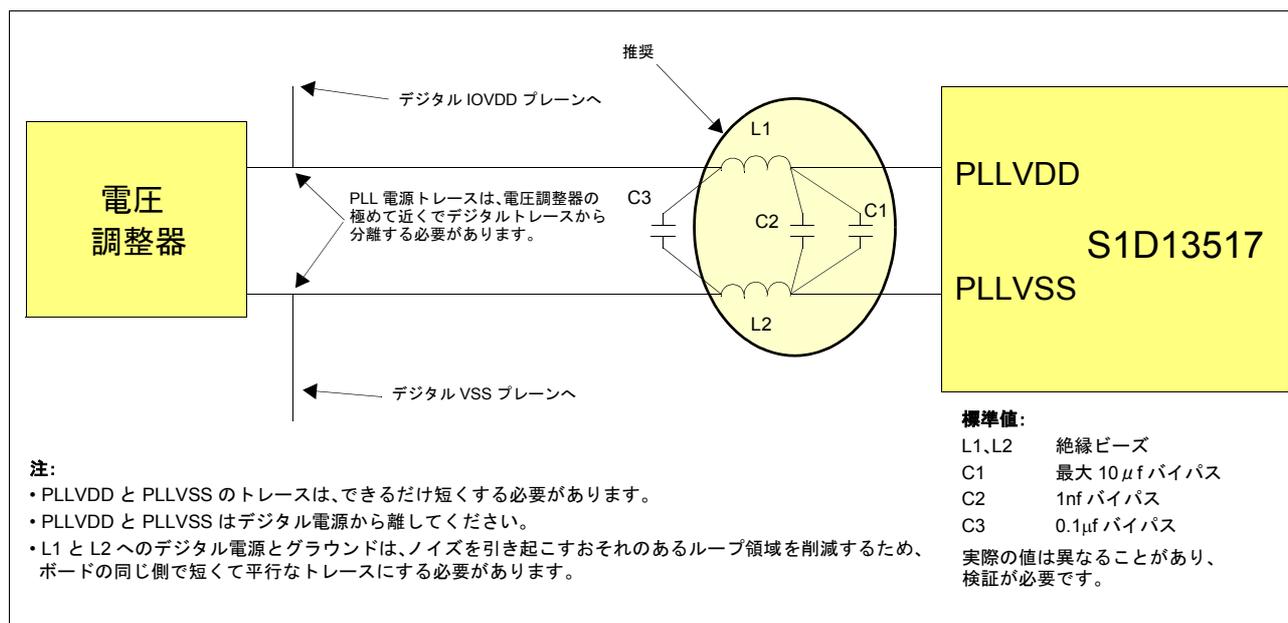


図19.2 PLL電源の配置

- 絶縁ビーズ (L1とL2) は間にごくわずかな隙間を空けて、互いに平行に配置します。バイパス容量 (C2とC3) は両方とも、コイルにできるだけ近づける必要があります。C3から電源プレーンへのトレースは、間に少し隙間を空けてボードの同じ側で短くて平行なトレースにする必要があります。ここで大きなループ領域があるとノイズを引き起こすこととなります。ボード上に電圧調整器がある場合は、これらの電源トレースを電源プレーンまで這わせるのではなく、直接、調整器まで這わせるようにしてください (この場合も平行なトレースに関する上記の規則に従ってください)。
- バイパス容量 (C2) をグラウンド絶縁コイル (L2) に接続するときのアナロググラウンドポイントは、グラウンドスタートポロジのアナロググラウンド中央ポイントになります。C2からPLLVSS端子への1本の短いトレースを除き、いずれの部品もMGE (PLLVSS) のアナロググラウンド端子に直接接続されていません。大きなバイパス容量 (C1) のグラウンド側も、スターポイントに直接接続する必要があります。
- アナロググラウンドに使用されるこのスタートポロジの規則は、L2をC2に接続するときのアナログ電源の接続にも適用されます。
- トレースの長さはすべてできるだけ短くする必要があります。
- 可能であれば、ボードの同じ外層にすべての PLL トレースを這わせませす。唯一の例外は C1であり、必要であればボードの反対側に配置することができます。C1は、他の部品のようにアナロググラウンドと電源スターポイントの近くに配置する必要はありません。

- 可能であれば、PLL領域の下に（PLL部品とトレースの下の領域）、局部プレーンだけが含まれるようにしてください。全体アナログプレーンは、C2（バイパス）パッドに接地する必要があります。このプレーンは、大きすぎると機能しなくなります。このプレーンは厳密には、同じボード領域の他の層の信号とのカップリングに対抗する静電シールドになります。このようなアナログプレーンが不可能な場合は、PLL部品の下層が、信号層ではなくデジタル電源プレーンになるようにしてください。
- 可能であれば、各層のPLL端子のビアのすぐ隣りに他のボード信号ラインを這わせないようにしてください。
- 可能な限り、特にアナロググラウンドとC2の両側の電源スター接続部には、厚いトレースを使用してください。トレースが部品のパッドと同程度の幅になるようにしてください。トレースが薄いと誘導性が増大します。

製造規則によって、推奨したグラウンドと電源スター接続部の引き回しが禁止される可能性があります。たとえば、1つのパッドに4つの幅の広いトレースが集まると、コンデンサのパッドの周りのすべての銅トレースの熱作用のせいで、組み立て時にリフロー不良の問題が生じることになります。1つの解決策として、パッドに1つのトレースだけを接続し、次にこの幅の広いトレースに他のすべてのトレースをパッドからできるだけ近い場所で接続します。別の解決策として、トレースをパッドに接続し、パッドの周りにサーマルリリーフを設けて銅の接続部の一部を削除します。最終的には、ボードを製造できるようにすることも必要であり、これによって最善の努力が受け入れられることとなります。

20. メカニカルデータ

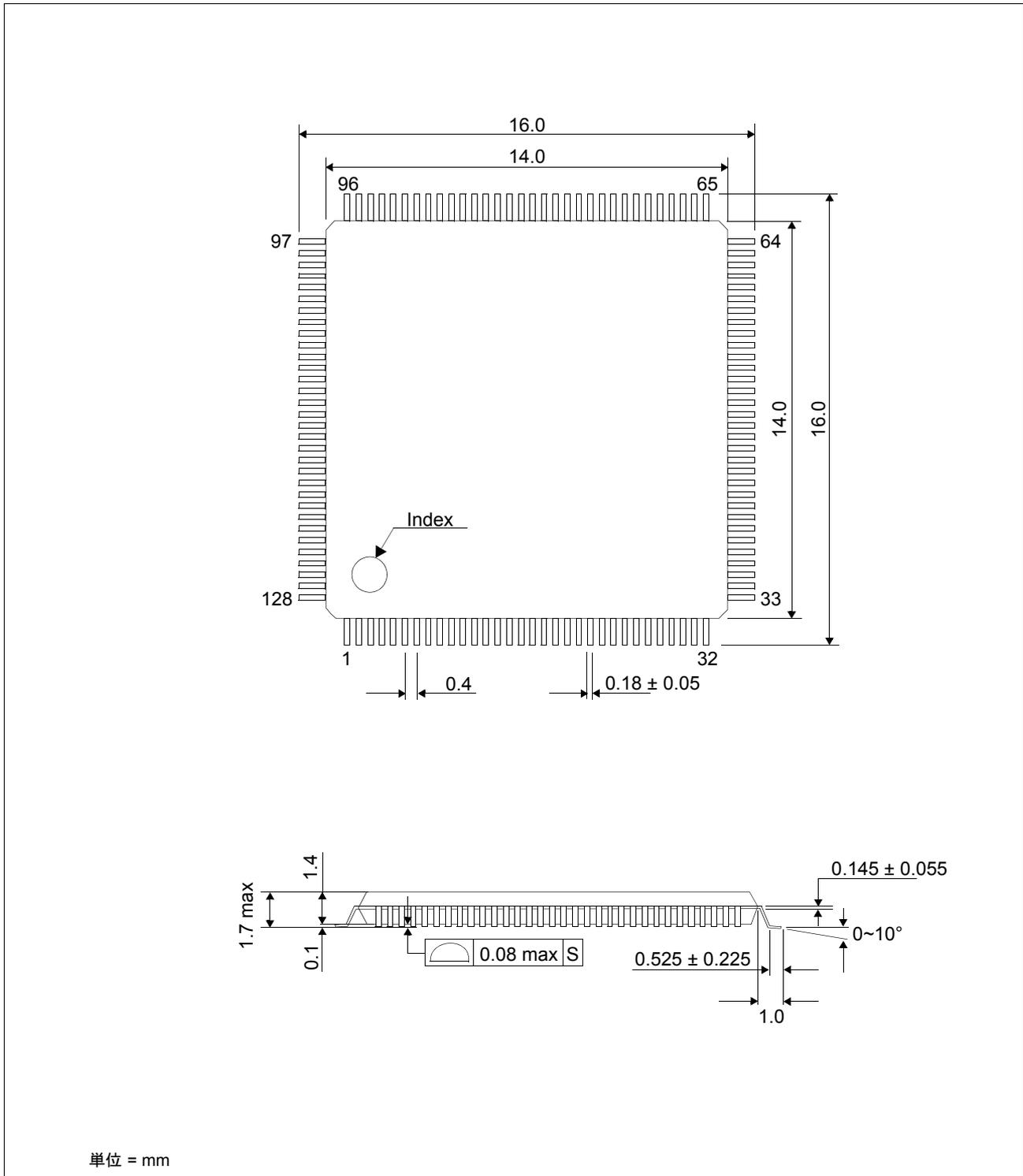


図20-1 QFP15 128端子パッケージ

改訂履歴

Rev. No.	日付	ページ	種別	改訂内容
Rev 1.0	2009/2/27	全ページ	新規	新規制定
Rev 1.1	2009/8/25	13	改訂	MCS#、MRAS#、MCAS#、MWE#、MCLKO、MCKEの端子状態を変更
		22	改訂	CLKIの入カクロックt3、t4を50nsから10nsに変更
Rev 1.2	2009/10/20	2	改訂	1024 x 1024 を 960 x 960へ変更
		38, 55	改訂	HDISP 1024 を 960 へ変更
		38, 56	改訂	VDISP 1024 を 960 へ変更
		56	改訂	VNDP 1024 を 512 へ変更
		50, 53, 54, 59, 70, 71, 108, 115, 116, 118	改訂	SYSCLK を SDCLK へ変更
		43	改訂	図9-1を変更
		52	改訂	PLLクロック出力範囲追加
		59	改訂	REG[32h]の説明を変更
		60	改訂	REG[34h], REG[36h]の説明を変更
		60	改訂	REG[38h]の説明を変更
		61	改訂	REG[3Ah], REG[3Ch]の説明を変更
		62	改訂	REG[44h]の説明を変更
		63	改訂	REG[46h], REG[48h]の説明を変更
		63	改訂	REG[4Ah]の説明を変更
		64	改訂	REG[4Ch], REG[4Eh]の説明を変更
		68	改訂	REG[5Ah]の説明を変更
		68	改訂	REG[5Ch], REG[5Eh]の説明を変更
		69	改訂	REG[60h]の説明を変更
		69	改訂	REG[62h], REG[64h]の説明を変更
		81	改訂	REG[96] Reservedに変更
97, 99	改訂	8の倍数を8ピクセル単位に変更		
120	改訂	図18.2を変更		
Rev 1.4	2013/3/1	43	改訂	図9.1を変更
		88	改訂	図11.3を変更
		117	改訂	18.1初期化シーケンスでSSの設定としてPCLK:30MHzを追加
		121	改訂	図19.1に注を追加
Rev 1.5	2013/5/17	3	改訂	2.6 表示機能の”ディスプレイウィンドウ”の項に下記記述を追加。 “なおこの透過色機能は、回転およびミラー反転を同時に併用できません。 REG[52h] ビット 3-0は、9h, AhおよびBhに設定できません。”
		99	改訂	12.1.3 透過色設定に下記記述を追加。 “この機能は、回転およびミラー反転を同時に併用できません。REG[52h] ビット 3-0は、9h, AhおよびBhに設定できません。”

セイコーエプソン株式会社

マイクロデバイス事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411691005
2009年2月作成
2013年5月改訂